




Gowin EDP RX Desteer IP 用户指南

IPUG1083-2.0,2024-06-07

版权所有 © 2024 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2024/02/02	1.0	初始版本。
2024/03/29	1.1	新增“Double Pixels Per Lane”参数描述。
2024/06/07	2.0	<ul style="list-style-type: none">● 新增 Synchronization Type 参数；● 新增 O_vcmt_strmclk、O_hcnt_strmclk 调试端口。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 概述	3
2.1 概述	3
2.2 主要特征	3
2.3 资源利用	4
3 功能描述	5
3.1 系统框图	5
3.2 结构框图	5
3.3 工作原理	6
3.3.1 数据行缓存模块	6
3.3.2 同步产生模块	6
3.3.3 数据逆引导模块	6
3.4 端口列表	7
3.5 参数配置	9
3.6 时序说明	9
3.7 同步类型说明	10
4 界面配置	12
5 参考设计	15
6 文件交付	16
6.1 文档	16

6.2 设计源代码（加密） 16

6.3 参考设计 16

图目录

图 3-1 系统框图	5
图 3-2 结构框图	5
图 3-3 Gowin EDP RX Desteer IO 端口示意图	7
图 3-4 EDP RX Desteer 输入接口时序示意图(2lanes)	9
图 3-5 EDP RX Desteer 输出接口时序示意图(2lanes)	10
图 3-6 Frame Synchronization With Line Complete	10
图 3-7 Frame Synchronization Without Line Complete	10
图 3-8 Line Synchronization	11
图 4-1 打开 IP Core Generator	12
图 4-2 打开 EDP RX Desteer IP 核	13
图 4-3 EDP RX Desteer IP 核接口示意图	13
图 4-4 基本信息配置界面	14
图 4-5 Options 选项卡	14
图 5-1 参考设计实例一基本结构框图	15

表目录

表 1-1 术语、缩略语	1
表 2-1 Gowin EDP RX Desteer IP	3
表 2-2 Gowin EDP Encode IP 占用资源	4
表 3-1 主链路的像素填充	6
表 3-2 Gowin EDP RX Desteer IP 的端口列表	7
表 3-3 EDP RX Desteer 参数	9
表 6-1 文档列表	16
表 6-2 EDP RX Desteer 设计源代码列表	16
表 6-3 Gowin EDP RefDesign 文件夹内容列表	16

1 关于本手册

1.1 手册内容

Gowin EDP RX Desteer IP 用户指南主要内容包括产品概述、功能描述、配置调用、参考设计等，旨在帮助用户快速了解 Gowin EDP RX Desteer IP 的特性及使用方法。本手册中的软件界面截图参考的是 1.9.9.03 (64-bit)版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1104, GW5AST 系列 FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
DE	Data Enable	数据使能
Desteer	De-steer	逆引导
DP	DisplayPort	显示端口
EDP	Embedded DisplayPort	嵌入式显示端口
FPGA	Field Programmable Gate Array	现场可编程门阵列
HS	Horizontal Sync	水平同步
IP	Intellectual Property	知识产权
MSA	Main Stream Attribute	主视频流属性
RGB	R(Red) G(Green) B(Blue)	红绿蓝颜色空间
SerDes	Serializer/Deserializer	串行器/解串器

术语、缩略语	全称	含义
VESA	Video Electronics Standards Association	视频电子标准协会
VS	Vertical Sync	垂直同步

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

2.1 概述

DisplayPort（简称 DP）是一个由 PC 及芯片制造商联盟开发，视频电子标准协会（VESA）标准化的数字式视频接口标准。该接口免认证、免授权金，主要用于视频源与显示器等设备的连接，并也支持携带音频、USB 和其他形式的数字数据。

eDP（Embedded DisplayPort）协议是针对 DP（Display Port）应用在嵌入式方向架构和协议的拓展，所以 eDP 协议完全兼容 DP 协议。eDP 多用于做平板，笔记本电脑的液晶显示屏的接口。

Gowin EDP RX Desteer IP 用来接收 EDP 解码数据并转换成视频数据输出。

表 2-1 Gowin EDP RX Desteer IP

Gowin EDP RX Desteer IP	
逻辑资源	请参见表 2-2
交付文件	
设计文件	Verilog（encrypted）
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software (V1.9.9.01(64-bit)及以上)

注！

可登录[高云半导体网站](#)查看芯片支持信息。

2.2 主要特征

- 可配置为 1, 2, 4 lanes
- 支持输入数据位宽 24/48
- 支持行缓存深度 1024/2048/4096/8192/16384

2.3 资源利用

通过 Verilog 语言实现 EDP RX Desteer IP。因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。以高云 GW5AST 系列 FPGA 为例，Gowin EDP RX Desteer IP 资源利用情况如表 2-2 所示。

表 2-2 Gowin EDP Encode IP 占用资源

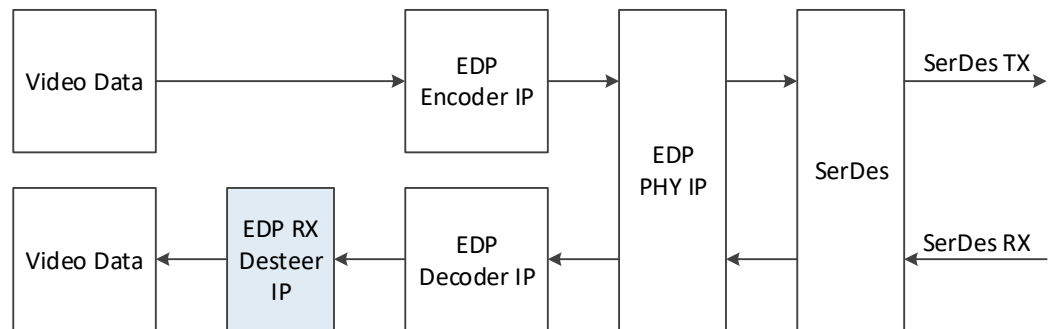
器件系列	速度等级	器件名称	资源利用	备注
GW5AST-138	-C1/I0	LUT	1307	4 lanes, User Clock Ratio1:20, Line buffer depth 4096
		REG	591	
		BSRAM	24	

3 功能描述

3.1 系统框图

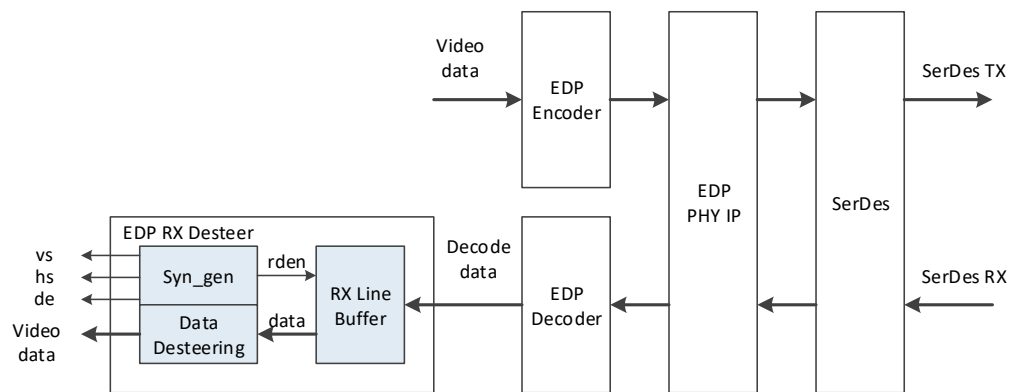
Gowin EDP RX Desteer IP 所在系统框图如图 3-1 所示。

图 3-1 系统框图



3.2 结构框图

图 3-2 结构框图



Gowin EDP RX Desteer IP 主要包括数据行缓存模块，同步产生模块和数据逆引导模块。

3.3 工作原理

根据 DP 协议，主链路可支持 1, 2 或 4 lanes。无论视频流的颜色空间和像素位深度如何，依照下表 3-1 进行像素数据的填充。

表 3-1 主链路的像素填充

# of Lanes	Pixel Steering
One	All pixels to Lane 0
Two	Pixel 2N to Lane 0 Pixel 2N+1 to Lane 1
Four	Pixel 4N to Lane 0 Pixel 4N+1 to Lane 1 Pixel 4N+2 to Lane 2 Pixel 4N+3 to Lane 3

3.3.1 数据行缓存模块

数据行缓存模块用于接收从 EDP 解码 IP 输出的数据并用 FIFO 缓存，每个 lane 对应一个独立 FIFO，FIFO 深度可设置为 1024, 2048, 4096, 8192 或 16384。

数据行缓存模块输入数据位宽根据参数 User Clock Ratio 改变，当 User Clock Ratio 为 1:20 时，每 lane 输入数据位宽为 24，当 User Clock Ratio 为 1:40 时，每 lane 输入数据位宽为 48。

输出数据位宽每 lane 为 24。当 Double Pixels Per Lane 参数勾选，输出数据位宽每 lane 为 48。

3.3.2 同步产生模块

同步产生模块根据 EDP 解码 IP 输出的视频流参数信息生成行同步 HS，场同步 VS，数据有效 DE 信号，以及 FIFO 读使能信号。

3.3.3 数据逆引导模块

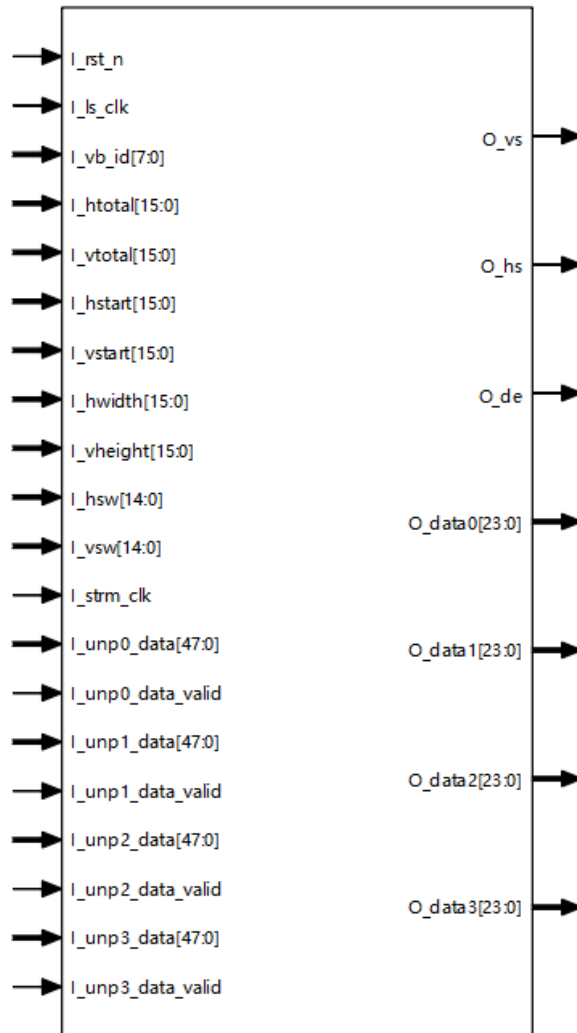
数据逆引导模块从数据行缓存模块读出数据，并按 VESA 视频时序输出。本 IP 根据 lane 数输出不同的像素模式，主链路为 1 lane，视频输出数据为 24bit，单像素模式，即每个像素时钟传输 1 个像素。主链路为 2 lanes，视频输出数据为 48bit，双像素模式，即每个像素时钟传输 2 个像素。主链路为 4 lanes，视频输出数据为 96bit，四像素模式，即每个像素时钟传输 4 个像素。

当 Double Pixels Per Lane 参数勾选，输出像素数加倍。

3.4 端口列表

Gowin EDP RX Desteer IP 的 IO 端口如图 3-3 所示。

图 3-3 Gowin EDP RX Desteer IO 端口示意图



根据配置参数不同，端口会略有不同。

Gowin EDP RX Desteer IP 的 IO 端口详细描述如表 3-2 所示。

表 3-2 Gowin EDP RX Desteer IP 的端口列表

序号	信号名称	方向	描述	备注
1	i_rst_n	I	复位信号，低有效。	所有信号输入输出方向均以 EDP RX Desteer IP 为参考。
2	i_ls_clk	I	输入链路时钟	
3	i_vb_id	I	VB-ID参数	
4	i_htotal	I	MSA 中水平总点数参数	
5	i_vtotal	I	MSA 中垂直总行数参数	
6	i_hstart	I	MSA 中水平有效开始点数参数	
7	i_vstart	I	MSA 中垂直有效开始行数参数	

序号	信号名称	方向	描述	备注
8	I_hwidth	I	MSA 中水平有效点数参数	
9	I_vheight	I	MSA 中垂直有效行数参数	
10	I_hsw	I	MSA中水平同步信号宽度参数	
11	I_vsw	I	MSA中垂直同步信号宽度参数	
12	I_unp0_data_valid	I	输入 lane0 数据有效信号	
13	I_unp0_data	I	输入 lane0 链路数据 User Clock Ratio 为 1:20 时, 位宽 24bit, 格式{B,G,R} User Clock Ratio 为 1:40 时, 位宽 48bit, 格式{B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }	
14	I_unp1_data_valid	I	输入 lane1 数据有效信号	
15	I_unp1_data	I	输入 lane1 链路数据 User Clock Ratio 为 1:20 时, 位宽 24bit, 格式{B,G,R} User Clock Ratio 为 1:40 时, 位宽 48bit, 格式{B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }	
16	I_unp2_data_valid	I	输入 lane2 数据有效信号	
17	I_unp2_data	I	输入 lane2 链路数据 User Clock Ratio 为 1:20 时, 位宽 24bit, 格式{B,G,R} User Clock Ratio 为 1:40 时, 位宽 48bit, 格式{B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }	
18	I_unp3_data_valid	I	输入 lane3 数据有效信号	
19	I_unp3_data	I	输入 lane3 链路数据 User Clock Ratio 为 1:20 时, 位宽 24bit, 格式{B,G,R} User Clock Ratio 为 1:40 时, 位宽 48bit, 格式{B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }	
20	I_strm_clk	I	输入视频流时钟	
21	O_vcnt_strmclk	O	调试端口, 视频流时钟域垂直计数	
22	O_hcnt_strmclk	O	调试端口, 视频流时钟域水平计数	
23	O_vs	O	输出场同步信号	
24	O_hs	O	输出行同步信号	
25	O_de	O	输出数据有效信号	
26	O_data0	O	输出 lane0 数据, 位宽 24bit, 格式 {B,G,R}, 当 Double Pixels Per Lane 参数勾选, 位宽 48bit, 格式 { B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }	
27	O_data1	O	输出 lane1 数据, 位宽 24bit, 格式 {B,G,R}, 当 Double Pixels Per Lane 参数勾选, 位宽 48bit, 格式 { B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }	

序号	信号名称	方向	描述	备注
28	O_data2	O	输出 lane2 数据, 位宽 24bit, 格式 {B,G,R}, 当 Double Pixels Per Lane 参数勾选, 位宽 48bit, 格式 { B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }	
29	O_data3	O	输出 lane3 数据, 位宽 24bit, 格式 {B,G,R}, 当 Double Pixels Per Lane 参数勾选, 位宽 48bit, 格式 { B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }	

3.5 参数配置

表 3-3 EDP RX Desteer 参数

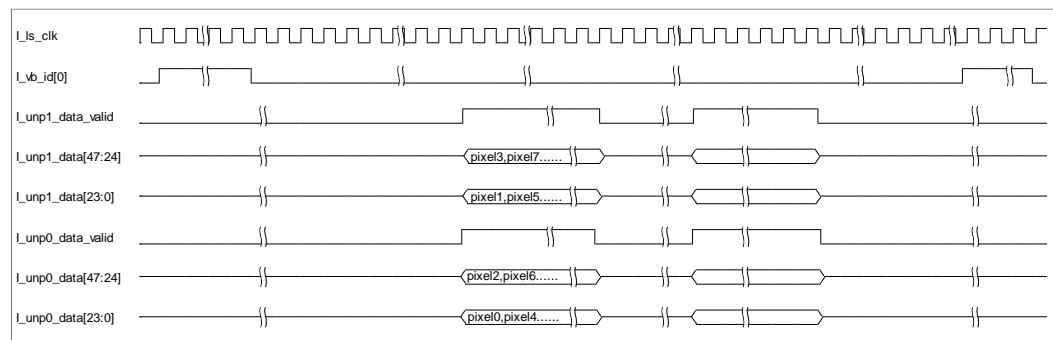
序号	参数名称	允许范围	默认值	描述
1	User Clock Ratio	1:20/1:40	1:20	用户时钟与串行化时钟比例
2	Lanes Number	1/2/4	1	主链路 lane 数
3	Bits Per Pixel	24	24	每像素 bit 数
4	Line Buffer Depth	1024/2048/4096/8192/16384	4096	数据行缓存深度
5	Synchronization Type	Frame Synchronization With Line Complete/ Frame Synchronization Without Line Complete/Line Synchronization	Frame Synchronization With Line Complete	同步类型, 详细说明参见 3.7 同步类型说明
6	Generated VS Delay Lines	0~7	3	产生场同步 VS 延迟行数
7	Double Pixels Per Lane	勾选/不勾选	不勾选	每 lane 输出双像素使能控制

3.6 时序说明

本节介绍 Gowin EDP RX Desteer IP 的时序情况。

EDP RX Desteer 输入接口时序示意图(2 lanes)如图 3-4 所示, 数据位宽以 48 bits 为例。

图 3-4 EDP RX Desteer 输入接口时序示意图(2 lanes)

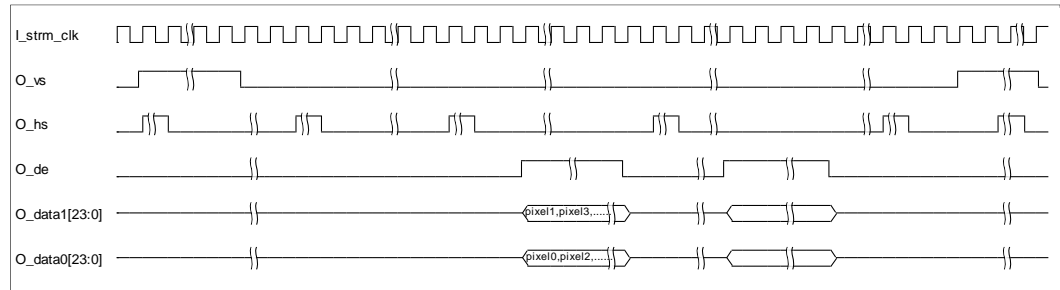


注!

User Clock Ratio 为 1:40 时，Channel Number 为 2 或 4 lanes 时，每 lane 输入 48 bits 像素数据非顺序输出，顺序如上图所示。

EDP RX Desteer 输出接口时序示意图(2 lanes)如图 3-5 所示，像素数据位宽以 24 bits 为例。

图 3-5 EDP RX Desteer 输出接口时序示意图(2lanes)



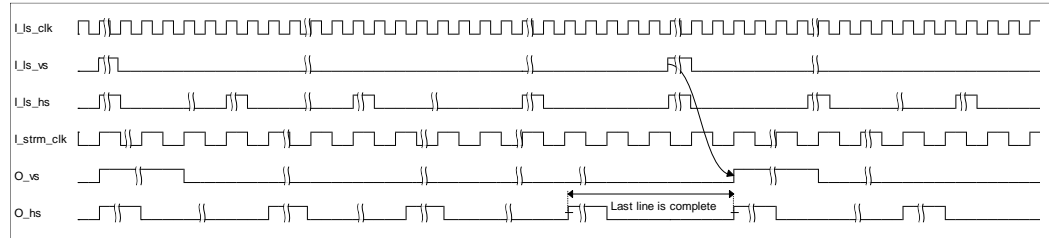
3.7 同步类型说明

从 EDP Decoder IP 解码出来的数据仍然是在 Is_clk 时钟域，而 EDP RX Desteer 输出则是 strm_clk 时钟域，这里 Is_clk 和 strm_clk 时钟频率如无法完全匹配，会存在同步问题，在视频处理领域存在三种同步处理模式。

1. Frame Synchronization with Line Complete

在 Is_vs 帧同步脉冲到来时，strm_clk 时钟域的最后一行还没有结束，这时 O_vs 不立即输出，而是等待最后一行水平计数结束时再输出。这样就可以保证 strm_clk 时钟域输出的每一行都是完整的，但也会带来一个问题，每隔一段时间一帧的总行数就会有 1 行的偏差。

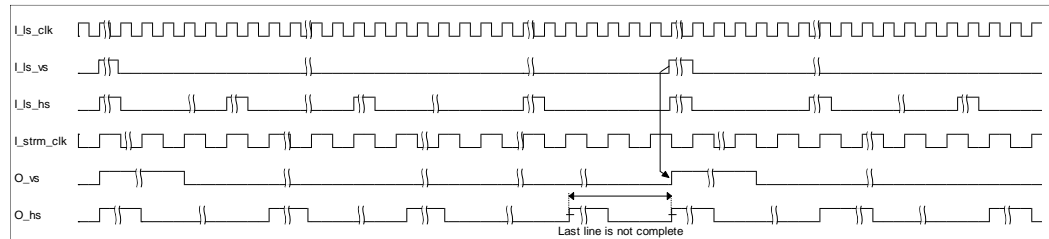
图 3-6 Frame Synchronization With Line Complete



2. Frame Synchronization without Line Complete

在 Is_vs 帧同步脉冲到来时，无论 strm_clk 时钟域的最后一行水平计数有没有结束，这时 O_vs 都立即输出。这样 strm_clk 时钟域输出每帧的总时间长度与 Is_clk 时钟域基本一致，但最后一行不完整。

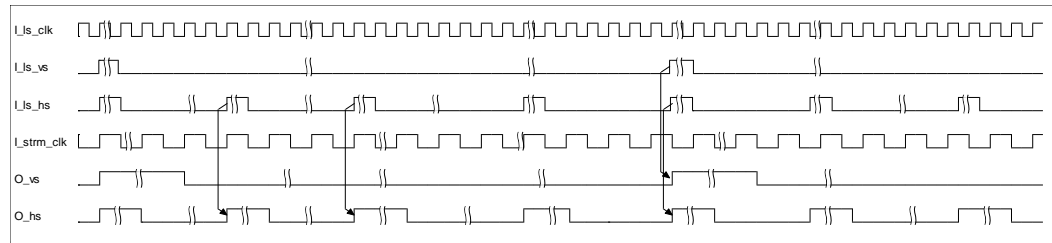
图 3-7 Frame Synchronization Without Line Complete



3. Line Synchronization

在 I_s_hs 行同步脉冲到来时, O_hs 都立即输出, 同样在 I_s_vs 帧同步脉冲到来时, O_vs 也立即输出。这样 $strm_clk$ 时钟域输出的每行的水平计数器会不完全相同, 会有至少 1 个时钟偏差。

图 3-8 Line Synchronization



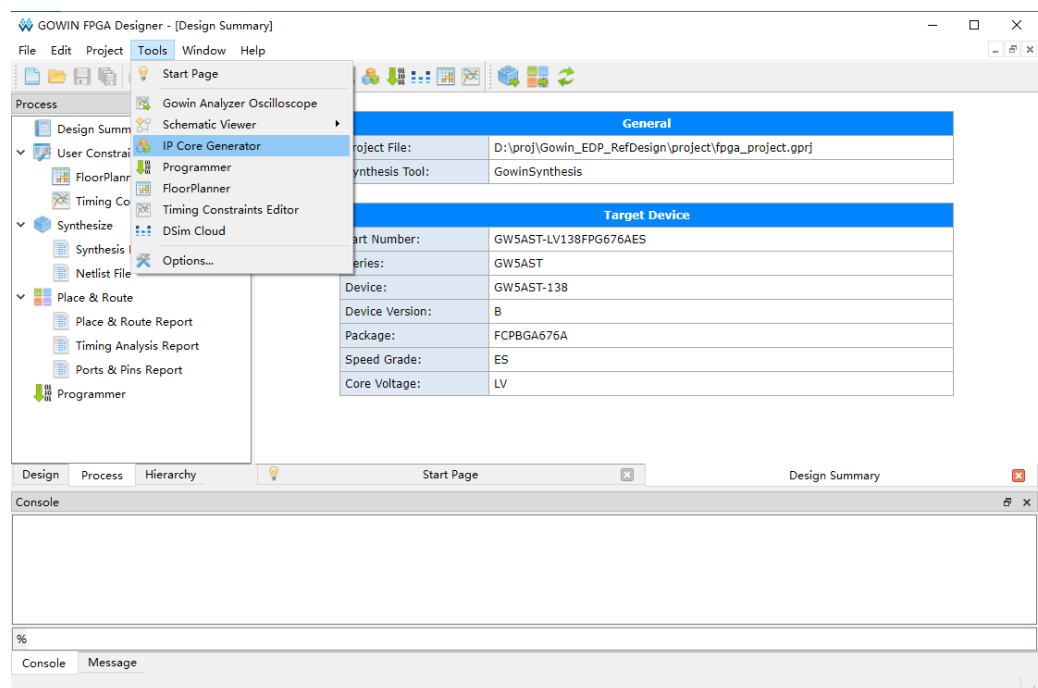
4 界面配置

用户可用高云半导体云源软件中的 IP 内核生成器工具调用和配置高云 EDP RX Desteer IP。

1. 打开 IP Core Generator

用户建立工程后，单击左上角“Tools”选项卡，下拉单击“IP Core Generator”选项，即可打开 Gowin IP Core Generator，如图 4-1 所示。

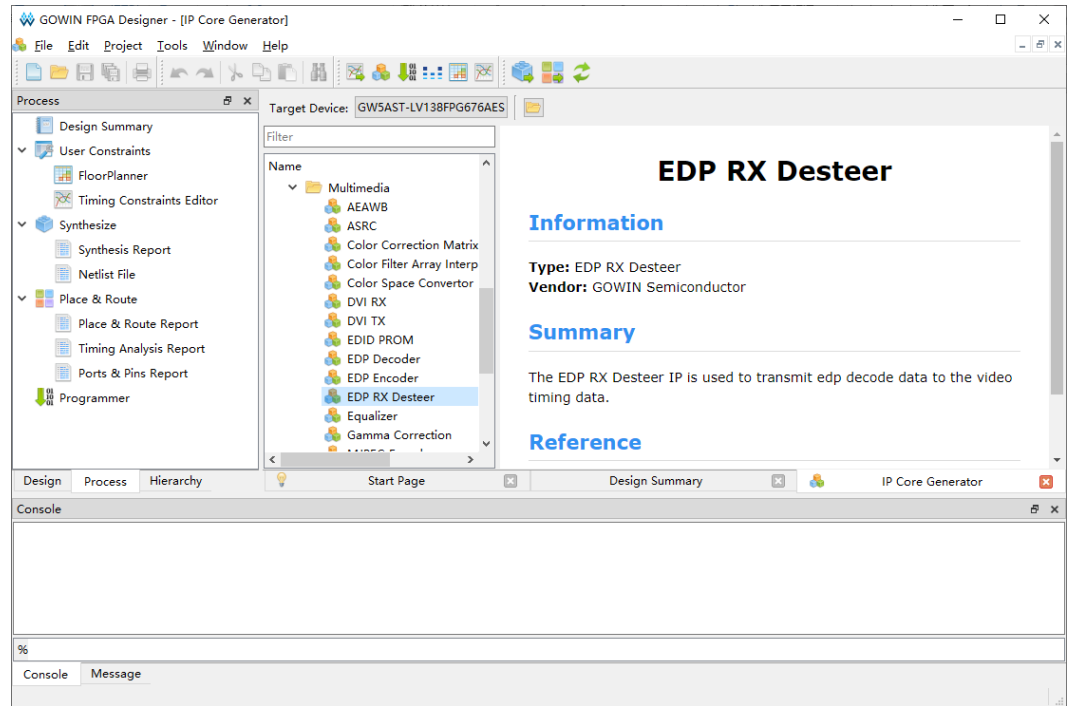
图 4-1 打开 IP Core Generator



2. 打开 EDP RX Desteer IP 核

单击“Multimedia”选项，双击“EDP RX Desteer”，打开 EDP RX Desteer IP 核的配置界面，如图 4-2 所示。

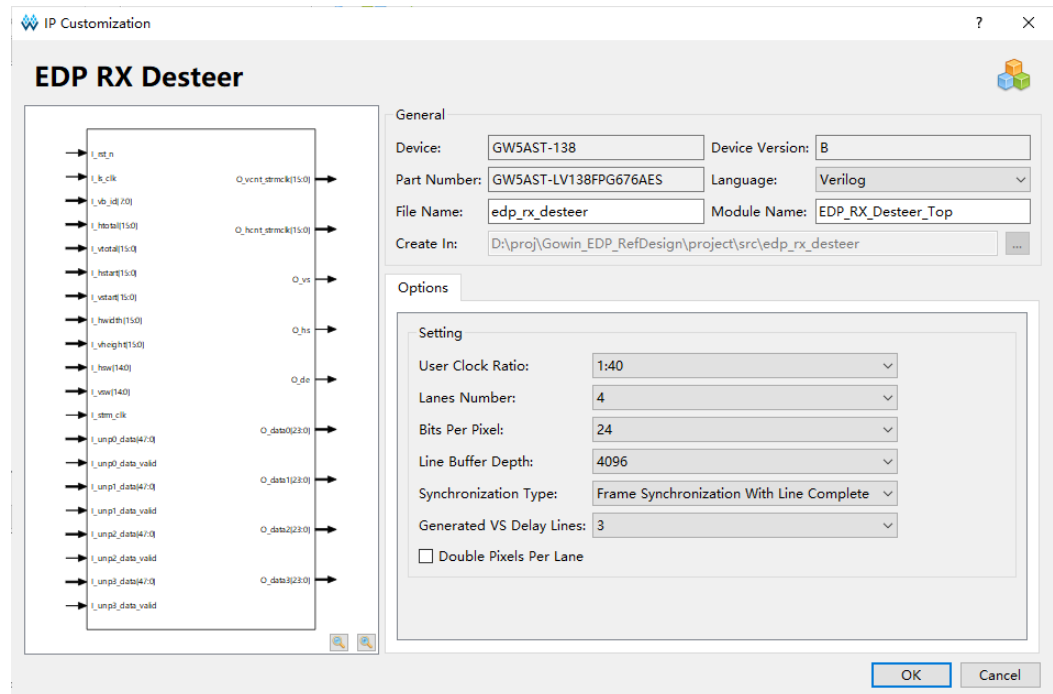
图 4-2 打开 EDP RX Desteer IP 核



3. EDP RX Desteer IP 核端口界面

配置界面左侧为 EDP RX Desteer IP 核的接口示意图，如图 4-3 所示。

图 4-3 EDP RX Desteer IP 核接口示意图

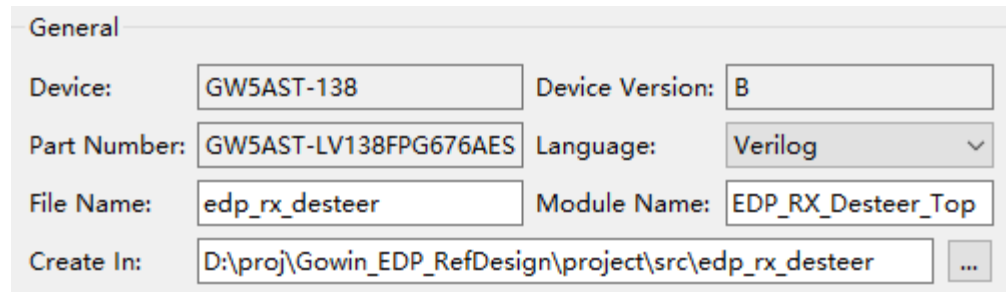


4. 配置基本信息

在配置界面的上部分是工程基本信息配置界，以 GW5AST-138 为例，

封装选择 FPG676A。Module Name 选项后面是工程产生后顶层文件的名称，默认为“EDP_RX_Desteer_Top”，用户可自行修改。“File Name”是 IP 核文件产生的文件夹，存放 EDP RX Desteer IP 核所需文件，默认为“edp_rx_desteer”，用户可自行修改路径。Create In 选项是 IP 核文件夹产生路径，默认为“\工程路径\src\edp_rx_desteer”，用户可自行修改路径。

图 4-4 基本信息配置界面



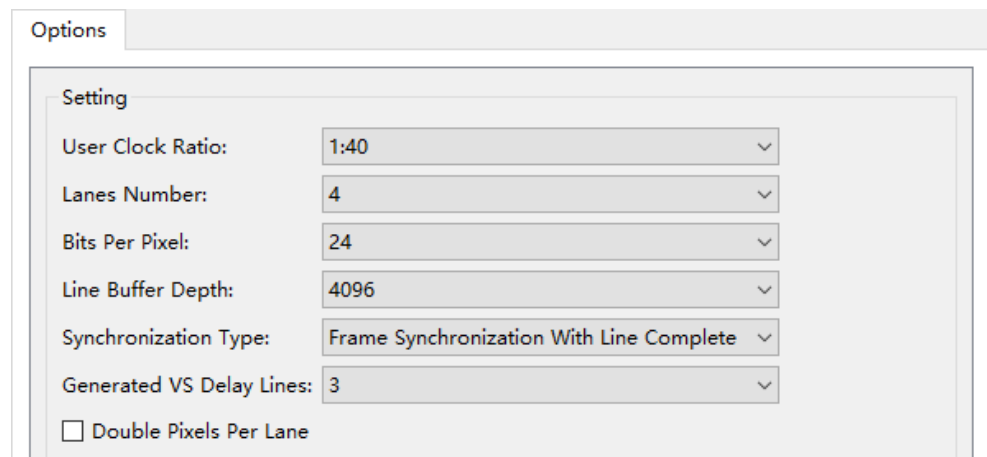
The screenshot shows the 'General' configuration tab with the following fields:

Device:	GW5AST-138	Device Version:	B
Part Number:	GW5AST-LV138FPG676AES	Language:	Verilog
File Name:	edp_rx_desteer	Module Name:	EDP_RX_Desteer_Top
Create In:	D:\proj\Gowin_EDP_RefDesign\project\src\edp_rx_desteer		

5. Options 选项卡

在选项卡中，用户需要配置 EDP RX Desteer 所使用的参数信息。

图 4-5 Options 选项卡



The screenshot shows the 'Options' configuration tab with the following settings:

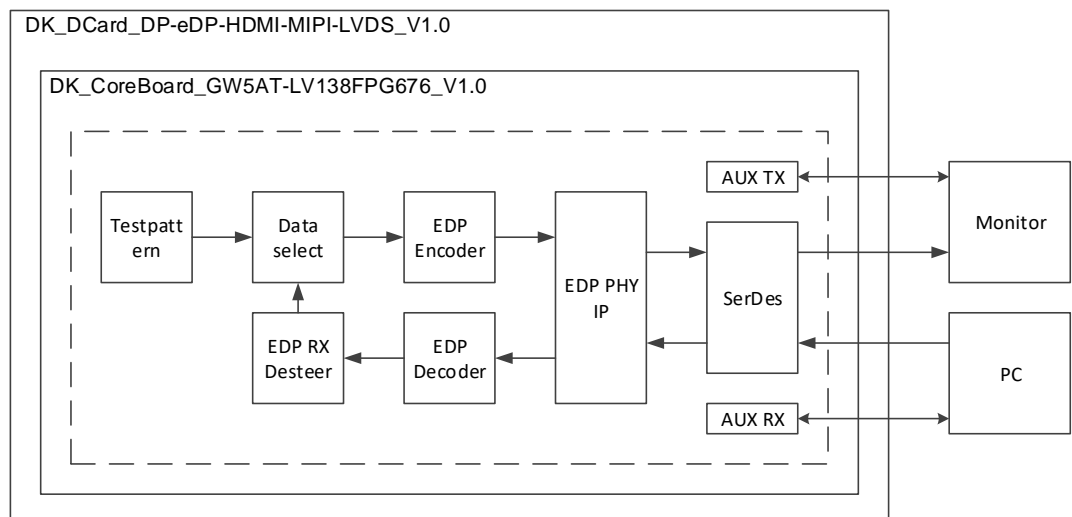
Setting	
User Clock Ratio:	1:40
Lanes Number:	4
Bits Per Pixel:	24
Line Buffer Depth:	4096
Synchronization Type:	Frame Synchronization With Line Complete
Generated VS Delay Lines:	3
<input type="checkbox"/> Double Pixels Per Lane	

5 参考设计

本节主要介绍 EDP RX Desteer IP 的参考设计实例的搭建及使用方法。详细信息请参见高云半导体官网给出的相关[参考设计](#)。

本参考设计以 DK_CoreBoard_GW5AT-LV138FPG676_V1.0 和 DK_DCard_DP-eDP-HDMI-MIPI-LVDS_V1.0 开发板为例，参考设计基本结构框图如图 5-1 所示。开发板相关信息参考官方网站。

图 5-1 参考设计实例一基本结构框图



在参考设计中，分为 DP 发送部分和 DP 接收部分。DP 发送部分通过 Testpattern 模块产生测试图视频信号，经过 EDP Encoder 模块编码，输入到 EDP PHY IP 转成串行信号输出到 DP 显示器，DP 接收部分如未接收到数据则一直显示测试图。DP 接收部分由 PC 输出的 DP 信号经过 EDP PHY IP 接收转成并行信号，通过 EDP Decoder 模块解码，经过 EDP RX Desteer 模块格式转换，再输出到数据选择模块后到显示器显示。

6 文件交付

Gowin EDP RX Desteer IP 交付文件主要包含三个部分，分别为：文档、设计源代码和参考设计。

6.1 文档

文件夹主要包含用户指南 PDF 文档。

表 6-1 文档列表

名称	描述
IPUG1083, Gowin EDP RX Desteer IP 用户指南	高云 EDP RX Desteer IP 用户手册，即本手册。

6.2 设计源代码（加密）

加密代码文件夹包含 Gowin EDP RX Desteer IP 的 RTL 加密代码，供 GUI 使用，以配合高云云源软件产生用户所需的 IP 核。

表 6-2 EDP RX Desteer 设计源代码列表

名称	描述
edp_rx_desteer.v	IP 核顶层文件，给用户接口信息，加密。

6.3 参考设计

Gowin EDP RefDesign 文件夹主要包含 Gowin EDP RX Desteer IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 6-3 Gowin EDP RefDesign 文件夹内容列表

名称	描述
test_top.v	参考设计的顶层 module
fpga_project.cst	工程物理约束文件
fpga_project.sdc	工程时序约束文件
key_debounce.v	消抖模块文件
key_debounceN.v	消抖模块文件
serdes	EDP PHY IP 文件夹
testpatternX4.v	测试图产生模块

名称	描述
auxlink	辅助通道 AUX 通信文件夹
gowin_pll	PLL IP 文件夹
edp_decoder	EDP 接收模块文件夹
edp_encoder	EDP 发送模块文件夹
edp_rx_desteer	EDP 接收数据排序模块文件夹

