



Gowin RoraLink 64B66B IP 用户指南

IPUG1085-1.0,2024-02-02

版权所有 © 2024 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2024/02/02	1.0	初始版本。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 功能简介	3
2.1 概述	3
2.2 主要特性	3
2.3 资源利用	4
3 功能描述	5
3.1 系统框图	5
3.2 工作频率	5
3.3 工作原理	6
3.4 用户接口	7
3.5 端口列表	7
3.6 用户接口时序	14
3.6.1 用户数据发送接口时序图	14
3.6.2 用户数据接收接口时序图	15
3.6.3 NFC 流量控制接口时序图	15
3.6.4 UFC 流量控制接口时序图	16
3.6.5 用户 K 码接口时序图	17
3.6.6 CRC 接口时序图	18
4 界面配置	19
5 参考设计	25
5.1 应用	25

5.2 Gowin RoraLink 64B66B IP 参考设计工程	26
5.3 参考设计板测	27
6 文件交付	30
6.1 文档	30
6.2 设计源代码（加密）	30
6.3 参考设计	30

图目录

图 3-1 系统框图	5
图 3-2 结构框图	7
图 3-3 Gowin RoraLink 64B66B IP 端口图.....	8
图 3-4 帧数据结构示例	14
图 3-5 帧数据发送方向接口时序图	14
图 3-6 流数据发送方向接口时序图	15
图 3-7 帧数据接收方向接口时序图	15
图 3-8 流数据接收方向接口时序图	15
图 3-9 NFC 流量控制接口时序图.....	16
图 3-10 UFC 流量控制发送方向接口时序图	17
图 3-11 UFC 流量控制接收方向接口时序图	17
图 3-12 用户 K 码发送方向接口时序图	18
图 3-13 用户 K 码接收方向接口时序图	18
图 3-14 CRC 接口时序图.....	18
图 4-1 SerDes IP 配置界面.....	19
图 4-2 Gowin RoraLink 64B66B IP 配置界面	20
图 4-3 IP 协议配置界面	21
图 5-1 单条 Lane 单工数据传输	25
图 5-2 多条 Lane 单工数据传输.....	25
图 5-3 单条 Lane 全双工数据传输	26
图 5-4 多条 Lane 全双工数据传输	26
图 5-5 参考设计实例基本结构图.....	27
图 5-6 串口工具显示	29

表目录

表 1-1 术语、缩略语	1
表 2-1 Gowin RoraLink 64B66B IP 概述	3
表 2-2 Gowin RoraLink 64B66B IP 占用资源	4
表 3-1 Gowin RoraLink 64B66B IP 端口列表	9
表 3-2 user_k_blk_no 与 BTF 对应表	17
表 4-1 Gowin RoraLink 64B66B IP 配置界面参数	22
表 5-1 参考设计寄存器列表	28
表 6-1 文档列表	30
表 6-2 Gowin RoraLink 64B66B IP 设计源代码列表	30
表 6-3 Gowin RoraLink 64B66B IP RefDesign 文件夹内容列表	30

1 关于本手册

1.1 手册内容

Gowin RoraLink 64B66B IP 用户指南主要包括功能简介、功能描述、界面配置和参考设计，旨在帮助用户快速了解 Gowin RoraLink 64B66B IP 的特性及使用方法。本手册中的软件界面截图参考的是 1.9.9.01 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [SUG100, Gowin 云源软件用户指南](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1104, GW5AST 系列 FPGA 产品数据手册](#)

1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
CB	Channel Bonding	信道绑定
CC	Clock Compensation	时钟补偿
CRC	Cyclic Redundancy Code	循环冗余编码
FPGA	Field Programmable Gate Array	现场可编程门阵列
IP	Intellectual Property	知识产权
NFC	Native Flow Control	本机流量控制
PCS	Physical Coding Sublayer	物理编码子层
PMA	Physical Medium Attachment	物理介质子层
UFC	User Flow Control	用户流量控制

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 功能简介

2.1 概述

Gowin RoraLink 64B66B IP 为用户提供可扩展、轻量级、高数据速率链路层的传输解决方案，使用 64B/66B 编解码方式，提供便于用户使用的数据接口和流量控制接口。

表 2-1 Gowin RoraLink 64B66B IP 概述

Gowin RoraLink 64B66B IP	
逻辑资源	参见表 2-2
交付文件	
设计文件	Verilog(encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis®
应用软件	Gowin Software (V1.9.9.01 及以上)

注！

可登录[高云半导体网站](#)查看芯片支持信息。

2.2 主要特性

- 支持 1~8 路
- 支持单工或全双工
- 支持 64B/66B 编解码
- 支持串行数据加扰和解扰
- 支持接收通道绑定对齐和时钟调整
- 支持低开销传输
- 支持自动初始化和通道管理
- 支持大端或小端

- 支持 CRC32
- 提供便于用户使用的数据接口和流量控制接口

2.3 资源利用

通过 Verilog 语言实现 Gowin RoraLink 64B66B IP。因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。以高云 GW5AT 系列 FPGA 为例，RoraLink 64B66B IP 资源利用情况如表 2-2 所示。

表 2-2 Gowin RoraLink 64B66B IP 占用资源

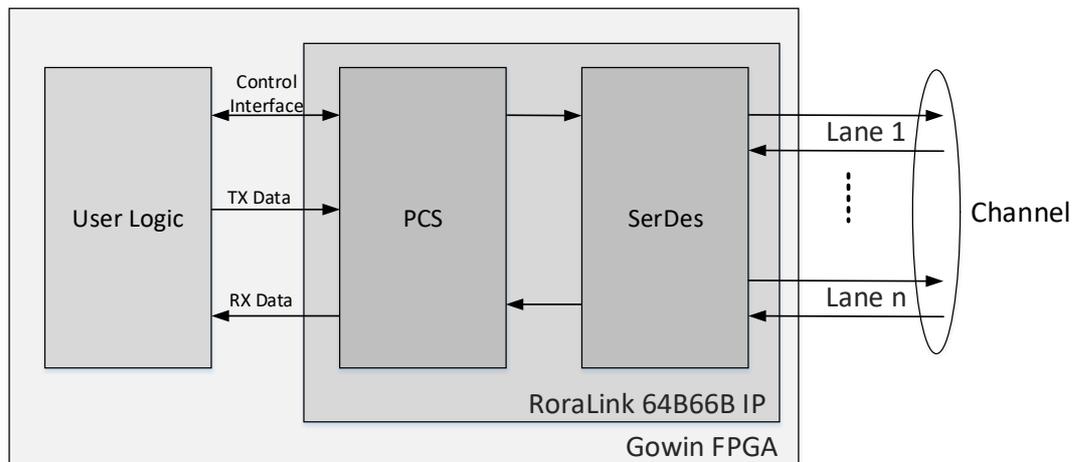
Lane Width	Dataflow Mode	Interface	Resource Utilization		
			REG	LUT	BSRAM
1	Duplex	Framing	4062	2946	2
		Streaming	3881	2767	2
	RX-only Simplex	Framing	2851	1612	2
		Streaming	2695	1497	2
	TX-only Simplex	Framing	1574	1443	0
		Streaming	1574	1447	0
	TX/RX Simplex	Framing	4242	3162	2
		Streaming	4059	2986	2
2	Duplex	Framing	7684	5679	4
		Streaming	7348	5376	4
	RX-only Simplex	Framing	5429	3147	4
		Streaming	5135	2933	4
	TX-only Simplex	Framing	2988	2820	0
		Streaming	2988	2826	0
	TX/RX Simplex	Framing	7915	5995	4
		Streaming	7576	5669	4
4	Duplex	Framing	14906	11126	8
		Streaming	14264	10555	8
	RX-only Simplex	Framing	10564	6171	8
		Streaming	9997	5773	8
	TX-only Simplex	Framing	5816	5568	0
		Streaming	5816	5587	0
	TX/RX Simplex	Framing	15239	11620	8
		Streaming	14592	11003	8

3 功能描述

3.1 系统框图

Gowin RoraLink 64B66B IP 的系统框图如图 3-1 所示。IP 包含 SerDes 模块和 PCS 模块，调用 SerDes 硬核作为协议 PMA 部分，同时 IP 实现 PCS 层。SerDes 模块传输 64B/66B 编码后的数据，用户可使用 1~8 条 Lane 与对端设备连接，使用多条 Lane 传输 1 个信道 (Channel) 的数据。PCS 模块实现 64B/66B 编解码、加解扰、链路初始化和数据传输。

图 3-1 系统框图



3.2 工作频率

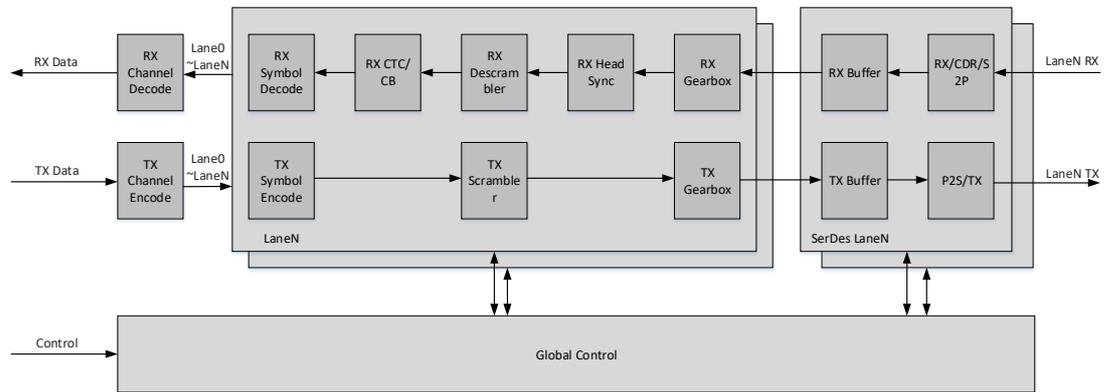
Gowin RoraLink 64B66B IP 的工作频率与 SerDes 线速率有关，SerDes 位宽为 64 bits，工作时钟频率 $\text{clock} = \text{line rate} / 64\text{bit}$ 。例如单条 Lane 的线速率为 3.125Gbps，则工作时钟频率 $\text{clock} = 3.125\text{Gbps} / 64\text{bit} = 48.828125\text{MHz}$ 。

3.3 工作原理

Gowin RoraLink 64B66B IP 的结构框图如图 3-2 所示。各个模块功能介绍如下：

- **Global Control:** 全局控制模块，管理 IP 接收方向的通道绑定对齐（Channel Bonding）、IP 初始化、监控链路、复位等。
- **数据发送方向:** 用户输入数据，IP 进行数据处理和流量控制、数据加扰、变速箱（Gearbox）处理后通过 SerDes 发送出去。
 - **TX Channel Encode:** 对发送用户数据、流量控制数据、用户 K 码等数据进行处理，包含接口转换、流量控制、大小端转换、添加 CRC 字段等。CRC 计算使用公式为： $G(X) = X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ 。
 - **TX Symbol Encode:** TX Channel Encode 输出的数据对应输入到多条 Lane 添加控制符号。
 - **TX Scrambler:** 发送加扰模块，使用公式： $G(x) = 1 + x^{39} + x^{58}$ 对数据进行加扰，2bit 同步头不进行加扰。
 - **TX Gearbox:** 发送变速箱模块，将 64bit 和 2bit 同步头转成 SerDes 接口的 64bit。
- **数据接收方向:** IP 接收 SerDes 数据，IP 进行变速箱（Gearbox）处理、接收 Block 同步、接收解扰、接收时钟补偿（Clock Compensation）、接收通道绑定对齐（Channel Bonding）、接收数据处理后发送给用户。
 - **RX Gearbox:** 接收变速箱模块，将 SerDes 接收的 64bit 数据转成 66bit 数据。
 - **RX Head Sync:** 接收同步模块，接收数据并检测 2bit 的同步头是否锁定，若没锁定则和 RX Gearbox 配合处理数据，最终正确恢复出 64bit 数据和 2bit 同步头。
 - **RX Descrambler:** 接收解扰模块。
 - **RX CTC/CB:** 接收时钟调整和接收通道绑定对齐模块。
 - **RX Symbol Decode:** 接收并处理控制符号。
 - **RX Channel Decode:** 接收数据进行处理后发送给用户，数据处理包含去除 CRC 字段、大小端转换、接口转换等。

图 3-2 结构框图



3.4 用户接口

Gowin RoraLink 64B66B IP 提供的用户侧接口简介如下：

- 时钟接口：用户输入 IP Core 的工作时钟。
- 复位接口：用户对 IP Core 进行复位操作，同时 IP 输出对用户侧模块的复位信号。
- 发送数据接口：用户发送数据接口。
- 接收数据接口：用户接收数据接口。
- NFC 流量控制接口：用户进行 NFC（Native Flow Control）模式流量控制的接口，允许接收方请求其通道伙伴传输空闲而不是数据。
- UFC 流量控制接口：用户进行 UFC（User Flow Control）流量控制的接口，允许通过接口发送短的、高优先级控制消息。
- 用户 K 码接口：用户自定义发送和接收 K 码接口。
- 状态接口：包含 IP 内部错误状态、lane 建链状态、channel 建链状态和 CRC 校验状态。
- SerDes 相关接口：SerDes 复位及 SerDes 状态接口。

3.5 端口列表

Gowin RoraLink 64B66B IP 的详细端口图如图 3-3 所示。

图 3-3 Gowin RoraLink 64B66B IP 端口图

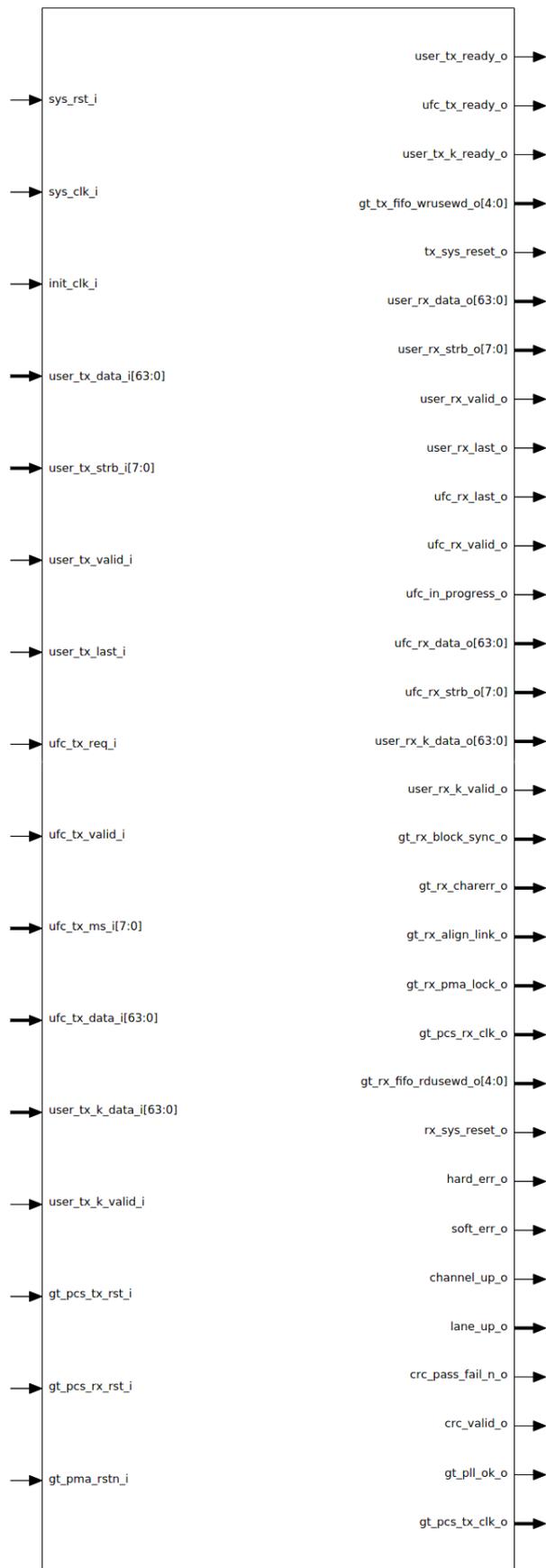


表 3-1 Gowin RoraLink 64B66B IP 端口列表

端口名称	I/O	位宽	描述
时钟与复位			
sys_rst_i	input	1	输入复位信号，高电平有效。
sys_clk_i	input	1	输入工作时钟，时钟频率详见 3.2 工作频率描述 。
init_clk_i	input	1	输入本地晶振 50MHz 时钟。
reset2fc_o ^[10]	output	1	仅用于参考设计，复位接收方向帧检测模块，高电平有效。
reset2fg_o ^[9]	output	1	仅用于参考设计，复位发送方向帧生成模块，高电平有效。
tx_sys_reset_o ^[2]	output	1	输出发送方向系统复位信号，高电平有效。
rx_sys_reset_o ^[3]	output	1	输出接收方向系统复位信号，高电平有效。
用户数据发送接口			
user_tx_data_i ^[2]	input	[(64n ^[1] -1):0] or [0:(64n ^[1] -1)]	发送用户数据。
user_tx_valid_i ^[2]	input	1	发送用户数据有效指示，高电平有效。
user_tx_ready_o ^[2]	output	1	发送用户数据的握手信号，当 user_tx_ready_o 为高电平且 user_tx_valid_i 为高电平时，总线上的数据有效。
user_tx_strb_i ^[2]	input	[(8n ^[1] -1):0] or [0:(8n ^[1] -1)]	发送用户数据帧尾字节有效使能。例如 user_tx_strb_i 为 8'h1f，则表示对应的 user_tx_data_i 的[39:0]数据有效，user_tx_data_i 的[63:40]数据无效。该信号仅在 user_tx_valid_i 为高电平、user_tx_ready_o 为高电平且 user_tx_last_i 为高电平时有效。 注! 仅在 GUI 选项 Interface 为“Framing”时端口有效。
user_tx_last_i ^[2]	input	1	发送用户数据帧尾有效指示，表示每组数据帧的结尾，当 user_tx_ready_o 为高电平、user_tx_valid_i 为高电平且 user_tx_last_i 为高电平时，总线上的数据为每帧的最后一个数据。 注! 仅在 GUI 选项 Interface 为“Framing”时端口有效。
用户数据接收接口			
user_rx_data_o ^[3] ₁	output	[(64n ^[1] -1):0] or [0:(64n ^[1] -1)]	接收用户数据。
user_rx_valid_o ^[3] ₁	output	1	接收用户数据有效指示，该信号为高电平表示总线上的数据有效。
user_rx_strb_o ^[3]	output	[(8n ^[1] -1):0]	接收用户数据帧尾字节有效使能。例如

端口名称	I/O	位宽	描述
		or [0:(8n ^[1] -1)]	user_rx_strb_o 为 8'h1f, 则表示对应的 user_rx_data_o 的[39:0]数据有效, user_rx_data_o 的[63:40]数据无效。该信号仅在 user_rx_valid_o 为高电平且 user_rx_last_o 为高电平时有效。 注! 仅在 GUI 选项 Interface 为“Framing”时端口有效。
user_rx_last_o ^[3]	output	1	接收用户数据帧尾有效指示, 表示每组数据帧的结尾, 当 user_rx_valid_o 为高电平且 user_rx_last_o 为高电平时, 总线上的数据为每帧的最后一个数据。 注! 仅在 GUI 选项 Interface 为“Framing”时端口有效。
Native Flow Control 流量控制接口			
nfc_valid_i ^[4]	input	1	NFC 模式流量控制数据有效指示, 高电平有效。
nfc_data_i ^[4]	input	[15:0] or [0:15]	NFC 模式流量控制数据。
nfc_ready_o ^[4]	output	1	NFC 模式流量控制握手信号, nfc_ready_o 为高电平且 nfc_valid_i 为高电平表示总线上的数据有效。
User Flow Control 流量控制发送方向接口			
ufc_tx_req_i ^{[2][5]}	input	1	发送 UFC 数据请求信号, 高电平有效。
ufc_tx_ms_i ^{[2][5]}	input	[7:0]or[0:7]	发送 UFC 数据字节数, 范围 0~255。例如 3 表示传输 UFC 数据为 4 个字节的数据。
ufc_tx_data_i ^{[2][5]}	input	[(64n ^[1] -1):0] or [0:(64n ^[1] -1)]	发送 UFC 数据
ufc_tx_valid_i ^{[2][5]}	input	1	发送 UFC 数据有效指示, 高电平有效。
ufc_tx_ready_o ^{[2][5]}	output	1	发送 UFC 数据握手信号, 高电平有效, 当 ufc_tx_ready_o 为高电平且 ufc_tx_valid_i 为高电平时总线上的数据 ufc_tx_data_i 有效。
User Flow Control 流量控制接收方向接口			
ufc_rx_data_o ^{[3][5]}	output	[(64n ^[1] -1):0] or [0:(64n ^[1] -1)]	接收 UFC 数据。
ufc_rx_strb_o ^{[3][5]}	output	[(8n ^[1] -1):0]or [0:(8n ^[1] -1)]	接收 UFC 数据帧尾字节有效使能。例如 ufc_rx_strb_o 为 8'h1f, 则表示对应的 ufc_rx_data_o 的[39:0]数据有效, ufc_rx_data_o 的[63:40]数据无效。该信号仅在 ufc_rx_valid_o 为高电平且 ufc_rx_last_o 为高电平时有效。

端口名称	I/O	位宽	描述
ufc_rx_last_o ^{[3][5]}	output	1	接收用户数据帧尾有效指示，表示每组 UFC 数据帧的结尾，当 ufc_rx_valid_o 为高电平且 ufc_rx_last_o 为高电平时，总线上的数据为每帧的最后一个数据。
ufc_rx_valid_o ^{[3][5]}	output	1	接收 UFC 数据有效指示信号，高电平有效。
ufc_in_progress_o ^{[3][5]}	output	1	UFC 传输状态，为低电平表示 UFC 数据正在接收。
用户 K 码发送方向接口			
user_tx_k_data_i ^{[2][6]}	input	[(64n ^[1] -1):0] or [0:(64n ^[1] -1)]	发送用户 K 码数据。 <ul style="list-style-type: none"> 选项 Little Endian Support 勾选： user_tx_k_data_i = {{user_k_data[55:0],4'h0,user_k_blk_no[3:0]}*n^[1]}。 选项 Little Endian Support 不勾选： user_tx_k_data_i = {{4'h0,user_k_blk_no[0:3],user_k_data[55:0]}*n^[1]}。
user_tx_k_valid_i ^{[2][6]}	input	1	发送用户 K 码数据有效指示，高电平有效。
user_tx_k_ready_o ^{[2][6]}	output	1	发送用户 K 码数据握手信号，高电平有效，当 user_tx_k_valid_i 为高电平且 user_tx_k_ready_o 为高电平时总线上的数据有效。
用户 K 码接收方向接口			
user_rx_k_data_o ^{[3][6]}	output	[(64n ^[1] -1):0] or [0:(64n ^[1] -1)]	接收用户 K 码数据。 <ul style="list-style-type: none"> 选项 Little Endian Support 勾选： user_tx_k_data_i = {{user_k_data[55:0],4'h0,user_k_blk_no[3:0]}*n^[1]}。 选项 Little Endian Support 不勾选： user_tx_k_data_i = {{4'h0,user_k_blk_no[0:3],user_k_data[55:0]}*n^[1]}。
user_rx_k_valid_o ^{[3][6]}	output	1	接收用户 K 码数据有效指示，高电平有效，当 user_rx_k_valid_o 为高电平时总线上数据有效。
CRC 状态接口			
crc_pass_fail_n_o ^[7]	output	1	CRC 校验状态。当 crc_valid_o 为高电平且 crc_pass_fail_n_o 为低电平时表示当前 CRC 校验错误。当 crc_valid_o 为高电平且 crc_pass_fail_n_o 为高电平时表示当前 CRC 校验正确。
crc_valid_o ^[7]	output	1	CRC 校验状态有效指示，高电平有效。
状态接口			

端口名称	I/O	位宽	描述
hard_err_o ^[8]	output	1	Hard error 指示, 为高电平表示链路发生过 Hard error, 直到 IP 被复位才会重新置 1'b0。
soft_err_o ^[8]	output	1	Soft error 指示, 为高电平表示当前接收链路有 Soft error。
channel_up_o ^[8]	output	1	Channel 建链状态指示, 高电平有效, 为高电平表示 Channel 建链成功。
lane_up_o ^[9]	output	[(n ^[1] -1):0]	Lane 建链状态指示, 高电平有效, 为高电平表示对应 Lane 建链成功。
tx_hard_err_o ^[9]	output	1	发送方向 Hard error 指示, 为高电平表示链路发生过 Hard error, 直到 IP 被复位才会重新置 1'b0。
tx_soft_err_o ^[9]	output	1	发送方向 Soft error 指示, 为高电平表示当前接收链路有 Soft error。
tx_channel_up_o ^[9]	output	1	发送方向 Channel 建链状态指示, 高电平有效, 为高电平表示 Channel 建链成功。
tx_lane_up_o ^[9]	output	[(n ^[1] -1):0]	发送方向 Lane 建链状态指示, 高电平有效, 为高电平表示对应 Lane 建链成功。
rx_hard_err_o ^[10]	output	1	接收方向 Hard error 指示, 为高电平表示链路发生过 Hard error, 直到 IP 被复位才会重新置 1'b0。
rx_soft_err_o ^[10]	output	1	接收方向 Soft error 指示, 为高电平表示当前接收链路有 Soft error。
rx_channel_up_o ^[10]	output	1	接收方向 Channel 建链状态指示, 高电平有效, 为高电平表示 Channel 建链成功。
rx_lane_up_o ^[10]	output	[(n ^[1] -1):0]	接收方向 Lane 建链状态指示, 高电平有效, 为高电平表示对应 Lane 建链成功。
cfg_tx_init_counter_i ^[9]	Input	[23:0]	发送方向初始化计数统计, 仿真时可设置为 24'h3ff 加快仿真速度, 应用时设置为 24'hffff。
用户侧控制 SerDes 相关接口			
gt_pma_rstn_i	input	1	SerDes 通道复位信号, 低有效, 同时复位 IP 对应的所有 lane。
gt_pll_ok_o	output	1	SerDes PLL 锁定状态, 高表示时钟锁定。
gt_pcs_tx_clk_o	output	[(n ^[1] -1):0]	SerDes 输出发送方向 PCS 层时钟, 每条 Lane 对应 1bit 时钟。
gt_pcs_tx_rst_i ^[2]	input	1	SerDes PCS 层发送方向复位, 高有效, 同时复位 IP 对应的所有 lane。
gt_tx_fifo_wrused_o ^[2]	output	[(5n ^[1] -1):0]	SerDes 通道发送 FIFO 读写两端的指针差异, 每条 Lane 对应 5bit 有效。
gt_pcs_rx_rst_i ^[3]	input	1	SerDes PCS 层接收方向复位, 高有效, 同时复位 IP 对应的所有 lane。
gt_rx_align_link_	output	[(n ^[1] -1):0]	SerDes 通道对齐状态, 高表示链路正常,

端口名称	I/O	位宽	描述
$o^{[3]}$			每条 Lane 对应 1bit 有效。
gt_rx_pma_lock_o ^[3]	output	$[(n^{[1]}-1):0]$	SerDes 通道接收 PMA 层锁定状态，高表示链路正常，每条 Lane 对应 1bit 有效。
gt_rx_fifo_rdusewd_o ^[3]	output	$[(5n^{[1]}-1):0]$	SerDes 通道接收 FIFO 读写两端的指针差异，每条 Lane 对应 5bit 有效。
gt_pcs_rx_clk_o ^[3]	output	$[(n^{[1]}-1):0]$	SerDes 输出接收方向 PCS 层时钟，每条 Lane 对应 1bit 时钟。
gt_rx_block_sync_o ^[3]	output	$[(n^{[1]}-1):0]$	输出 SerDes 接收块同步指示信号，为高电平表示接收 block 同步正常，每条 Lane 对应 1bit 有效。
gt_rx_charerr_o ^[3]	output	$[(n^{[1]}-1):0]$	输出 SerDes 接收错误指示信号，为高电平表示接收错误，每条 Lane 对应 1bit 有效。
SerDes 硬核接口			
SerDes_*	-	-	SerDes_开头的信号为 RoraLink 64B66B IP 与 SerDes 硬核连接信号，用户可不关注！EDA 工具自动完成连线。

注！

- ^[1]表中 n 表示 lane 的数量。
- ^[2]当 GUI 选项 Dataflow Mode 为“RX-only Simplex”时，IP 无该端口。
- ^[3]当 GUI 选项 Dataflow Mode 为“TX-only Simplex”时，IP 无该端口。
- ^[4]当 GUI 选项 Flow Control 为“None”、“UFC”时，IP 无该端口。
- ^[5]当 GUI 选项 Flow Control 为“None”、“Immediate NFC”、“Completion NFC”时，IP 无该端口。
- ^[6]当 GUI 选项 USER K 未被勾选时，IP 无该端口。
- ^[7]当 GUI 选项 CRC 未被勾选时，IP 无该端口。
- ^[8]当 GUI 选项 Dataflow Mode 为“Duplex”时，IP 该端口有效。
- ^[9]当 GUI 选项 Dataflow Mode 为“TX-only Simplex”或“TX/RX Simplex”时，IP 该端口有效。
- ^[10]当 GUI 选项 Dataflow Mode 为“RX-only Simplex”或“TX/RX Simplex”时，IP 该端口有效。
- ^[11]总线数据支持大端模式和小端模式。若 GUI 选项勾选 Little Endian Support，则信号定义为[N:0]的小端模式。若 GUI 选项未勾选 Little Endian Support，则信号定义为[0:N]的大端模式。

3.6 用户接口时序

3.6.1 用户数据发送接口时序图

Gowin RoraLink 64B66B IP 提供用户数据发送接口，可传输帧数据或流数据。

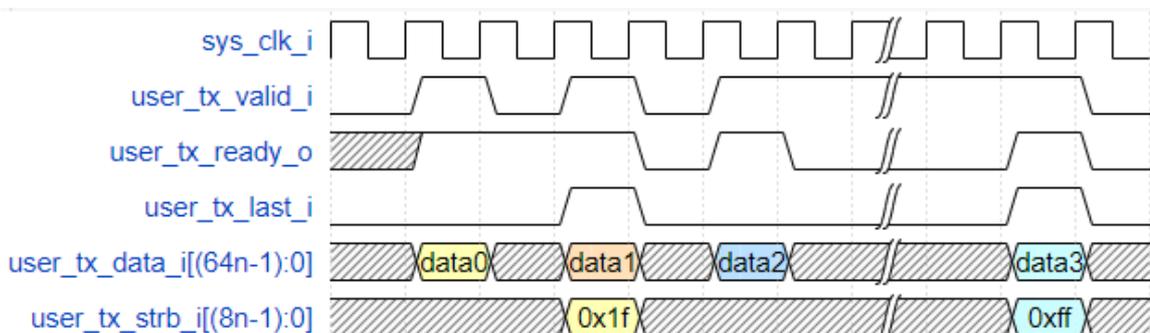
帧数据接口传输的数据块（Data Block）之间通过分隔块（Separator Block）隔开，分隔块作为每个数据块的结尾，数据传输以 64bit 的块为单位，发送方向数据块由用户通过数据发送接口输入，分隔块和间隔块（IDLE Block）由 IP 核插入。帧数据结构示例如图 3-4 所示，示例为数据在单个 Lane 传输。当数据帧的最后一组有效数据长度为 1~6 个字节时，每帧数据的结尾由 1 个字节 SEP(0x1e)、1 个字节数据计数（Count）、1~6 个字节有效数据和填充数据组成，数据计数（Count）为 1~6 指示最后一组数据的有效字节数。当数据帧的最后一组有效数据长度为 8 个字节时，每帧数据的结尾由 1 个字节 SEP (0x1e)、1 个字节数据计数（0x0）和 6 个字节填充数据组成。当数据帧的最后一组有效数据长度为 7 个字节时，每帧数据的结尾由 SEP-7(0xe1) 和 7 个字节有效数据组成。

图 3-4 帧数据结构示例

Frame0 Data Byte7	Frame0 Data Byte6	Frame0 Data Byte5	Frame0 Data Byte4	Frame0 Data Byte3	Frame0 Data Byte2	Frame0 Data Byte1	Frame0 Data Byte0
SEP(0x1e)	Count(0x2)	--	--	--	--	Frame0 Data Byte9	Frame0 Data Byte8
IDLE(0x78)	CC/CB/NR/SA/--	--	--	--	--	--	--
SEP-7(0xe1)	Frame1 Data Byte6	Frame1 Data Byte5	Frame1 Data Byte4	Frame1 Data Byte3	Frame1 Data Byte2	Frame1 Data Byte1	Frame1 Data Byte0
Frame2 Data Byte8	Frame2 Data Byte7	Frame2 Data Byte6	Frame2 Data Byte5	Frame2 Data Byte4	Frame2 Data Byte3	Frame2 Data Byte1	Frame2 Data Byte0
Frame2 Data Byte16	Frame2 Data Byte15	Frame2 Data Byte14	Frame2 Data Byte13	Frame2 Data Byte12	Frame2 Data Byte11	Frame2 Data Byte10	Frame2 Data Byte9
SEP(0x1e)	Count(0x0)	--	--	--	--	--	--
IDLE(0x78)	CC/CB/NR/SA/--	--	--	--	--	--	--

帧数据发送方向接口时序如图 3-5 所示，user_tx_data_i 用于传输数据块，数据在 user_tx_valid_i 和 user_tx_ready_o 均为高电平时有效，user_tx_last_i 表示帧数据的结尾，user_tx_strb_i 仅在 user_tx_last_i、user_tx_valid_i 和 user_tx_ready_o 均为高电平时有效，user_tx_strb_i 表示帧尾数据的字节使能。IP 内部在帧数据间插入分隔块和间隔块，如果用户在 GUI 界面勾选了 CRC，IP 内部会在帧尾添加 CRC 字段。

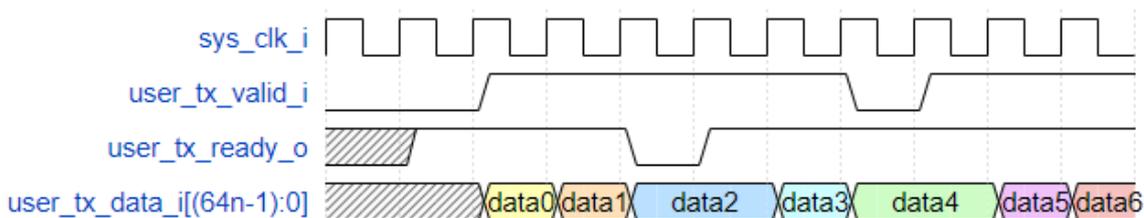
图 3-5 帧数据发送方向接口时序图



流数据传输时没有帧间隔符，所以传输简单且资源利用少。数据发送方

向接口时序如图 3-6 所示，`user_tx_data_i` 用于传输数据块，数据在 `user_tx_valid_i` 和 `user_tx_ready_o` 均为高电平时有效。

图 3-6 流数据发送方向接口时序图

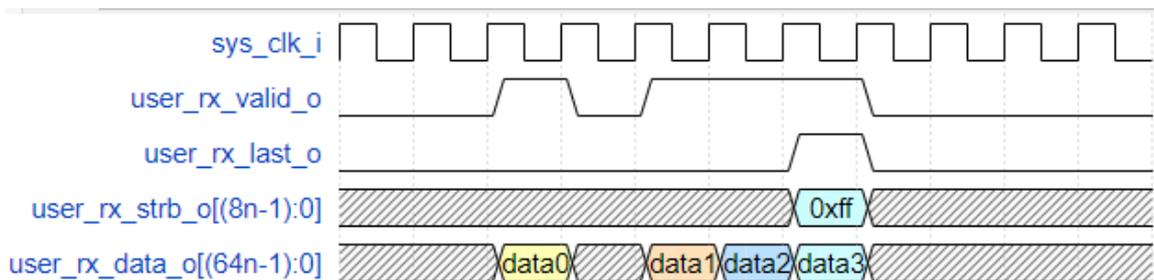


3.6.2 用户数据接收接口时序图

Gowin RoraLink 64B66B IP 提供用户数据接收接口，可传输帧数据或流数据。IP 接收数据后处理数据中的控制字符，并将剩余的数据块通过接收接口传输给用户。

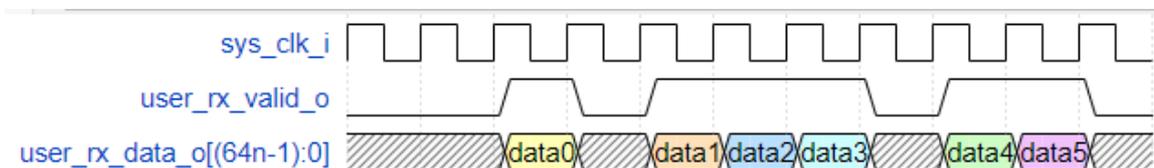
帧数据接收方向接口时序如图 3-7 所示，`user_rx_data_o` 用于传输数据块，数据在 `user_rx_valid_o` 为高电平时有效，`user_rx_last_o` 表示帧数据的结尾，`user_rx_strb_o` 仅在 `user_rx_last_o` 和 `user_rx_valid_o` 均为高电平时有效，`user_rx_strb_o` 表示帧尾数据的字节使能。

图 3-7 帧数据接收方向接口时序图



流数据接收方向接口时序如图 3-8 所示，`user_rx_data_o` 用于传输数据块，数据在 `user_rx_valid_o` 为高电平时有效。

图 3-8 流数据接收方向接口时序图

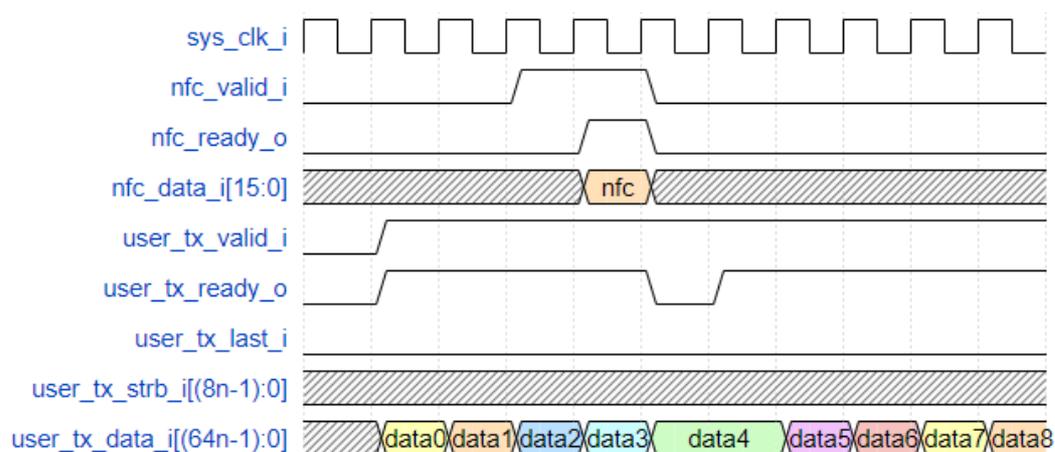


3.6.3 NFC 流量控制接口时序图

Gowin RoraLink 64B66B IP 提供 NFC (Native Flow Control) 模式流量控制接口，用于本机向对端发送 NFC 请求消息。NFC 有两种操作模式：立即模式 (immediate) 和完成模式 (completion)。在立即模式下，设备需立即立即处理它接收到的任务 NFC 请求。在完成模式下，设备必须完成上一帧数据传输后，才能处理 NFC 请求。

NFC 消息在大端模式时, `nfc_data_i[0:6]`是保留字段, `nfc_data_i[7]`表示 `xoff` 模式指示信号, `nfc_data_i[8:15]`表示暂停值。NFC 消息在小端模式时, `nfc_data_i[15:9]`是保留字段, `nfc_data_i[8]`表示 `xoff` 模式指示信号, `nfc_data_i[7:0]`表示暂停值。暂停值表示设备在接收到 NFC 请求消息后需暂停发送数据的最小周期数, 例如大端模式时暂停发送数据的周期数等于 `nfc_data_i[8:15]+1`。`xoff` 模式指示信号为高电平时表示当前为 `xoff` 模式, 设备在收到 UFC 消息后暂停发送数据, 直到接收到 `xoff` 模式指示信号为低电平的 UFC 请求数据或 IP 被复位。若暂停值与 `xoff` 模式指示信号均为 0 表示当前为 `xon` 模式, 设备在接收到 `xon` 模式消息后, 立马停止 NFC 倒计时计数器, 恢复正常发送数据。NFC 流量控制接口时序如图 3-9 所示, `user_rx_data_o` 用于传输数据块。

图 3-9 NFC 流量控制接口时序图

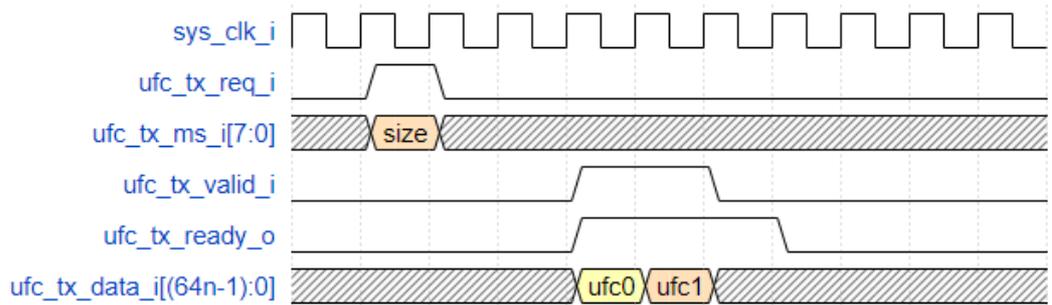


3.6.4 UFC 流量控制接口时序图

Gowin RoraLink 64B66B IP 提供 UFC (User Flow Control) 模式流量控制接口, UFC 流量控制接口分为发送方向和接收方向。UFC 消息使用独立的带内通道发送控制消息, 无需等待当前数据帧结束传输, UFC 消息最长为 256 个字节。

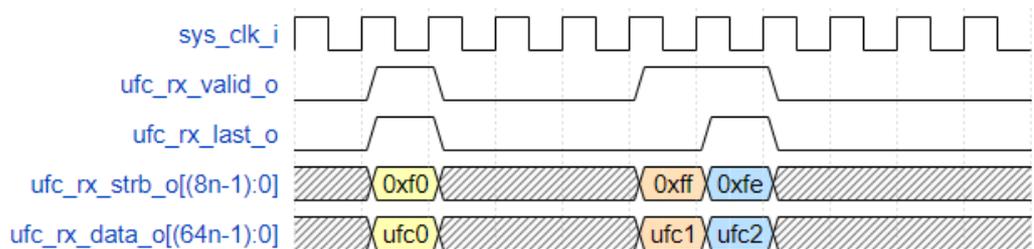
UFC 流量控制发送方向接口时序如图 3-10 所示。`ufc_tx_req_i` 信号置高电平一个时钟周期发起 UFC 流量控制发送请求, `ufc_tx_ms_i` 表示 UFC 消息的字节数, `ufc_tx_ms_i` 在 `ufc_tx_req_i` 为高电平时有效, 例如 `ufc_tx_ms_i` 为 0xf 则表示将要传输的 UFC 消息长度为 16 个字节。`ufc_tx_data_i` 表示传输的 UFC 消息, UFC 消息在 `ufc_tx_ready_o` 为高电平且 `ufc_tx_valid_i` 为高电平时有效, UFC 消息正常情况下延迟 `ufc_tx_req_i` 2 个时钟周期进行传输。

图 3-10 UFC 流量控制发送方向接口时序图



UFC 流量控制接收方向接口时序如图 3-11 所示。ufc_rx_valid_o 为高电平时 ufc_rx_data_o 数据有效，ufc_rx_strb_o 对应 ufc_rx_data_o 数据的字节有效使能，ufc_rx_last_o 为高电平表示 UFC 数据帧的结尾。

图 3-11 UFC 流量控制接收方向接口时序图



3.6.5 用户 K 码接口时序图

Gowin RoraLink 64B66B IP 提供用户 K 码 (USER-K) 接口，分为发送方向和接收方向。用户 K 码按 64bit 的数据块进行传输，由 4bit user_k_blk_no 和 56bit user_k_data 组成。如表 3-2 所示，4bit user_k_blk_no 范围为 0~9 对应 10 种块类型 (Block Type Field, BTF)。user_k_data 为用户自定义的数据。

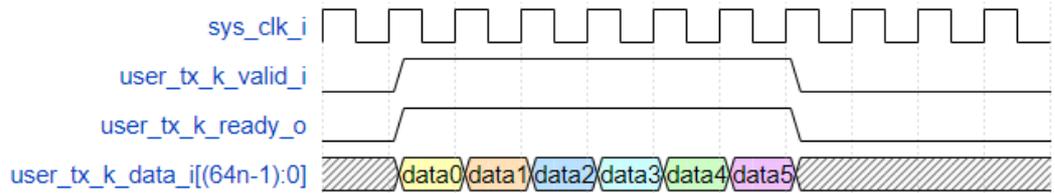
表 3-2 user_k_blk_no 与 BTF 对应表

user_k_blk_no	Block Type Field(BTF)
USER-K Block 0	0xd2
USER-K Block 1	0x99
USER-K Block 2	0x55
USER-K Block 3	0xb4
USER-K Block 4	0xcc
USER-K Block 5	0x66
USER-K Block 6	0x33
USER-K Block 7	0x4b
USER-K Block 8	0x87

若 IP 选择大端模式，则 user_tx_k_data_i[0:3] 填充 0，user_tx_k_data_i[4:7] 表示 user_k_blk_no，user_tx_k_data_i[8:63] 表示用户自定义数据。若 IP 选择小端模式，则 user_tx_k_data_i[63:8] 表示用户自定义数据。

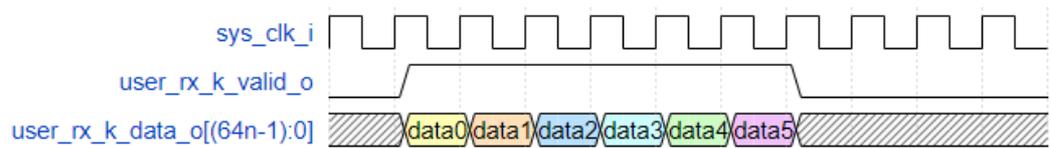
义数据， $user_tx_k_data_i[7:4]$ 填充 0， $user_tx_k_data_i[3:0]$ 表示 $user_k_blk_no$ 。用户 K 码发送方向接口时序如图 3-12 所示。

图 3-12 用户 K 码发送方向接口时序图



用户 K 码接收方向接口时序如图 3-13 所示。

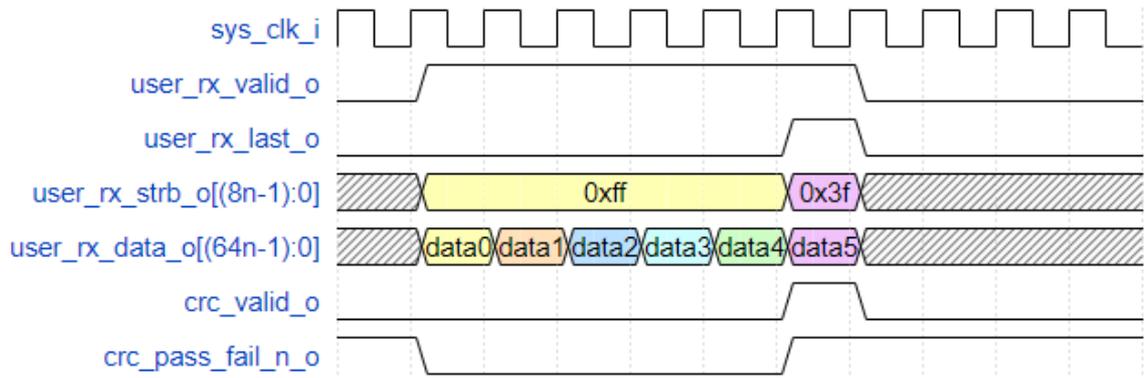
图 3-13 用户 K 码接收方向接口时序图



3.6.6 CRC 接口时序图

Gowin RoraLink 64B66B IP 提供 CRC 接口，指示接收 CRC 校验结果。如图 3-14 所示，为 CRC 校验结果时序图，在数据帧帧尾 crc_valid_o 置高一个时钟周期， crc_valid_o 为高电平时 $crc_pass_fail_n_o$ 信号有效， $crc_pass_fail_n_o$ 为高电平表示 CRC 校验正确， $crc_pass_fail_n_o$ 为低电平表示 CRC 校验错误。

图 3-14 CRC 接口时序图



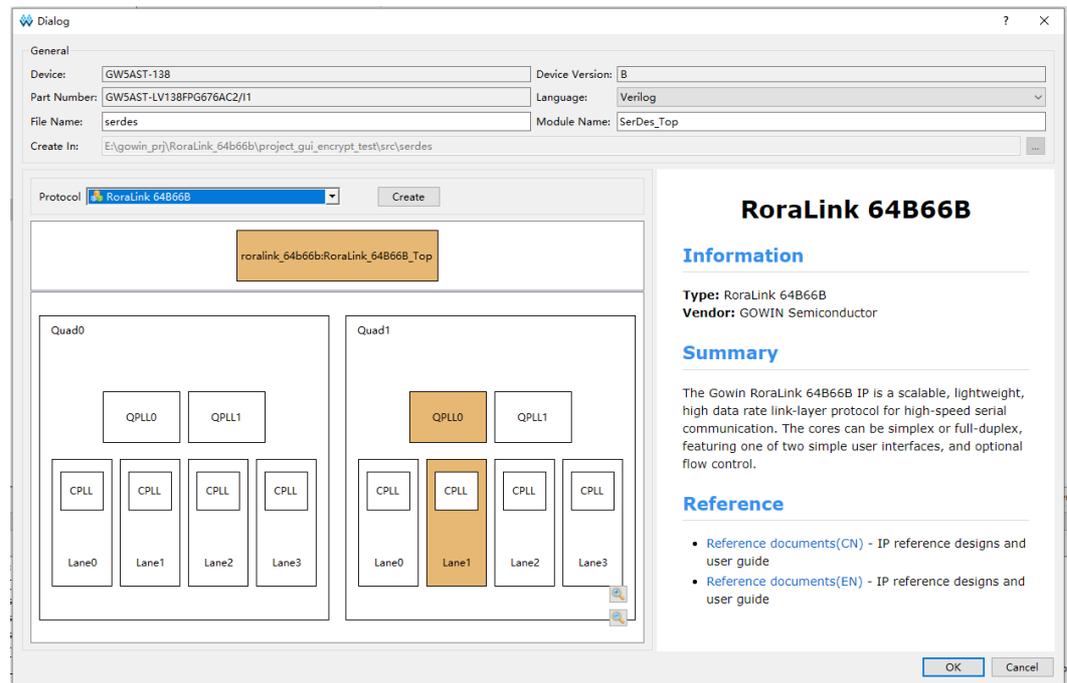
4 界面配置

用户可以使用 IDE 中的 IP 内核生成器工具调用和配置 Gowin RoraLink 64B66B IP。

1. 打开 SerDes IP

用户建立工程后,单击左上角 Tools 选项卡,下拉单元 IP Core Generator 选项,打开 Gowin IP Core Generator。然后找到 Soft IP Core 目录下的 SerDes, 双击打开 SerDes IP。

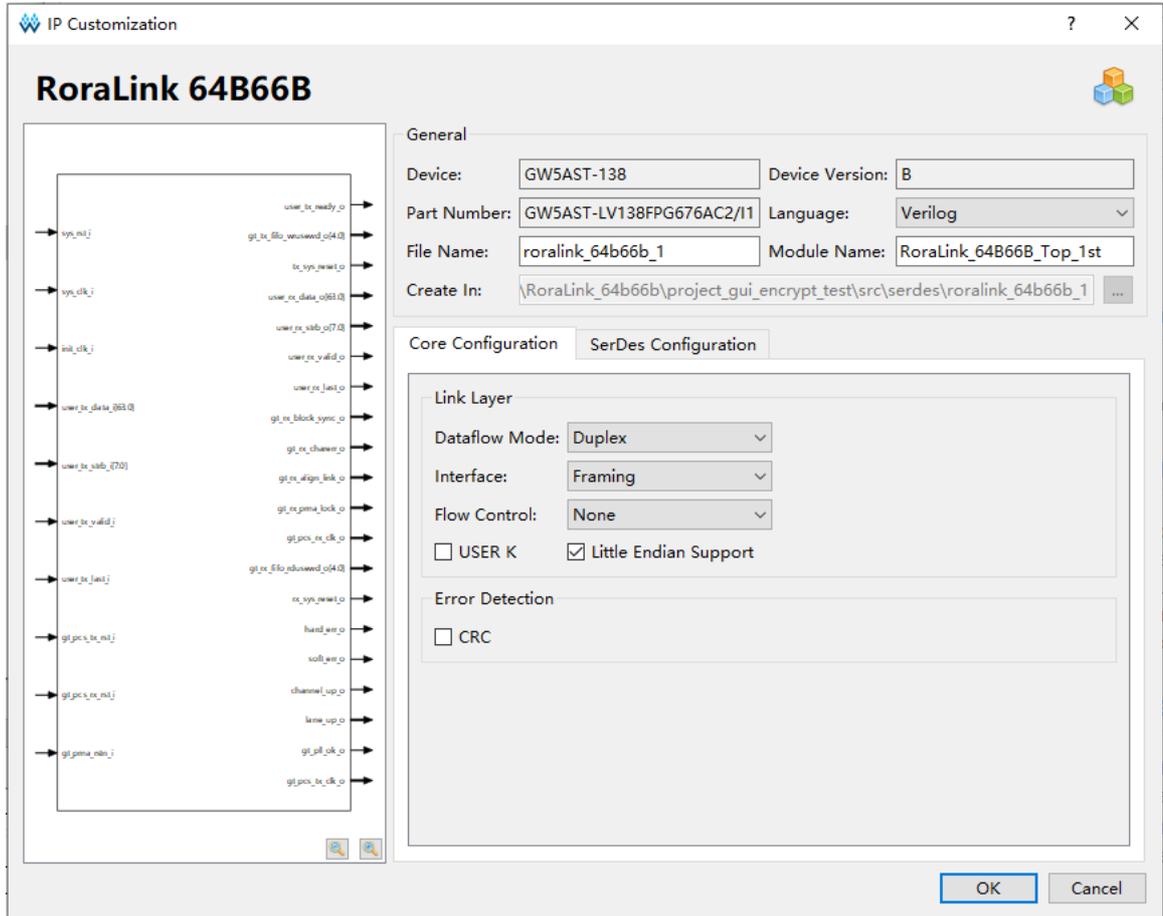
图 4-1 SerDes IP 配置界面



2. 打开 RoraLink 64B66B IP

用户打开 SerDes IP 后,在 Protocol 下拉列表中找到 RoraLink 64B66B,点击“Create”即可打开 RoraLink 64B66B IP 协议配置界面。

图 4-2 Gowin RoraLink 64B66B IP 配置界面



3. 配置 RoraLink 64B66B IP 协议

RoraLink 64B66B IP 配置界面如图 4-3 和图 4-所示,分为“Core Configuration”和“SerDes Configuration”两页。用户在“Core Configuration”选项页选择链路层相关的参数,在“SerDes Configuration”选项页选择 SerDes 相关的参数。各个参数的含义如表 4-1 介绍。选择完 RoraLink 64B66B IP 参数后,点击“OK”按钮,即可生成 RoraLink 64B66B IP 协议相关的配置。

4. 完成 SerDes IP 配置

用户在 SerDes IP 界面,完成所有协议的配置后,点击“OK”按钮,完成 SerDes IP 的生成。SerDes IP 顶层文件中,RoraLink_64B66B_Top_前缀的信号即为 RoraLink 64B66B IP 的相关信号。

图 4-3 IP 协议配置界面

The image shows a configuration window titled "Core Configuration" with a sub-tab "SerDes Configuration". The window contains two main sections: "Link Layer" and "Error Detection".

Link Layer

- Dataflow Mode: Duplex (dropdown menu)
- Interface: Framing (dropdown menu)
- Flow Control: None (dropdown menu)
- USER K
- Little Endian Support

Error Detection

- CRC

图 4-4 SerDes 配置界面

表 4-1 Gowin RoraLink 64B66B IP 配置界面参数

参数名称	允许范围	默认值	描述
Core Configuration			
Dataflow Mode	Duplex、RX-only Simplex、TX-only Simplex、TX/RX Simplex	Duplex	选择全双工模式或单工模式
Interface	Framing、Streaming	Framing	选择传输的数据是帧数据还是流数据
Flow Control	None、UFC、Immediate NFC、Completion NFC、UFC+Immediate NFC、UFC+Completion NFC	None	选择流量控制模式
USER K	勾选、不勾选	不勾选	选择是否开放用户 K 码接口，若勾选表示开放用户 K 码接口，不勾选表示不开放用户 K 码接口。
Little Endian Support	勾选、不勾选	勾选	选择接口是大端模式还是小端模式，若勾选表示接口是小端模式，不勾选表示接口是大端模式。
CRC	勾选、不勾选	不勾选	选择 IP 是否进行 CRC 处理，在用户数据发

参数名称	允许范围	默认值	描述
			送方向添加 CRC, 在用户数据接收方向去除 CRC 并进行 CRC 校验。若勾选表示启用 IP 的 CRC 功能, 若不勾选表示不启用 IP 的 CRC 功能。
PHY Configuration			
Lane Width	1、2、3、4、5、6、7、8	1	选择 IP Lane 数量
Channel0 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q0 Lane0	IP 第一条 Lane 对应的 SerDes 通道选择。Q0/Q1 对应 SerDes 的两个 Quad。Lane0、Lane1、Lane2、Lane3 表示 SerDes 每个 Quad 对应的 4 条 Lane 编号。 注! GUI 可选的通道数与选项“Lane Width”关联。
Channel1 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q0 Lane1	IP 第二条 Lane 对应的 SerDes 通道选择。Q0/Q1 对应 SerDes 的两个 Quad。Lane0、Lane1、Lane2、Lane3 表示 SerDes 每个 Quad 对应的 4 条 Lane 编号。
Channel2 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q0 Lane2	IP 第三条 Lane 对应的 SerDes 通道选择。Q0/Q1 对应 SerDes 的两个 Quad。Lane0、Lane1、Lane2、Lane3 表示 SerDes 每个 Quad 对应的 4 条 Lane 编号。
Channel3 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q0 Lane3	IP 第四条 Lane 对应的 SerDes 通道选择。Q0/Q1 对应 SerDes 的两个 Quad。Lane0、Lane1、Lane2、Lane3 表示 SerDes 每个 Quad 对应的 4 条 Lane 编号。
Channel4 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q1 Lane0	IP 第五条 Lane 对应的 SerDes 通道选择。Q0/Q1 对应 SerDes 的两个 Quad。Lane0、Lane1、Lane2、Lane3 表示 SerDes 每个 Quad 对应的 4 条 Lane 编号。
Channel5 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q1 Lane1	IP 第六条 Lane 对应的 SerDes 通道选择。Q0/Q1 对应 SerDes 的两个 Quad。Lane0、Lane1、Lane2、Lane3 表示 SerDes 每个 Quad 对应的 4 条 Lane 编号。
Channel6 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q1 Lane2	IP 第七条 Lane 对应的 SerDes 通道选择。Q0/Q1 对应 SerDes 的两个 Quad。Lane0、Lane1、Lane2、Lane3 表示 SerDes 每个 Quad 对应的 4 条 Lane 编号。
Channel7 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q1 Lane3	IP 第八条 Lane 对应的 SerDes 通道选择。Q0/Q1 对应 SerDes 的两个 Quad。Lane0、Lane1、Lane2、Lane3 表示 SerDes 每个 Quad 对应的 4 条 Lane 编号。
Loopback Mode	OFF、LB_NES、LB_FES、LB_ENC	OFF	SerDes 环回模式选择: <ul style="list-style-type: none"> ● OFF 表示 Normal 模式, SerDes 数据正常收发。 ● LB_NES, SerDes 自环, 数据从 SerDes 的近端 PMA 发送环回给近端 PMA 接

参数名称	允许范围	默认值	描述
			<p>收。</p> <ul style="list-style-type: none"> ● LB_ENC, SerDes 自环, 数据从 SerDes 的近端 PCS 发送环回给近端 PCS 接收。 ● LB_FES, SerDes 外环, 数据从 SerDes 的接收环回给发送。
Line Rate	0.85~10.3125Gbps (QPLL0/CPLL)、 0.95~10.3125G (QPLL1)	3.1250Gbps	用户输入需要的 SerDes 线速率。当 PLL 选择 QPLL0 或 CPLL 时, SerDes 理论能工作的线速率范围是 0.85G~12.5G。当 PLL 选择 QPLL1 时, SerDes 理论能工作的线速率范围是 0.95G~12.5G。但最终能达到的性能取决于工程的时序。假如选择 CRC 功能、或者选择的通道数多(数据位宽大), 那么由于时序违例问题, 能运行的最高速率会降低。
Reference Clock Source	Q0 REFCLK0、Q0 REFCLK1、Q1 REFCLK 0、Q1 REFCLK 1	Q0 REFCLK0	高速收发器的参考时钟选择, Q0/Q1 对应 SerDes 的两个 Quad。REFCLK0 和 REFCLK1 对应 SerDes 每个 Quad 的两路输入参考时钟。用户可根据应用选择输入参考时钟。
Reference Clock Frequency	用户输入	125M	高速收发器的参考时钟频率。GUI 界面会根据输入的 Line Rate 在下拉窗口自动计算出一组推荐的参考时钟。用户可以自定义输入或者选择 GUI 界面生成的频率, 可点击“Calculate”按钮, 确认频率是否正确。
PLL Selection	QPLL0、QPLL1、CPLL	CPLL	PLL 选择

5 参考设计

详细信息请参见高云半导体官网 RoraLink 64B66B 相关参考设计。

5.1 应用

RoraLink 64B66B IP 的数据传输可由单条 Lane 或多条 Lane 组成，每条 Lane 对应一路 SerDes 通道。数据传输可以是全双工或者单工。如图 5-1 所示为单条 Lane 的单工数据传输。如图 5-2 所示为多条 Lane 的单工数据传输。如图 5-3 所示为单条 Lane 的全双工数据传输。如图 5-4 所示为多条 Lane 的全双工数据传输。

图 5-1 单条 Lane 单工数据传输

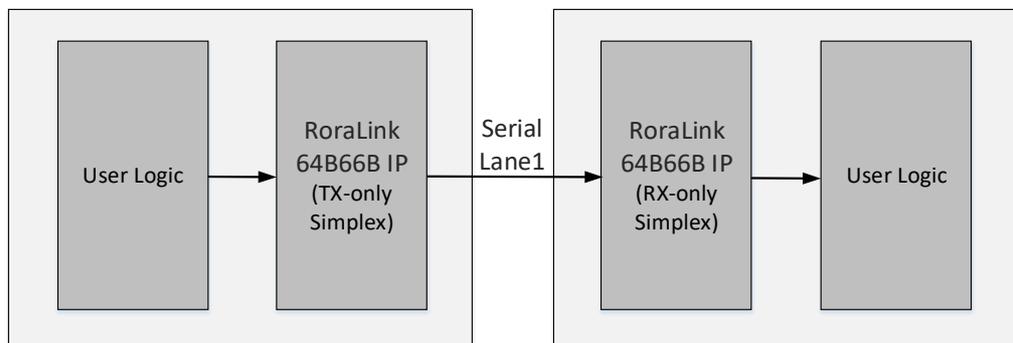


图 5-2 多条 Lane 单工数据传输

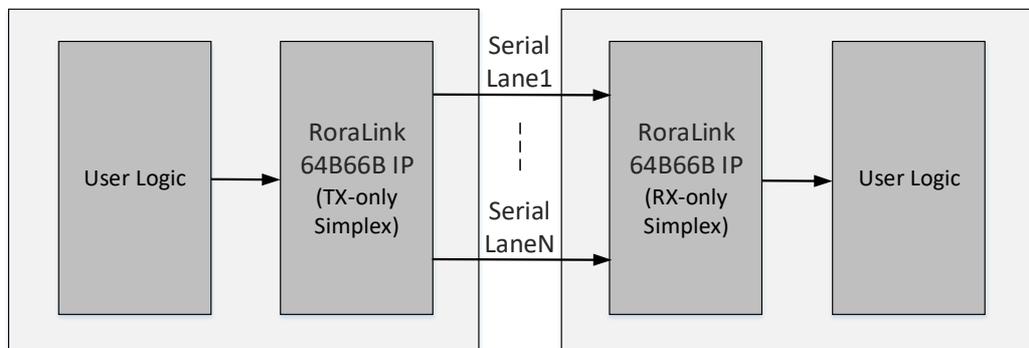


图 5-3 单条 Lane 全双工数据传输

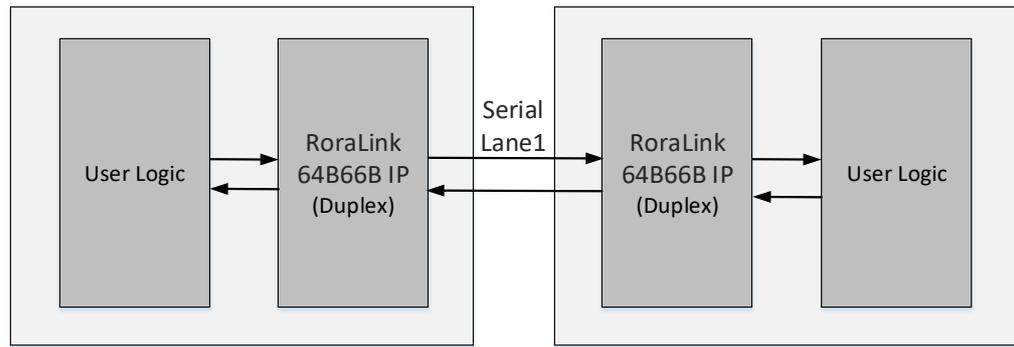
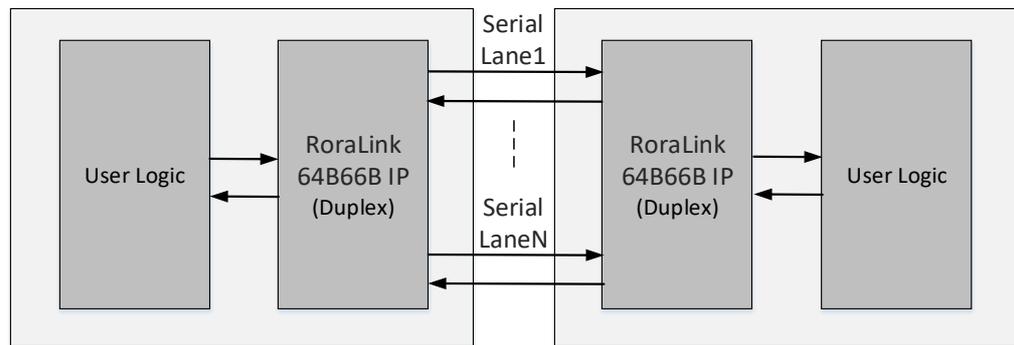


图 5-4 多条 Lane 全双工数据传输

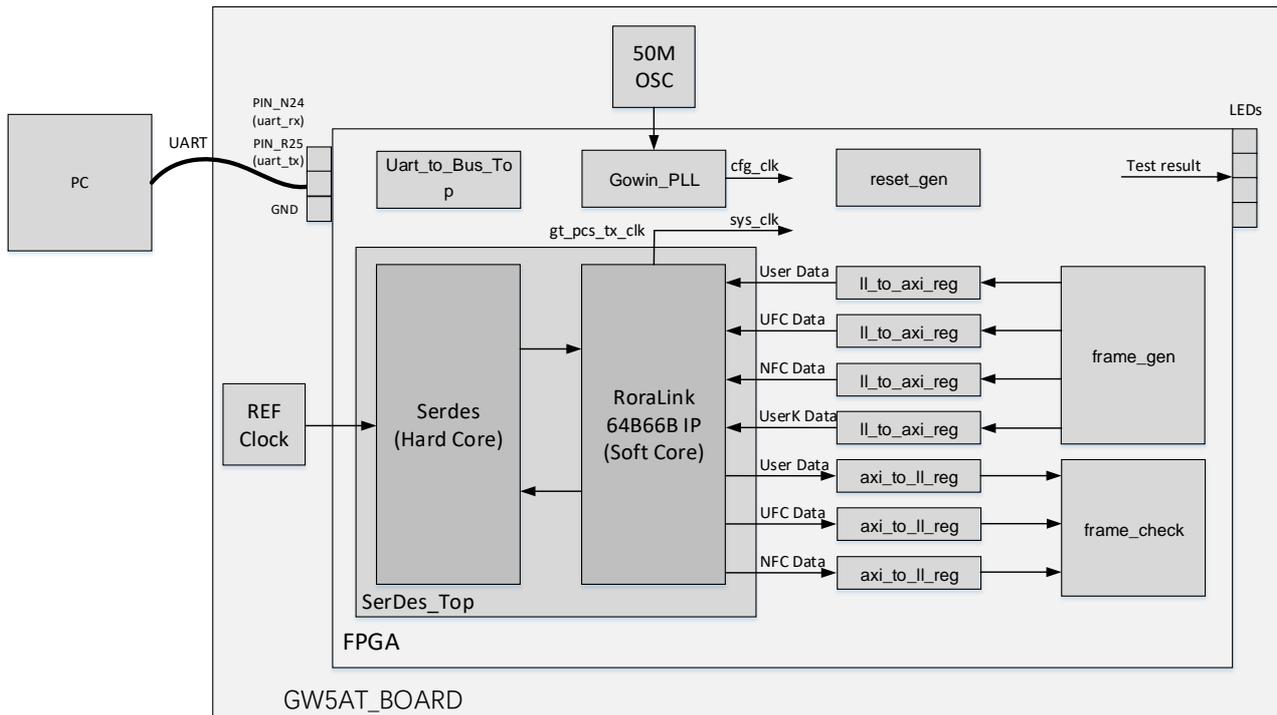


5.2 Gowin RoraLink 64B66B IP 参考设计工程

Gowin RoraLink 64B66B IP 参考设计包含 SerDes IP 模块(含 RoraLink 64B66B IP 软核)、时钟与复位、接口转换模块、帧生成模块、帧检测模块和调试模块:

- Uart_to_Bus_Top: 将 UART 串口转成 FPGA 内部配置总线接口, 便于读或者写寄存器, 便于单板调测。
- Gowin_PLL: 单板内部 50MHz 晶振锁出配置模块的工作时钟。
- reset_gen: 复位生成, 生成系统复位信号。
- frame_gen: 帧生成模块。
- frame_check: 帧检测模块。
- ll_to_axi_reg: AXI 接口转换模块。
- axi_to_ll_reg: AXI 接口转换模块。
- SerDes_Top: 模块包含 SerDes 硬核和 RoraLink 64B66B IP 软核, Gowin EDA 工具自动完成 SerDes 硬核与 RoraLink 64B66B IP 的连线, 用户只需关注封装后 SerDes 顶层的接口。

图 5-5 参考设计实例基本结构图



5.3 参考设计板测

Gowin 目前提供的参考设计为单个 RoraLink 64B66B IP 的 SerDes 自环测试，便于用户不依赖于子卡能快速的熟悉 Gowin RoraLink 64B66B IP 的接口、时序和功能。

参考工程板测的步骤如下：

- 从官网下载工程，编译生成 fs 文件
- 搭建环境如图 5-5 所示
- 下载 fs 到单板
- 确认测试结果，有两种方法：

方法一：观察 LED 灯确认测试结果。

- LED0(PIN_P20)：常亮表示 Gowin_PLL 为锁定状态。
- LED1(PIN_R20)：常亮表示 SerDes 内部 PLL 为锁定状态。
- LED2(PIN_N21)：常亮表示 IP Channel 建链正常。
- LED3(PIN_N22)：常亮表示 IP 接收的数据校验通过。

方法二：通过串口工具读取寄存器，确认链路状态和测试结果。

PC 通过串口工具可访问参考设计的寄存器地址。环境搭好后，在串口工具输入“R 0”，会显示寄存器值，如图 5-6 所示。输入“W 0 value”，会将 value 对应的寄存器值写入寄存器，输入“R 0”重新读取寄存器值，则读取的寄存器值与写入的寄存器值一致。

表 5-1 参考设计寄存器列表

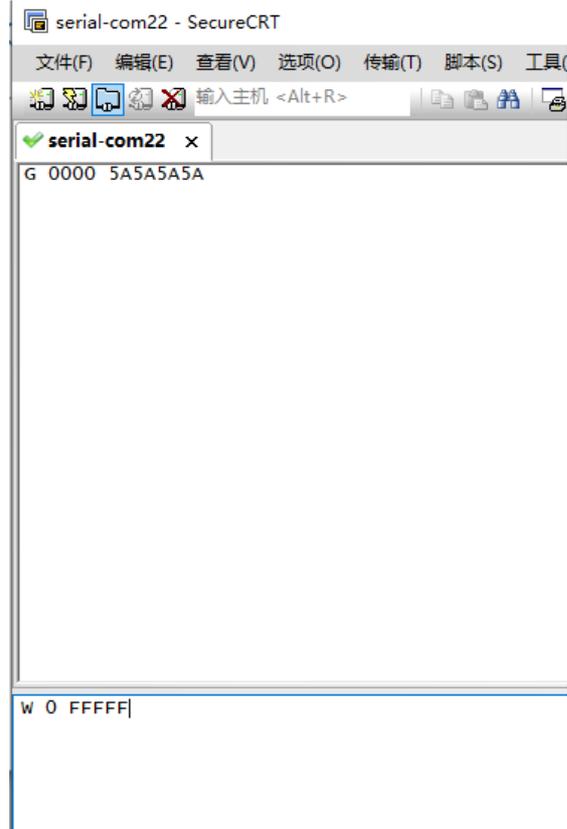
地址(Word)	类型	位宽	信号名称	描述
0x0	RW	[31:0]	test_reg	测试寄存器，可写入回读，确认寄存器读写功能
0x1	RW	[31:4]	--	保留字段
	RW	[3]	reg_rst	IP 系统复位，高电平有效。
	RW	[2]	gt_pcs_rx_rst	SerDes 接收方向 PCS 复位，高电平有效。
	RW	[1]	gt_pcs_tx_rst	SerDes 发送方向 PCS 复位，高电平有效。
	RW	[0]	gt_pma_rstn	SerDes PMA 复位，高电平有效。
0x2~0xf	RW	[31:0]	--	保留字段
0x10	RO	[31:5]	--	保留字段
	RO	[4]	lane_up	IP Lane 建链状态，为高电平表示建链正常。
	RO	[3]	hard_err	IP Hard error 状态，为高电平表示有错误。
	RO	[2]	channel_up	IP Channel 建链状态，为高电平表示建链正常。
	RO	[1]	soft_err	IP Soft error 状态，为高电平表示有错误。
	RO	[0]	gt_pll_ok	SerDes PLL 锁定状态。
0x11	RO	[31:9]	--	保留字段
	RO	8	gt_rx_align_link	SerDes 接收对齐状态，为高电平表示正常。
	RO	[7:1]	--	保留字段
	RO	[0]	gt_rx_pma_lock	SerDes 接收 PMA 锁定状态，为高电平表示正常。
0x12	RO	[31:24]	user_k_err_count	接收 USER-K 消息错误统计。
	RO	[23:16]	ufc_err_count	接收 UFC 消息错误统计。
	RO	[15:8]	crc_err_count	接收数据 CRC 校验错误统计。
	RO	[7:0]	data_err_count	接收数据校验错误统计。
0x13	RO	[31:24]	soft_err_cnt	IP 发生 Soft error 统计。
	RO	[23:16]	hard_err_cnt	IP 发生 Hard error 统计。
	RO	[15:8]	channel_resync_c nt	IP Channel 重新建链统计。
	RO	[7:0]	lane_resync_cnt	IP Lane 重新建链统计。
0x15	RO	[31:17]	--	保留字段
	RO	[16]	gt_rx_block_sync	IP 接收块同步状态。
	RO	[15:8]	gt_block_resync_ cnt	IP 接收块重新同步统计。
	RO	[7:0]	gt_err_cnt	IP Lane 重新建链统计。

注！

寄存器读写定义：

- RO 表示只读
- RW 表示读写

图 5-6 串口工具显示



6 文件交付

Gowin RoraLink 64B66B IP 交付文件主要包含三个部分，分别为：文档、设计源代码和参考设计。

6.1 文档

文件夹主要包含用户指南 PDF 文档。

表 6-1 文档列表

名称	描述
IPUG1085, Gowin RoraLink 64B66B IP 用户指南	高云 RoraLink 64B66B IP 用户手册，即本手册。

6.2 设计源代码（加密）

加密代码文件夹包含 Gowin RoraLink 64B66B IP 的 RTL 加密代码，供 GUI 使用，以配合高云半导体云源软件产生用户所需的 IP 核。

表 6-2 Gowin RoraLink 64B66B IP 设计源代码列表

名称	描述
roralink_64b66b.v	IP 核顶层文件，给用户接口信息，加密。

6.3 参考设计

文件夹主要包含 Gowin RoraLink 64B66B IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 6-3 Gowin RoraLink 64B66B IP RefDesign 文件夹内容列表

名称	描述
top.v	参考设计的顶层 module
top.cst	工程物理约束文件
top.sdc	工程时序约束文件
top.gsc	工程综合约束文件
top.gao	工程调试文件
reset_gen.v	复位生成模块

名称	描述
local2reg.v	总线转寄存器模块
apb2local.v	配置总线转换模块
ll_to_axi_reg.v	AXI 总线转换模块
axi_to_ll_reg.v	AXI 总线转换模块
axi_register_slice.v	AXI 总线转换模块
frame_gen.v	数据生成模块
frame_check.v	数据检测模块
SerDes	SerDes IP 文件夹, 包含 EDA 工具生成的 SerDes 相关文件和 roralink_64b66b 文件夹
uart_to_bus	生成的 uart to bus IP 文件, 用于将串口转成内部配置总线。
gowin_pll	PLL IP 文件夹, 使用外部输入 50MHz 时钟作为参考时钟, 锁出内部配置时钟。

