



Gowin 2.5G Serial Ethernet IP

用户指南

IPUG1172-1.3, 2025/02/28

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云, , Gowin以及高云均为广东高云半导体科技股份有限公司注册商标, 本手册中提到的其他任何商标, 其所有权利属其拥有者所有。未经本公司书面许可, 任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部, 并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可, 并未以明示或暗示, 或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外, 高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保, 包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等, 均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任, 高云半导体保留修改文档中任何内容的权利, 恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2023/10/20	1.0	初始版本。
2024/09/05	1.1	● Management 功能增加复位信号； ● 修改复位方案； ● 支持 GW5AT-60 器件。
2024/10/25	1.2	新增“AFE”选项。
2025/02/28	1.3	修复 SerDes 的复位方案，用户可对 PMA 和 PCS 进行复位操作。

目录

- 目录 i
- 图目录 iii
- 表目录 v
- 1 关于本手册 1**
 - 1.1 目的 1
 - 1.2 相关文档 1
 - 1.3 术语、缩略语 1
 - 1.4 技术支持与反馈 2
- 2 概述 3**
 - 2.1 主要特征 3
 - 2.2 工作频率 4
 - 2.3 资源利用 4
- 3 功能描述 5**
 - 3.1 整体结构 5
 - 3.2 IP 复位 5
 - 3.3 用户接口 6
 - 3.3.1 配置接口 6
 - 3.3.2 状态接口 8
 - 3.3.3 PHY 层接口 9
 - 3.3.4 MAC 层接口 13
- 4 端口列表 23**
- 5 参数配置 27**
- 6 界面配置 29**
- 7 参考设计 35**
 - 7.1 硬件平台 35
 - 7.2 实现框图 36
 - 7.3 总线协议与地址规划 37
 - 7.4 板级测试 39

7.4.1 操作说明.....	39
7.4.2 操作步骤.....	39
8 文件交付	41
8.1 文档.....	41
8.2 设计源代码（加密）	41
8.3 参考设计	42

图目录

图 3-1 Gowin 2.5G Serial Ethernet IP 结构图	5
图 3-2 2500M 速率下负载为偶数时正常以太网帧接收	9
图 3-3 2500M 速率下负载为奇数时正常以太网帧接收	9
图 3-4 2500M 速率下负载为偶数时错误以太网帧接收	9
图 3-5 2500M 速率下负载为奇数时错误以太网帧接收	10
图 3-6 2500M 速率下负载为偶数时载波扩展接收	10
图 3-7 2500M 速率下负载为奇数时载波扩展接收	10
图 3-8 2500M 速率下负载为偶数时载波扩展错误接收	10
图 3-9 2500M 速率下负载为奇数时载波扩展错误接收	10
图 3-10 2500M 速率下负载为偶数时正常以太网帧发送	11
图 3-11 2500M 速率下负载为奇数时正常以太网帧发送	11
图 3-12 2500M 速率下负载为偶数时错误以太网帧发送	11
图 3-13 2500M 速率下负载为奇数时错误以太网帧发送	11
图 3-14 2500M 速率下负载为偶数时载波扩展发送	12
图 3-15 2500M 速率下负载为奇数时载波扩展发送	12
图 3-16 2500M 速率下负载为偶数时载波扩展错误发送	12
图 3-17 2500M 速率下负载为奇数时载波扩展错误发送	12
图 3-18 2500M 速率半双工模式发送	13
图 3-19 2500M 速率发送冲突	13
图 3-20 2500M 速率下负载为偶数时正常 MAC 帧接收	13
图 3-21 2500M 速率下负载为奇数时正常 MAC 帧接收	13
图 3-22 2500M 速率下负载为偶数时错误 MAC 帧接收	14
图 3-23 2500M 速率下负载为奇数时错误 MAC 帧接收	14
图 3-24 2500M 速率使能 FCS Forward 且负载为偶数时正确 MAC 帧接收	14
图 3-25 2500M 速率使能 FCS Forward 且负载为偶数时错误 MAC 帧接收	14
图 3-26 2500M 速率使能 FCS Forward 且负载为奇数时正确 MAC 帧接收	15
图 3-27 2500M 速率使能 FCS Forward 且负载为奇数时错误 MAC 帧接收	15
图 3-28 负载为偶数时 VLAN Tagged 帧接收	15
图 3-29 接收统计	16

图 3-30 2500M 速率下负载为偶数时正常 MAC 帧发送	17
图 3-31 2500M 速率下负载为奇数时正常 MAC 帧发送	17
图 3-32 2500M 速率下负载为偶数时错误 MAC 帧发送	17
图 3-33 2500M 速率下负载为奇数时错误 MAC 帧发送	17
图 3-34 2500M 速率下使能 FCS Forward 且负载为偶数时 MAC 帧发送	17
图 3-35 2500M 速率下使能 FCS Forward 且负载为奇数时 MAC 帧发送	18
图 3-36 冲突时重发	18
图 3-37 冲突时放弃重发（主动放弃）	18
图 3-38 冲突时放弃重发（被动放弃）	18
图 3-39 发送统计	19
图 3-40 发送 Pause 帧	20
图 3-41 接收 pause 帧	20
图 3-42 MDC、MDIO 连接示意图	21
图 3-43 miim 写时序	22
图 3-44 miim 读时序	22
图 4-1 Gowin 2.5G Serial Ethernet IP IO 端口示意图	23
图 6-1 IP 核产生工具	29
图 6-2 SerDes IP 配置界面	30
图 6-3 PHY Configuration 选项页	31
图 6-4 MAC Configuration 选项页	32
图 6-5 AFE Configuration 选项页	33
图 6-6 SerDes IP 配置界面显示 2.5G Serial Ethernet IP	34
图 7-1 硬件平台	35
图 7-2 参考设计实现框图	36
图 7-3 UART to Bus IP 参数设置 1	37
图 7-4 UART to Bus IP 参数设置 2	37

表目录

表 1-1 术语、缩略语	1
表 2-1 Gowin 2.5G Serial Ethernet IP	3
表 2-2 资源利用	4
表 3-1 configuration_vector_i 位定义	7
表 3-2 status_vector_o 位定义	8
表 3-3 rx_statistics_vector_o 位定义	16
表 3-4 tx_statistics_vector_o 位定义	19
表 4-1 Gowin 2.5G Serial Ethernet IP IO 端口	24
表 5-1 Gowin 2.5G Serial Ethernet IP 静态参数	27
表 7-1 寄存器地址定义	38
表 8-1 文档列表	41
表 8-2 Gowin 2.5G Serial Ethernet IP 设计源代码列表	41
表 8-3 Gowin 2.5G Serial Ethernet IP RefDesign 文件夹内容列表	42

1 关于本手册

1.1 目的

Gowin 2.5G Serial Ethernet IP 用户指南主要包括功能简介、功能描述、GUI 调用、参考设计等，旨在帮助用户快速了解 Gowin 2.5G Serial Ethernet IP 的产品特性、特点及使用方法。本手册中的软件界面截图参考的是 V1.9.10.03 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [SUG100, Gowin 云源软件用户指南](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1239, GW5AST 系列 FPGA 产品数据手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
CRC	Cyclic Redundancy Check	循环冗余检验
FCS	Frame Check Sequence	帧校验序列
IFG	Inter-Frame Gap	帧间距
IP	Intellectual Property	知识产权
LUT	Look-up Table	查找表
MAC	Media Access Control	介质访问控制层
PCS	Physical Coding Sublayer	物理编码子层
SFD	Start of Frame Delimiter	帧开始界定符

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网站: www.gowinsemi.com.cn

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

2概述

Gowin 2.5G Serial Ethernet IP 实现了 2500BASE-X 和 2.5G SGMII 功能，为用户提供了一个通用的访问接口，可以集成到需要 2.5G 串行以太网设备中，这种连接通常用于通信应用。

表 2-1 Gowin 2.5G Serial Ethernet IP

Gowin 2.5G Serial Ethernet IP	
逻辑资源	见表 2-2
交付文件	
设计文件	Verilog (加密)
参考设计	Verilog
测试平台	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software (V1.9.9.Beta-3 及以上)

注！
可登录[高云半导体网站](#)查看芯片支持信息。

2.1 主要特征

- 支持 2500BASE-X 和 2.5G SGMII 标准
- 2500BASE-X 支持 3.125Gbps 速率
- 2.5G SGMII 支持 2500M 速率
- 支持用户可选是否包含以太网 MAC 功能
- 支持全双工和半双工模式，半双工模式下支持冲突检测
- 支持用户可选是否自动添加和校验 CRC
- 支持自动添加 pad 功能
- 支持以太网帧分类统计
- 支持以太网帧错误统计
- 支持 IFG 可配置功能

- 支持 Jumbo 模式
- 支持全双工模式下的 Flow Control
- 支持 Management 接口 mdc、mdio

2.2 工作频率

Gowin 2.5G Serial Ethernet IP 的工作频率为 156.25 MHz。

2.3 资源利用

Gowin 2.5G Serial Ethernet IP 采用 Verilog 语言，因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。以高云 GW5AT 系列 FPGA 为例，资源利用情况如表 2-2 所示。关于其它器件的资源利用请参阅相关的后期发布信息。

表 2-2 资源利用

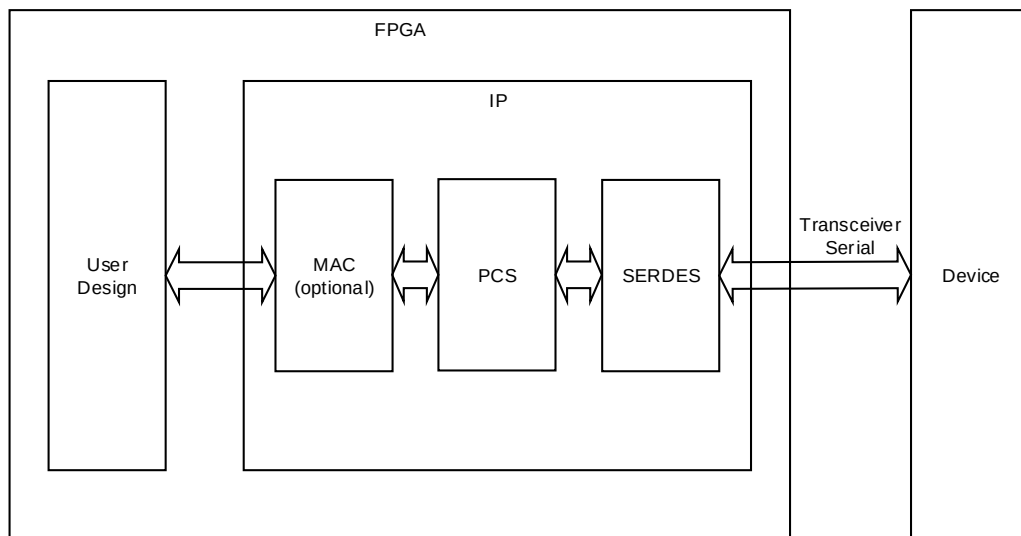
接口	LUTs	REGs	器件	速度
MAC 层	2636	2368	GW5AT-138	ES
PHY 层	885	883	GW5AT-138	ES
PHY 层 (MIIM)	1006	955	GW5AT-138	ES

3 功能描述

3.1 整体结构

Gowin 2.5G Serial Ethernet IP 基本结构如图 3-1 所示，主要包含 MAC (optional)、PCS、SerDes 模块。图 3-1 中的 User Design 是 FPGA 中的用户设计，Device 是外部连接的支持 2500BASE-X 标准或 2.5G SGMII 标准的以太网设备。

图 3-1 Gowin 2.5G Serial Ethernet IP 结构图



- **MAC:** 实现用户数据格式与以太网帧数据格式之间的转换，可实现 CRC、PAD、Flow Control、IFG 配置、帧统计、错误指示等功能。
- **PCS:** 实现 GMII、自协商等功能。
- **SerDes:** 实现以太网数据的编解码、串并转换等处理。

3.2 IP 复位

用户可通过 rstn_i 实现对 Gowin 2.5G Serial Ethernet IP 的整体复位操作，当 rstn_i 为 0 时执行复位功能。

对 Gowin 2.5G Serial Ethernet IP 设置的复位时间需结合实际情况进行

设置，复位操作至少要坚持到参考时钟输出的时钟稳定之后。

3.3 用户接口

3.3.1 配置接口

标准配置

IP 支持 2500BASE-X 和 2.5G SGMII 标准，2.5G SGMII 标准又可分为 System Mode 和 Media Mode。System Mode 时，IP 当前的速率和双工模式由其外部连接的以太网设备决定，其只支持 2500M 一种速率，支持全双工和半双工两种双工模式；Media Mode 时，IP 当前的速率和双工模式可自行设置，其支持的速率和双工模式与 System Mode 时相同。

- 2500BASE-X 标准配置

当用户设置 `basex_or_sgmii_i` 为 0 时，则 IP 为 2500BASE-X 标准；通过设置 `basex_link_timer_i` 可配置 2500BASE-X 标准的 link 时间，具体设置的 link 时间可按照如下公式计算：

link 时间=`basex_link_timer_i`*26.2144us

注！

2500BASE-X 的 link 时间为 10ms~20ms。

- 2.5G SGMII 标准配置

当用户设置 `basex_or_sgmii_i` 为 1 时，则 IP 为 2.5G SGMII 标准；通过设置 `sgmii_link_timer_i` 可配置 2.5G SGMII 标准的 link 时间，具体设置的 link 时间可按照如下公式计算：

link 时间=`sgmii_link_timer_i`*26.2144us

注！

2.5G SGMII 的 link 时间为 1.6ms。

当用户设置 `sgmii_mode_i` 为 0 时，则 2.5G SGMII 标准为 System Mode，此时不需要进行速率和双工模式的设置；当用户设置 `sgmii_mode_i` 为 1 时，则 2.5G SGMII 标准为 Media Mode，可通过 `configuration_vector_i[13:11]` 设置 2.5G SGMII 标准的速率和双工模式。对于双工模式，`configuration_vector_i[13]` 为 1 时，表示 2.5G SGMII 标准为全双工，`configuration_vector_i[13]` 为 0 时，表示 2.5G SGMII 标准为半双工；对于速率，`configuration_vector_i[12:11]` 为 1X 时，表示 2.5G SGMII 标准为 2500M 速率传输。

功能配置

用户配置 `repeater_mode_i` 为 1 时，可设置 IP 为中继器模式；可配置 `configuration_vector_i` 来控制 IP 内部自协商功能使能/禁用、重新自协商、双工模式、速率模式、掉电等功能。应当注意，`configuration_vector_i` 仅在 IP 包含 MAC 功能或仅有 PHY 功能且不支持 PHY MIIM 接口时存在；用户还可通过配置 `signal_detect_i` 为 1，设置 IP 支持信号检测功能，同时 `signal_detect_i` 和 `configuration_vector_i[1]` 可一起控制 IP 的数据同步功能。`configuration_vector_i` 位定义如表 3-1 所示。

表 3-1 configuration_vector_i 位定义

位置	名称	描述
14	2.5G Sgmii Phy Link	2.5G SGMII标准Media Mode下PHY的Link状态： 1: Link up 0: Link down
13	2.5G Sgmii Phy Duplex	2.5G SGMII标准Media Mode下双工模式： 1: 全双工 0: 半双工
12:11	2.5G Sgmii Phy Speed	2.5G SGMII标准Media Mode下速率： 1X: 2500M速率
10	Hd	2500BASE-X标准下半双工模式： 1: 使能 0: 禁用
9	Fd	2500BASE-X标准下全双工模式： 1: 使能 0: 禁用
[8:7]	{Ps2,Ps1}	2500BASE-X标准下Pause模式： 00: No Pause 01: Symmetric Pause 10: Asymmetric Pause towards link partner 11: Both Symmetric Pause and Asymmetric Pause towards link partner
6	Power Down	掉电功能： 1: 掉电 0: 上电
5	Unidir En	单向传输功能： 1: 使能 0: 禁用
4	Mr Restart An	重新自协商功能： 1->0: 重新自协商
3	Isolate	传输隔离功能，可隔离用户与PHY层之间的数据传输： 1: 使能 0: 禁用
2	Mr An Enable	自协商功能： 1: 使能 0: 禁用
1	Mr Loopback	数据同步功能： 1: IP执行数据同步，signal_detect_i无效 0: 若signal_detect_i=1，IP执行数据同步；若signal_detect_i=0，IP不执行数据同步
0	Mr Main Reset	复位功能：

位置	名称	描述
		1: 复位 0: 解复位

3.3.2 状态接口

status_vector_o 反馈了 IP 功能的当前状态,link_partner_ability_base_o 反馈了本次自协商时对方配置寄存器信息。status_vector_o 位定义如表 3-2 所示。

表 3-2 status_vector_o 位定义

位置	名称	描述
10	Decode Disparity Err	解码时不一致性异常指示: 1: 不一致性异常 0: 不一致性正常
9	Decode Coding Err	解码时数据异常指示: 1: 数据异常 0: 数据正常
8	Phy Link Status	2.5G SGMII标准下对方的PHY Link状态指示: 1: Link up 0: Link down
7	Duplex Status	2.5G SGMII标准下对方的双工模式指示: 1: 全双工 0: 半双工
6:5	Speed Status	2.5G SGMII标准下对方的速率指示: 1x: 2500M
4	Page Received	接收到对方配置寄存器信息指示
3	Power Down	掉电状态指示: 1: 掉电 0: 上电
2	An Complete	自协商完成状态指示: 1: 协商成功 0: 协商未成功
1	Link Status	Link状态指示: 1: Link up 0: Link down
0	Sync Status	数据同步状态指示: 1: 数据同步 0: 数据未同步

3.3.3 PHY 层接口

以太网帧接收

接收以太网帧是把串行数据转换为以太网帧数据的过程。所有接收信号同步于 gmii_rx_clk_o，频率为 156.25MHz。

正常以太网帧接收

图 3-2 展示在 2500M 速率下负载为偶数时正常以太网帧接收过程，图 3-3 展示在 2500M 速率下负载为奇数时正常以太网帧接收过程。

以太网帧以 7 字节 Preamble 和 1 字节 SFD 标志着一帧数据的开始。

开始接收以太网帧时，gmii_rx_dv_o 为 2'b11，一直持续到接收完最后两字节数据后变为 2'b00，结束以太网帧的接收，在此期间，gmii_rx_er_o 一直保持为 0，gmii_rxd_o 为接收的数据；若本帧的负载长度为奇数，则接收最后一字节数据时，gmii_rx_dv_o 为 2'b01，gmii_rxd_o 的低字节数据为有效数据。需要注意 IP 中没有 buffer 用来缓存接收的以太网帧，因此用户必须时刻准备接收以太网帧，以太网帧的数据会连续输出，直到整帧数据接收完毕，帧与帧之间有帧间距。

图 3-2 2500M 速率下负载为偶数时正常以太网帧接收

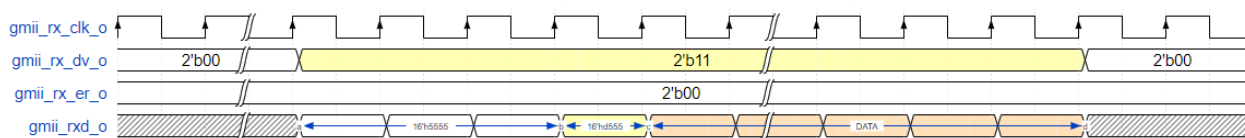
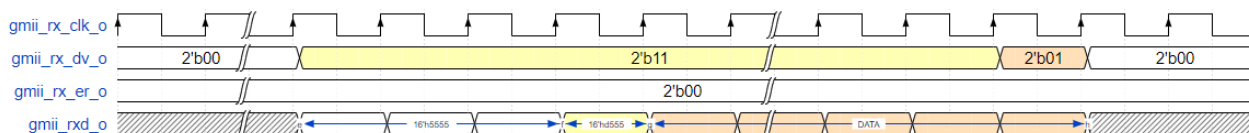


图 3-3 2500M 速率下负载为奇数时正常以太网帧接收



错误以太网帧接收

在接受过程中，当 gmii_rx_dv_o 有效时，若其对应的 gmii_rx_er_o 也有效，则表示当前接收的对应字节数据为错误数据。图 3-4 和图 3-5 分别展示在 2500M 速率下负载为偶数时和负载为奇数时错误帧的接收过程。

图 3-4 2500M 速率下负载为偶数时错误以太网帧接收

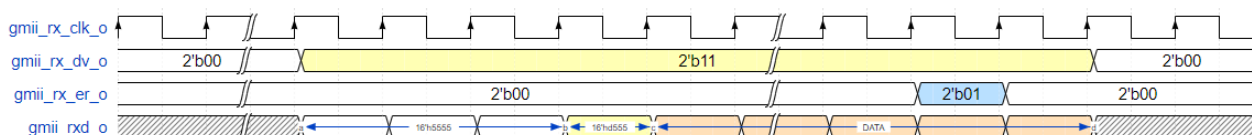
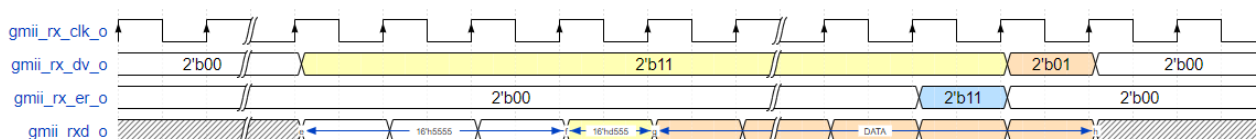


图 3-5 2500M 速率下负载为奇数时错误以太网帧接收



载波扩展接收

当 gmii_rx_dv_o 信号无效时，若 gmii_rx_er_o 信号有效，且其对应的字节数据为 8'h0F，则此过程为载波扩展接收，直到 gmii_rx_er_o 变为 2'b00，结束载波扩展接收过程；需要注意的是，载波扩展是紧跟在以太网帧接收过程结束后的。图 3-6 展示在 2500M 速率下负载为偶数时载波扩展的接收过程，图 3-7 展示在 2500M 速率下负载为奇数时载波扩展的接收过程。

图 3-6 2500M 速率下负载为偶数时载波扩展接收

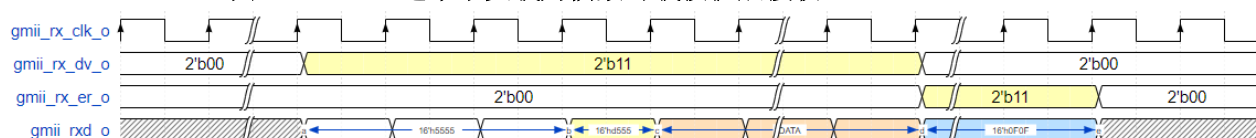
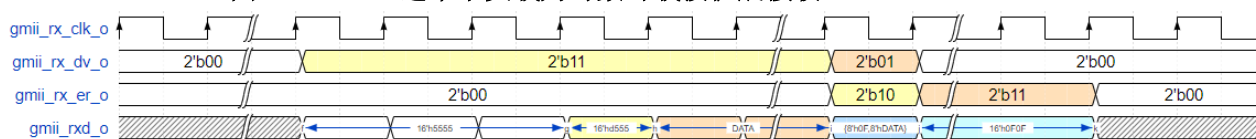


图 3-7 2500M 速率下负载为奇数时载波扩展接收



载波扩展错误接收

在载波扩展接收的基础上，gmii_rxd_o 持续接收 8'h0F，一段时间后变为接收 8'h1F。图 3-8 展示在 2500M 速率下负载为偶数时载波扩展错误的接收过程，图 3-9 展示在 2500M 速率下负载为奇数时载波扩展错误的接收过程。

图 3-8 2500M 速率下负载为偶数时载波扩展错误接收

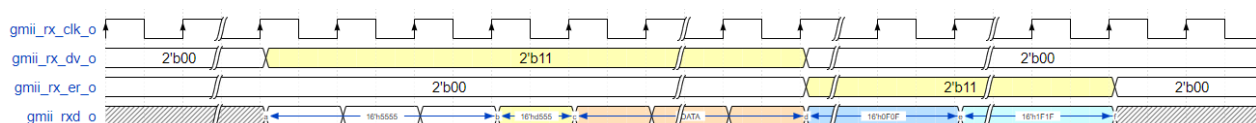
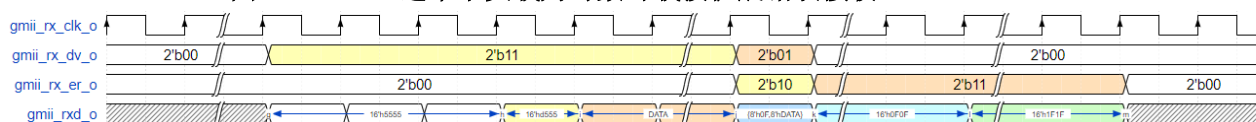


图 3-9 2500M 速率下负载为奇数时载波扩展错误接收



以太网帧发送

发送以太网帧是把以太网帧数据转换为串行数据的过程。所有发送信号同步于 gmii_tx_clk_o。

正常以太网帧发送

图 3-10 展示在 2500M 速率下负载为偶数时正常以太网帧发送过程，图 3-11 展示在 2500M 速率下负载为奇数时正常以太网帧发送过程。

以太网帧以 7 字节 Preamble 和 1 字节 SFD 作为开始。

开始发送以太网帧时，gmii_tx_en_i 为 2'b11，一直持续到发送完最后两字节数据后变为 2'b00，结束以太网帧的发送；在此期间，gmii_tx_er_i 一直保持为 0，gmii_txd_i 为发送的数据；若本帧的负载长度为奇数，则发送最后一字节数据时，gmii_tx_en_i 为 2'b01，gmii_txd_i 的低字节数据为发送的字节数据。需要注意 IP 中没有 buffer 用来缓存发送的以太网帧，因此用户需要连续发送以太网帧数据，直到整帧数据发送完毕，帧与帧之间有帧间距。

图 3-10 2500M 速率下负载为偶数时正常以太网帧发送

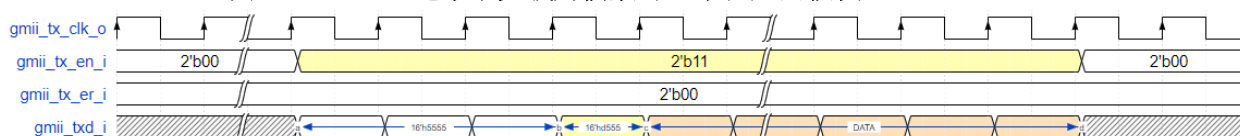
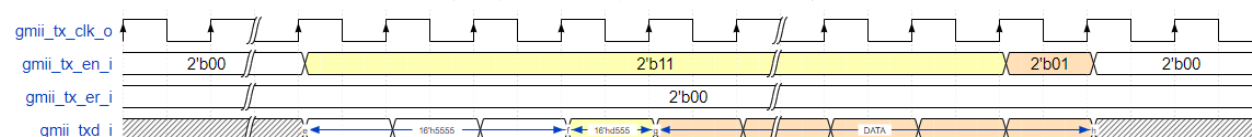


图 3-11 2500M 速率下负载为奇数时正常以太网帧发送



错误以太网帧发送

在发送过程中，当 gmii_tx_en_i 有效时，若其对应的 gmii_tx_er_i 也有效，则表示当前发送的对应字节数据为错误数据。图 3-12 展示在 2500M 速率下负载为偶数时错误帧的发送过程，图 3-13 展示在 2500M 速率下负载为奇数时错误帧的发送过程。

图 3-12 2500M 速率下负载为偶数时错误以太网帧发送

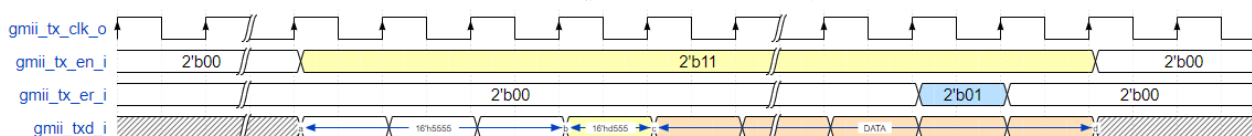
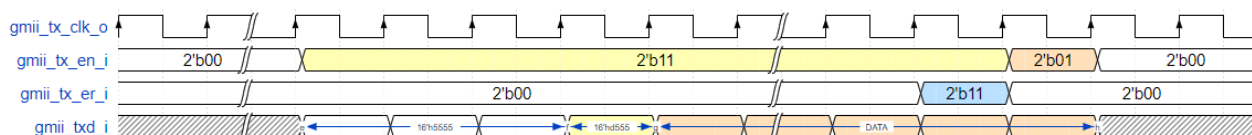


图 3-13 2500M 速率下负载为奇数时错误以太网帧发送



载波扩展发送

当 gmii_tx_en_i 信号无效时，若 gmii_tx_er_i 信号有效，且其对应的字节数据为 8'h0F，则此过程为载波扩展发送，直到 gmii_tx_er_i 变为 2'b00，

结束载波扩展发送过程；需要注意的是，载波扩展是紧跟在以太网帧发送过程结束后的。图 3-14 展示在 2500M 速率下负载为偶数时载波扩展的发送过程，图 3-15 展示在 2500M 速率下负载为奇数时载波扩展的发送过程。

图 3-14 2500M 速率下负载为偶数时载波扩展发送

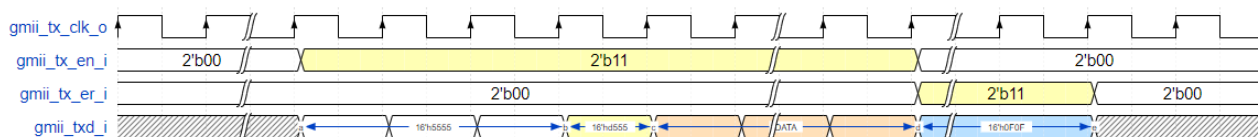
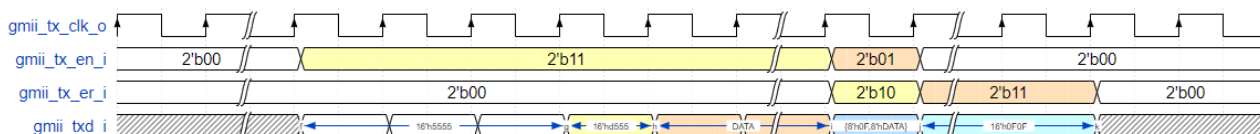


图 3-15 2500M 速率下负载为奇数时载波扩展发送



载波扩展错误发送

在载波扩展发送的基础上，gmii_txd_i 持续发送 8'h0F，一段时间后变为发送 8'h1F。图 3-16 展示在 2500M 速率下负载为偶数时载波扩展错误的发送过程，图 3-17 展示在 2500M 速率下负载为奇数时载波扩展错误的发送过程。

图 3-16 2500M 速率下负载为偶数时载波扩展错误发送

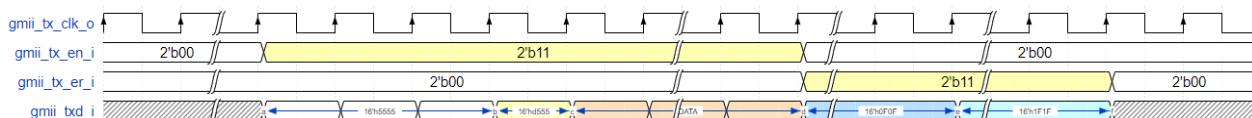
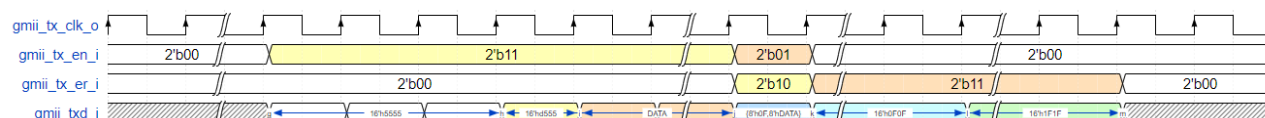


图 3-17 2500M 速率下负载为奇数时载波扩展错误发送



半双工模式发送

在半双工模式下，发送前先检测 gmii_crs_o 和 gmii_col_o 信号，若都为 0，可按照以上全双工发送过程发送以太网帧，否则继续等待；如果发送过程中，用户检测到 gmii_col_o 有效，需马上把 gmii_tx_en_i 和 gmii_tx_er_i 置 0，用来结束此次以太网帧的发送，待 gmii_crs_o 和 gmii_col_o 都为 0 后，用户可以自行决定是否重发此帧。图 3-18 展示在 2500M 速率下半双工模式的发送过程，图 3-19 展示在 2500M 速率下发送冲突的过程。

图 3-18 2500M 速率半双工模式发送

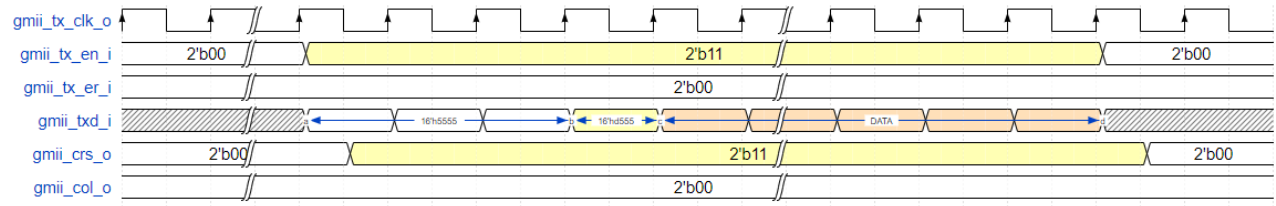
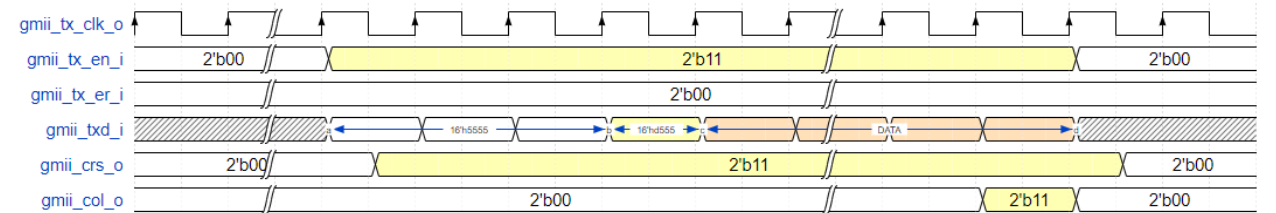


图 3-19 2500M 速率发送冲突



3.3.4 MAC 层接口

MAC 帧接收

接收 MAC 帧是把串行数据转换为用户数据的过程。所有接收信号同步于 rx_mac_clk_o。

正常 MAC 帧接收

图 3-20 展示在 2500M 速率下负载为偶数时正常 MAC 帧接收过程，图 3-21 展示在 2500M 速率下负载为奇数时正常 MAC 帧接收过程。

当 rx_mac_valid_o 为 1 时，表明此周期 rx_mac_data_o 有效；当 rx_mac_valid_o 和 rx_mac_last_o 同时为 1 时，表明此周期 rx_mac_data_o 有效且为这一帧 MAC 帧的最后数据，若此时 rx_mac_ub_invalid_o=0，表示两字节的数据都有效，若此时 rx_mac_ub_invalid_o=1，表示低位的字节数据有效。需要注意 IP 中没有 buffer 用来缓存接收的以太网帧，因此用户必须时刻准备接收以太网帧，MAC 帧的数据会连续输出，直到整帧数据接收完毕，帧与帧之间有帧间距。

图 3-20 2500M 速率下负载为偶数时正常 MAC 帧接收

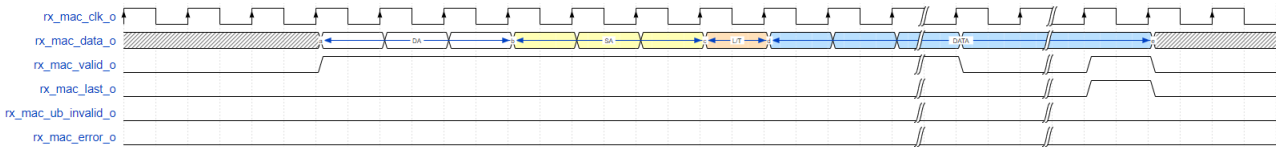
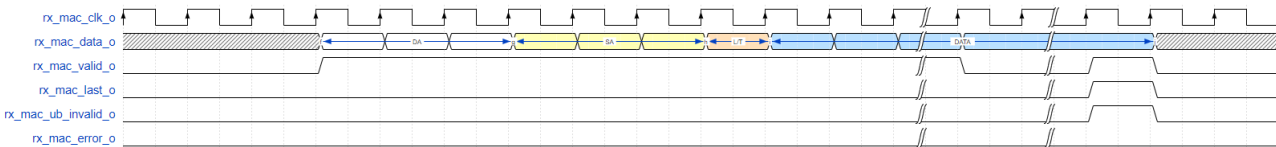


图 3-21 2500M 速率下负载为奇数时正常 MAC 帧接收



错误 MAC 帧接收

当 rx_mac_error_o 为 1 时，表示当前帧有某些错误，具体错误类型可通过 rx_statistics_valid_o 和 rx_statistics_vector_o 信号查看。

rx_mac_error_o 仅会在 rx_mac_last_o 为 1 时指示当前帧的错误状态。图 3-22 和图 3-23 分别展示 2500M 下负载为偶数和奇数时一个错误 MAC 帧的接收过程。

图 3-22 2500M 速率下负载为偶数时错误 MAC 帧接收

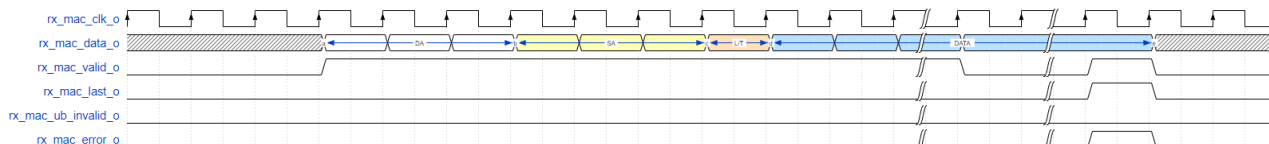
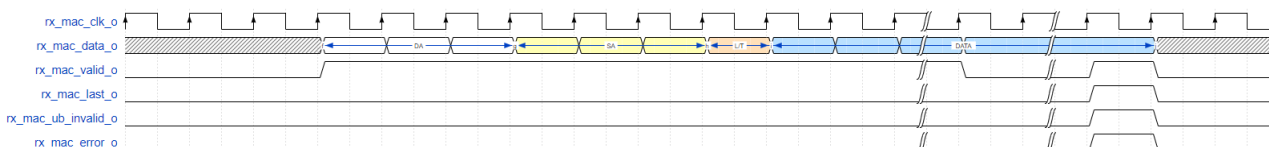


图 3-23 2500M 速率下负载为奇数时错误 MAC 帧接收



当出现如下错误时，rx_mac_error_o 会指示：

1. 接收到 FCS 错误帧
2. 接收到 align 帧
3. 在接收过程中，收到 PHY 层接口 gmii_rx_er_o 信号有效
4. 半双工时，出现冲突
5. 帧长度错误。不使能 Jumbo 功能时，接收非 VLAN 帧小于 64 字节或大于 1518 字节，VLAN 帧小于 64 字节或大于 1522 字节；使能 Jumbo 功能时，接收帧小于 64 字节。

接收 MAC 帧 FCS Forward

当用户设置 IP 为接收 FCS Forward 模式时，IP 会把接收到的 FCS 字段传给用户侧，如图 3-24 到图 3-27 所示。此时，IP 仍然自动校验 FCS 字段，并通过 rx_mac_error_o 和 rx_statistics_vector_o 指示。

图 3-24 2500M 速率使能 FCS Forward 且负载为偶数时正确 MAC 帧接收

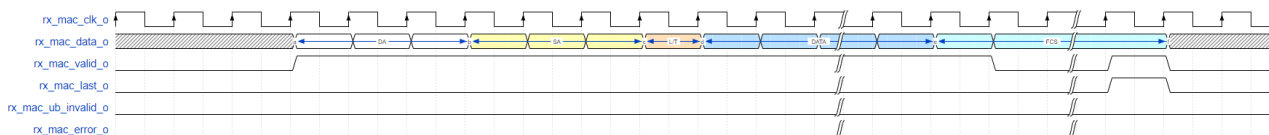


图 3-25 2500M 速率使能 FCS Forward 且负载为偶数时错误 MAC 帧接收

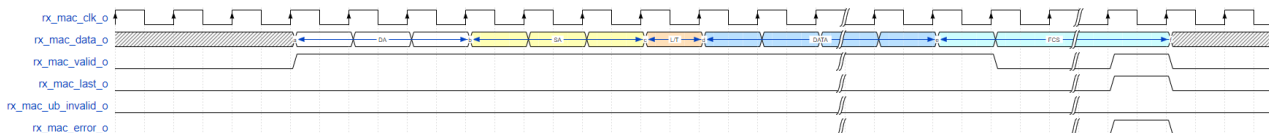


图 3-26 2500M 速率使能 FCS Forward 且负载为奇数时正确 MAC 帧接收

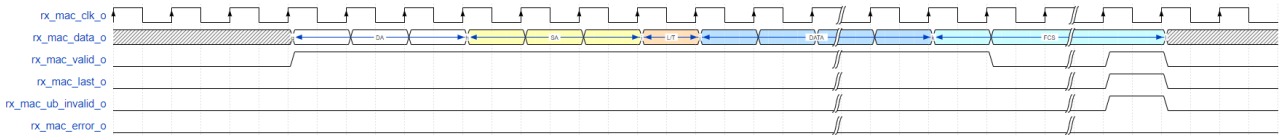
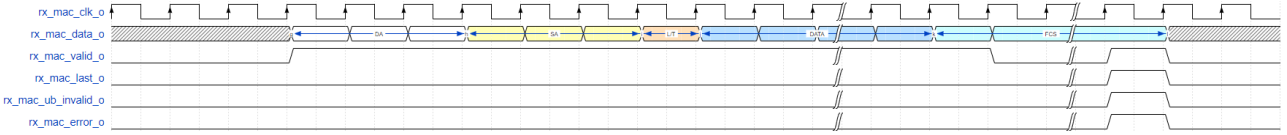


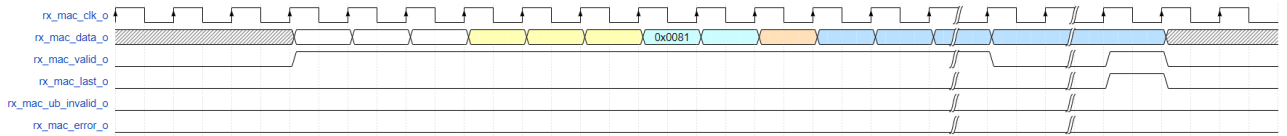
图 3-27 2500M 速率使能 FCS Forward 且负载为奇数时错误 MAC 帧接收



接收 VLAN Tagged 帧

当 IP 接收到 VLAN Tagged 帧时，会在 rx_statistics_vector_o 指示此帧为 VLAN Tagged 帧。VLAN Tagged 帧为源 MAC 地址之后两字节为 0x8100 的帧。VLAN 字段为 4 个字节，其中前两字节为 0x8100，后两字节为 VLAN 标签，如图 3-28 所示。

图 3-28 负载为偶数时 VLAN Tagged 帧接收



接收 MAC Control 帧

当 IP 接收到 MAC Control 帧时，会在 rx_statistics_vector_o 指示此帧为 MAC Control 帧。MAC Control 帧为 L/T 字段为 0x8808 的帧。

以太网线路异常时接收

在以太网线路出现异常或半双工发生冲突时，线路上有可能会出现单字节帧的情况。此时，用户侧接口第一个 rx_mac_valid_o、rx_mac_last_o 和 rx_mac_ub_invalid_o 会同时为 1，即接收一个字节后，此帧结束。用户应用程序需处理此种异常情况的发生。

接收统计

接收帧的统计信息在 rx_statistics_vector_o 信号输出。当 rx_statistics_valid_o 为 1 时，表示 rx_statistics_vector_o 有效，此时 rx_statistics_vector_o 指示了刚接收帧的统计信息。时序如图 3-29 所示，rx_statistics_vector_o 位定义如表 3-3 所示。

图 3-29 接收统计

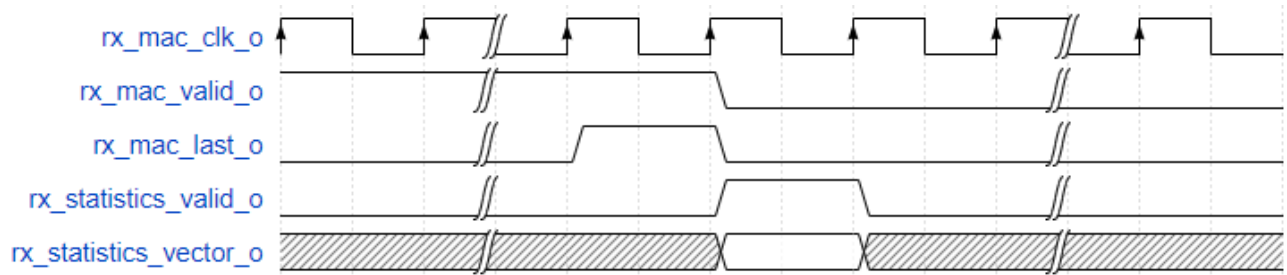


表 3-3 rx_statistics_vector_o 位定义

位置	名称	描述
26	RX Alignment Error	如果接收帧不是字节的整数倍，置1
25	RX Length Error	如果接收帧长度不符合标准，置1
24	RX FCS Error	如果接收帧有FCS错误，置1
23	RX_ER Error	如果接收过程中收到PHY层接口gmii_rx_er_o信号有效，置1
22	RX Collision Error	在半双工模式下，如果接收帧过程中出现冲突，置1
21:6	RX Frame Length	接收帧长度，包括FCS字段
5	RX Flow Control Frame	在全双工模式下，如果接收帧为流控帧，置1
4	RX MAC Control Frame	如果接收帧为MAC Control帧，置1
3	RX VLAN Frame	如果接收帧为VLAN帧，置1
2	RX Multicast Frame	如果接收帧为组播帧，置1
1	RX Broadcast Frame	如果接收帧为广播帧，置1
0	RX Unicast Frame	如果接收帧为单播帧，置1

MAC 帧发送

发送 MAC 帧是把用户数据转换为串行数据的过程。所有发送信号同步于 tx_mac_clk_o，频率为 156.25MHz。

正常 MAC 帧发送

图 3-30 展示在 2500M 速率下负载为偶数时正常 MAC 帧发送过程，图 3-31 展示在 2500M 速率下负载为奇数时正常 MAC 帧发送过程。

在整个帧的发送过程中，tx_mac_valid_i 须一直保持为 1，直到这一帧结束时才能变为 0。当 tx_mac_ready_o 和 tx_mac_last_i 同时为 1 时，表明此周期 tx_mac_data_i 被发送且为这一帧 MAC 帧的最后数据，若此时 tx_mac_ub_invalid_i=0，表示发送最后两字节数据，若此时 tx_mac_ub_invalid_i=1，表示发送最后一字节数据（低位字节数据）。需要注意 IP 中没有 buffer 用来缓存发送的以太网帧，因此用户需要连续发送以太网帧数据，在 tx_mac_ready_o 为 1 时，及时发送数据，直到整帧数据发送完毕，帧与帧之间有帧间距。

图 3-30 2500M 速率下负载为偶数时正常 MAC 帧发送

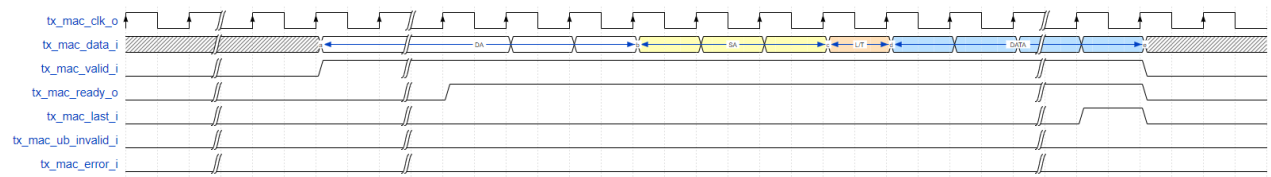
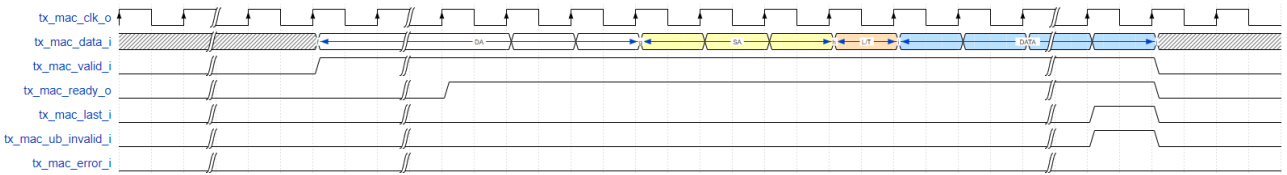


图 3-31 2500M 速率下负载为奇数时正常 MAC 帧发送



错误 MAC 帧发送

在发送过程中，当 tx_mac_error_i 和 tx_mac_ready_o 同时为 1 时，表示当前字节数据为错误数据。图 3-32 展示在 2500M 速率下负载为偶数时错误 MAC 帧的发送过程，图 3-33 展示在 2500M 速率下负载为奇数时错误 MAC 帧的发送过程。

图 3-32 2500M 速率下负载为偶数时错误 MAC 帧发送

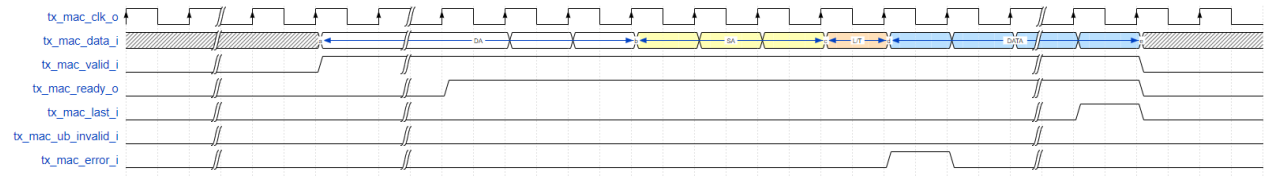
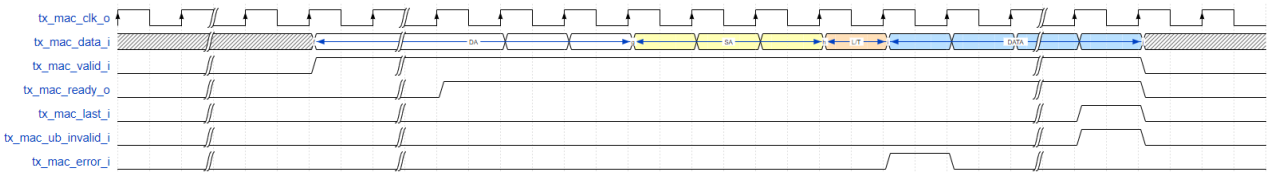


图 3-33 2500M 速率下负载为奇数时错误 MAC 帧发送



发送 MAC 帧 FCS Forward

当用户设置 IP 为发送 FCS Forward 模式时，IP 不会自动添加 FCS 字段，用户在发送完 DATA 字段后，需要计算并手动添加 FCS 字段，如图 3-34 和图 3-35 所示。

图 3-34 2500M 速率下使能 FCS Forward 且负载为偶数时 MAC 帧发送

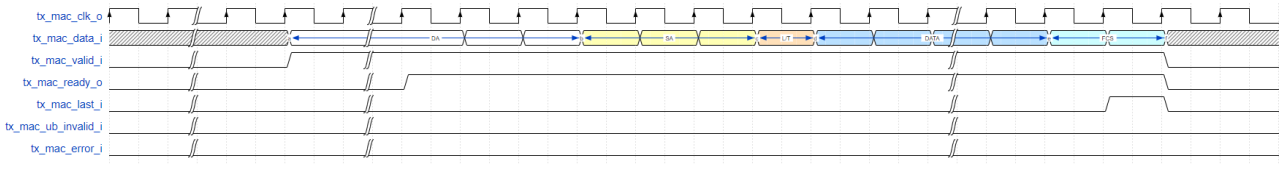
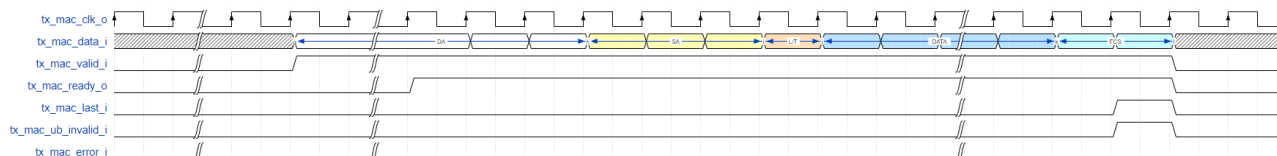


图 3-35 2500M 速率下使能 FCS Forward 且负载为奇数时 MAC 帧发送



半双工模式发送

在半双工模式下，IP 通过 `tx_collision_o` 和 `tx_retransmit_o` 信号指示发送状态。如果发送过程中，用户未检测到冲突产生，可按照以上全双工发送过程发送 MAC 帧。如果发送过程中，用户检测到冲突产生，需做下述处理，以保证数据的正确传输。当用户检测到 `tx_collision_o` 为 1 时，说明此时线路上有冲突。用户必须在检测到 `tx_collision_o` 为 1 时，马上把 `tx_mac_valid_i` 置 0，用来结束此次 MAC 帧的发送。在检测到 `tx_collision_o` 为 1 的同时，如果 `tx_retransmit_o` 为 1，说明此次冲突在合理范围内，用户可以自行决定是否重发此帧。如果用户准备重发此帧，请在 5 个周期内把 `tx_mac_valid_i` 置 1，准备此帧的重新发送；如果用户准备放弃重发此帧，请在 5 个周期之后再置 `tx_mac_valid_i` 为 1，准备下一帧的发送。在检测到 `tx_collision_o` 为 1 的同时，如果 `tx_retransmit_o` 为 0，说明此次冲突不在合理范围内（某一帧冲突超过 16 次或冲突发生在已发送 64 字节之后），此时用户需放弃此帧的发送。图 3-36 展示产生冲突时重发的过程，图 3-37 和图 3-38 分别展示产生冲突时不重发的过程。

图 3-36 冲突时重发

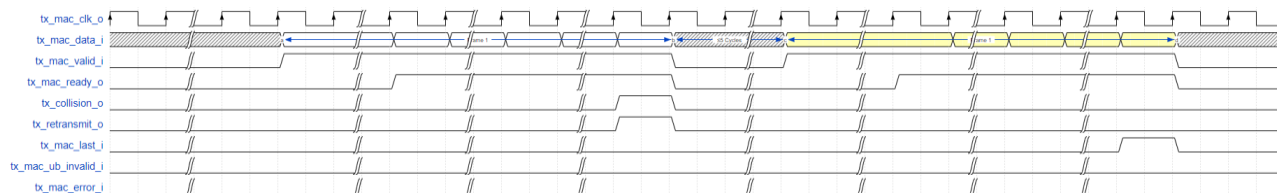


图 3-37 冲突时放弃重发（主动放弃）

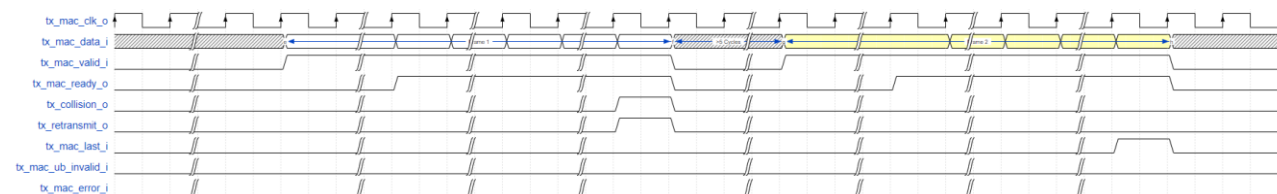
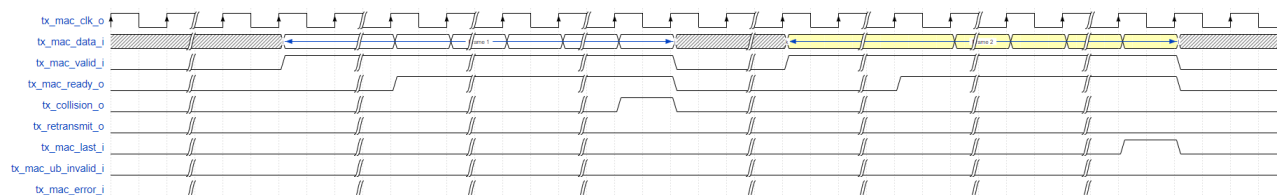


图 3-38 冲突时放弃重发（被动放弃）



发送统计

发送帧的统计信息在 tx_statistics_vector_o 信号输出。当 tx_statistics_valid_o 为 1 时，表示 tx_statistics_vector_o 有效，此时 tx_statistics_vector_o 指示了刚发送帧的统计信息。时序如图 3-39 所示，tx_statistics_vector_o 位定义如表 3-4 所示。

图 3-39 发送统计

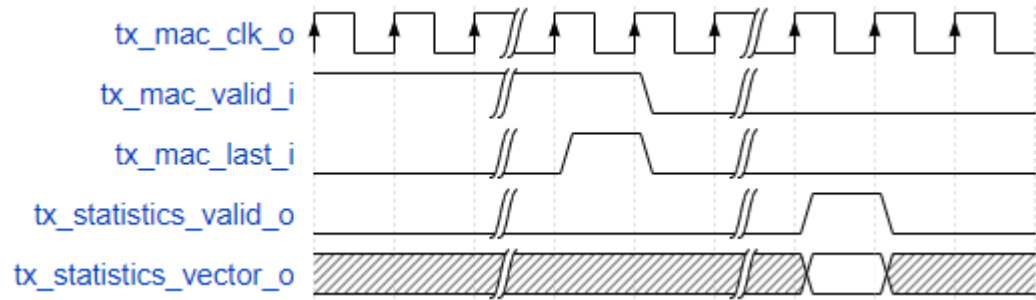


表 3-4 tx_statistics_vector_o 位定义

位置	名称	描述
28	TX Collision	半双工模式下，如果此帧发送时产生冲突，置 1
27:24	TX Attempts	半双工模式下，此帧尝试发送的次数。0 代表第 1 次发送；1 代表第 2 次发送；15 代表第 16 次发送。
23	Excessive Collision	在半双工模式下，如果此帧在第 16 次尝试发送时产生冲突，置 1
22	Late Collision	如果冲突发生在已发送 64 字节之后，置 1
21:6	TX Frame Length	发送帧长度，包括 FCS 字段
5	TX Flow Control Frame	在全双工模式下，如果通过配置 IP 发送流控帧，置 1
4	TX MAC Control Frame	如果发送帧为 MAC Control 帧，置 1
3	TX VLAN Frame	如果发送帧为 VLAN 帧，置 1
2	TX Multicast Frame	如果发送帧为组播帧，置 1
1	TX Broadcast Frame	如果发送帧为广播帧，置 1
0	TX Unicast Frame	如果发送帧为单播帧，置 1

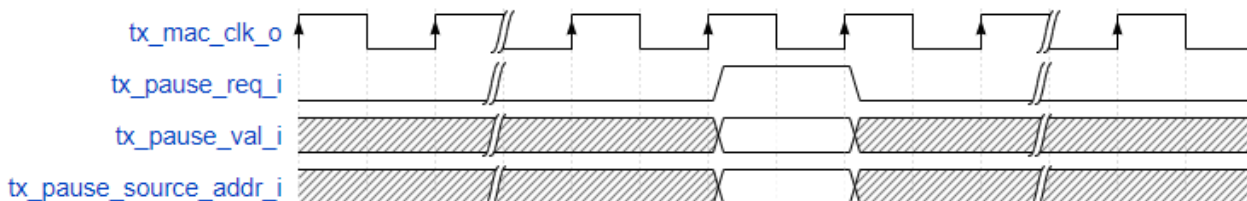
Flow Control 功能

IP 支持全双工模式下的 Flow Control 功能。在全双工模式下，用户可以通过配置 IP 发送或者接收 Pause 帧，实现流控功能。

发送 Pause 帧

用户可以通过把 tx_pause_req_i 信号置 1，来发送一个 pause 帧。tx_pause_val_i 的值插入到 pause 帧的 parameter 字段，用来计算 pause 时间。tx_pause_source_addr_i 作为 pause 帧的源 MAC 地址发送，发送顺序为从低字节到高字节。

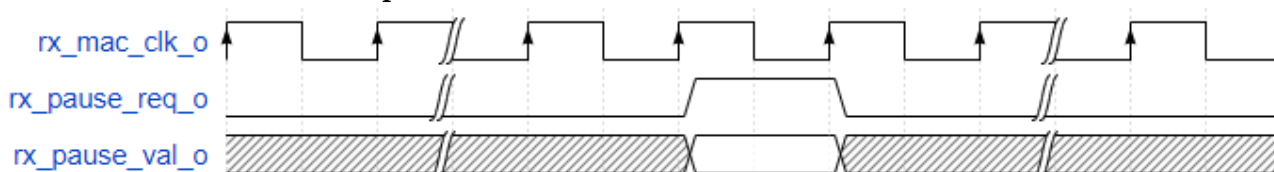
图 3-40 发送 Pause 帧



接收 pause 帧

当 IP 接收到一个 pause 后，会把 `rx_pause_req_o` 信号置 1。
`rx_pause_val_o` 的值为接收到 pause 帧的 parameter 字段，用来计算 pause 时间。

图 3-41 接收 pause 帧



FCS Forward 功能

IP 支持发送和接收分别配置 FCS Forward 功能。

接收 FCS Forward 功能

当用户禁止接收 FCS Forward 功能时，FCS 字段不会被输出到用户侧。IP 会自动校验 FCS 字段，并把校验结果输出到 `rx_statistics_vector_o` 相应字段。当用户使能接收 FCS Forward 功能时，FCS 字段会被输出到用户侧。IP 仍会自动校验 FCS 字段，并把校验结果输出到 `rx_statistics_vector_o` 相应字段。

发送 FCS Forward 功能

当用户禁止发送 FCS Forward 功能时，用户无需计算并发送 FCS 字段。IP 会自动计算 FCS 字段，并自动添加到以太网帧。当用户使能发送 FCS Forward 功能时，用户需计算 FCS 字段，并在用户侧发送给 IP。

PAD 功能

当用户禁止发送 FCS Forward 功能时，若用户发送到 IP 的帧小于 60 字节（不包括 FCS），IP 会自动补 0 到 60 字节，再添加 FCS 字段，以保证发送以太网帧符合最小 64 字节要求。当用户使能发送 FCS Forward 功能时，IP 不会自动补齐 64 字节，实际发送数据和长度完全由用户决定。

发送 IFG 设置功能

当 IP 工作在全双工模式时，用户可以设置以太网发送最小 IFG。当 IP 工作在半双工模式时，用户设置的发送最小 IFG 被忽略，最小 IFG 仍然为 12 字节。

当用户禁止 IFG 功能时，IP 发送最小 IFG 为 12 字节，即 96bit。当用户

使能 IFG 功能时, IP 根据用户设置决定最小 IFG。若用户设置最小 IFG 小于 8 字节, IP 实际最小 IFG 为 8 字节;若用户设置最小 IFG 大于等于 8 字节, IP 实际最小 IFG 为用户设置的值。最小 IFG 最大可设置为 255 字节。

Jumbo 设置功能

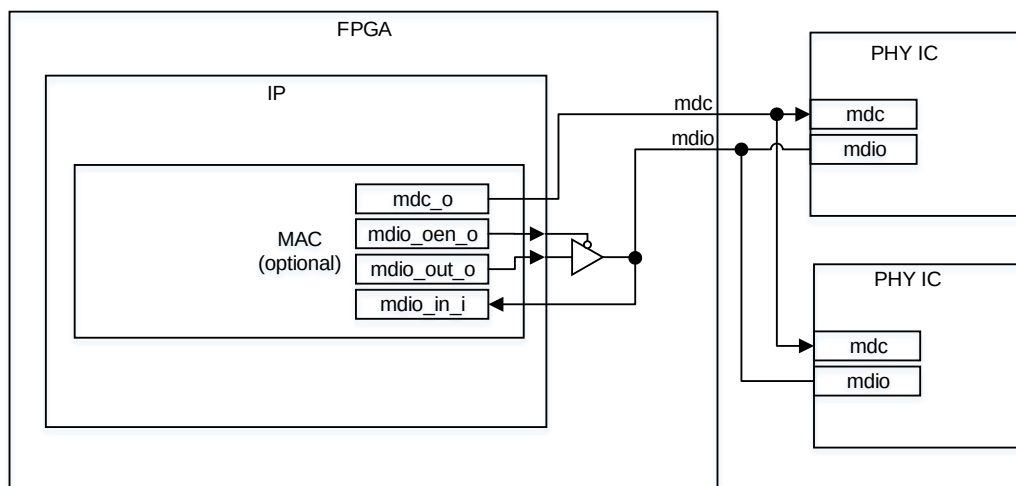
IP 支持 Jumbo 功能。当用户禁止 Jumbo 功能时, IP 判断正确以太网帧长度为 64 字节~1518 字节(非 VLAN 帧)或 64 字节~1522 字节(VLAN 帧)。当收到的以太网帧不在上述范围内时, rx_mac_error_o 会指示此帧有错误,且 rx_statistics_vector_o 中 RX Length Error 为 1。当用户使能 Jumbo 功能时,只有接收到的以太网帧小于 64 字节, IP 才会判断为错误。

Management 功能

IP 提供为用户提供 MIIM 接口,方便用户通过 MDC 和 MDIO 配置 PHY 芯片寄存器。

MDC 时钟由 miim_hs_clk_i 输入时钟分频而来,用户需根据 miim_hs_clk_i 输入时钟来配置分频器,使 MDC 时钟频率符合 PHY 芯片要求,配置方法请参考表 5-1 所示, MDC、MDIO 连接如图 3-42 所示。

图 3-42 MDC、MDIO 连接示意图



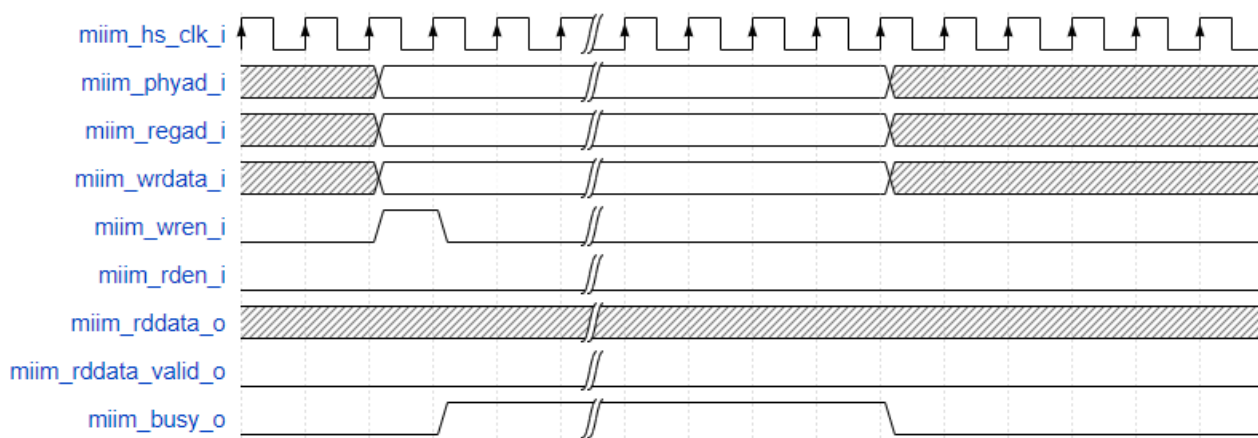
MDIO 连接参考 verilog 如下:

```
assign mdio_in_i = mdio;
assign mdio = (!mdio_oen_o) ? mdio_out_o : 1'bz;
```

所有 miim 接口信号同步于 miim_hs_clk_i 时钟。

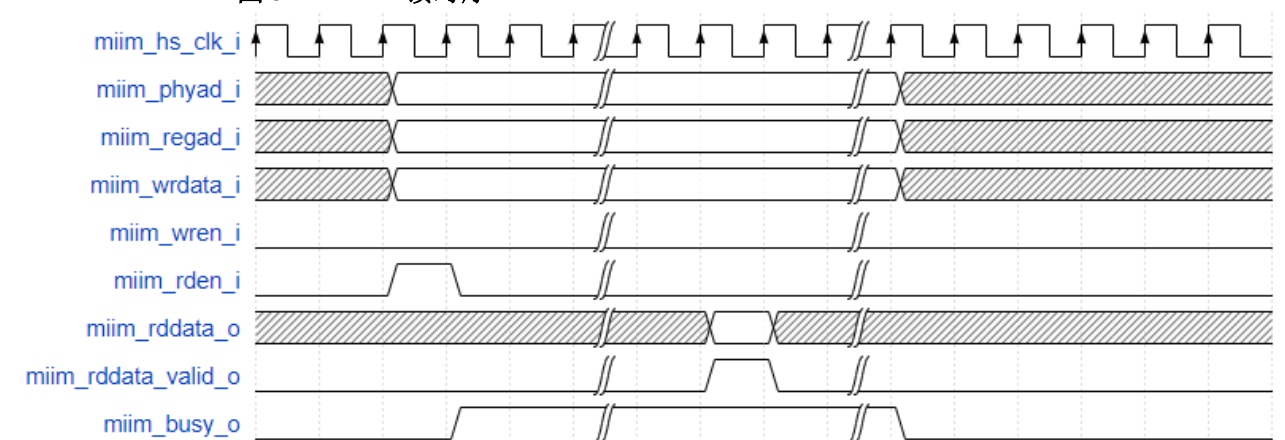
若进行写操作,用户需把 miim_wren_i 置 1 一个周期。IP 会把 miim_busy_o 拉高,说明 miim 总线正在进行此次写操作。当 miim_busy_o 再次为 0,表示此次写操作结束,用户可进行下一次读或写操作。miim_phyad_i、miim_regad_i 和 miim_wrdata_i 信号在 miim_wren_i 为 1 时需在总线上准备好,且在 miim_busy_o 为 1 时保持不变。miim 写时序如图 3-43 所示。

图 3-43 miim 写时序



若进行读操作，用户需把 **miim_rden_i** 置 1 一个周期。IP 会把 **miim_busy_o** 拉高，说明 **miim** 总线正在进行此次读操作。当 **miim_busy_o** 再次为 0，表示此次读操作结束，用户可进行下一次读或写操作。**miim_phyad_i** 和 **miim_regad_i** 信号在 **miim_rden_i** 为 1 时需在总线上准备好，且在 **miim_busy_o** 为 1 时保持不变。在读过程中，用户监测 **miim_rddata_valid_o** 信号。当 **miim_rddata_valid_o** 为 1 时，用户可以在 **miim_rddata_o** 信号采样此次读操作的值。**miim** 读时序如图 3-44 所示。

图 3-44 miim 读时序



4 端口列表

Gowin 2.5G Serial Ethernet IP 的 IO 端口如图 4-1 所示。

图 4-1 Gowin 2.5G Serial Ethernet IP IO 端口示意图

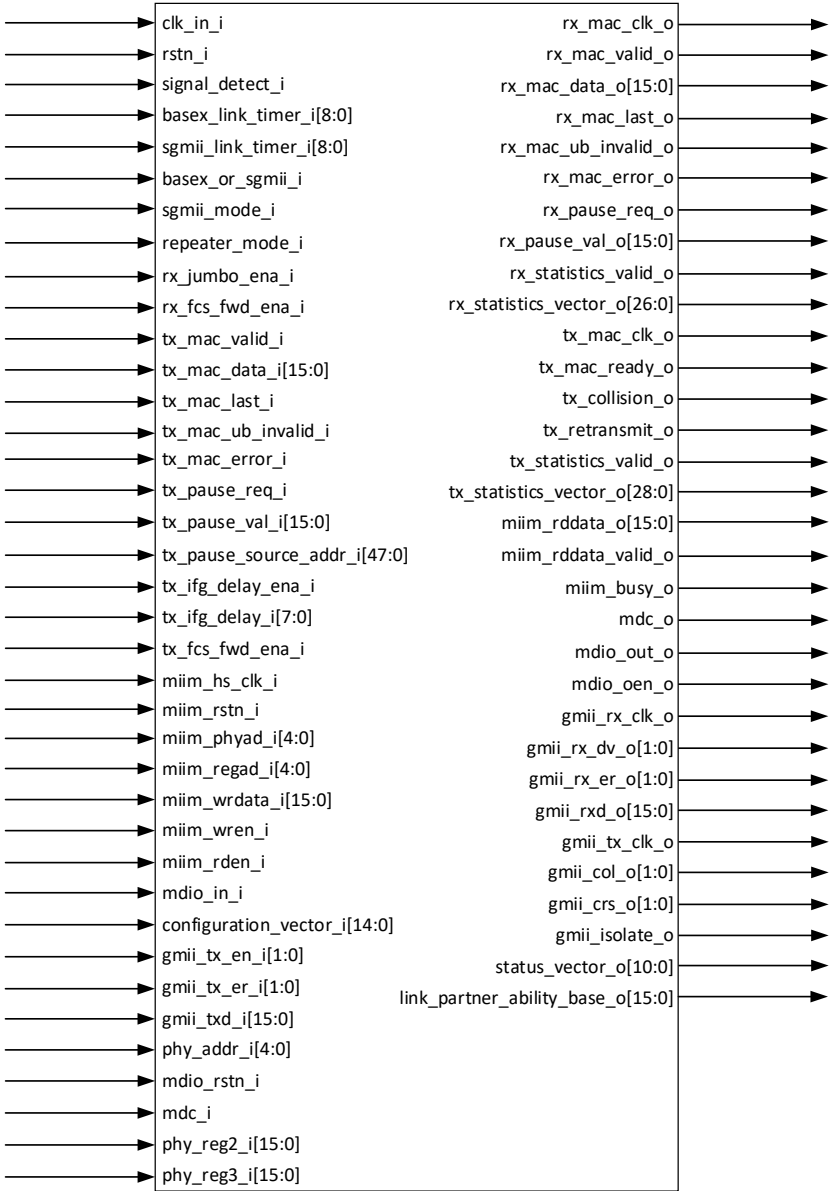


表 4-1 Gowin 2.5G Serial Ethernet IP IO 端口

信号	方向	位宽	描述
Clock Input			
clk_in_i	input	1	连续的时钟信号，频率不高于50MHZ
Reset			
rstn_i	input	1	复位信号，低有效
IP Configuration			
signal_detect_i	input	1	信号检测功能配置，和configuration_vector_i[1]组合控制数据同步功能： 1: 使能信号检测功能 0: 禁用信号检测功能
basex_link_timer_i	input	9	2500BASE-X协议下Link时间
sgmii_link_timer_i	input	9	2.5G SGMII协议下Link时间
basex_or_sgmii_i	input	1	以太网协议选择信号： 1: 2.5G SGMII标准 0: 2500BASE-X标准
sgmii_mode_i	input	1	2.5G SGMII模式选择信号： 1: Media Mode 0: System Mode
repeater_mode_i	input	1	中继器模式选择信号： 1: 使能中继器模式 0: 禁用中继器模式
configuration_vector_i	input	15	功能配置信号
IP Status			
status_vector_o	output	11	功能状态信息指示
link_partner_ability_base_o	output	16	对方配置寄存器信息指示
GMII Interface			
gmii_rx_clk_o	output	1	GMII接收时钟
gmii_rx_dv_o	output	2	GMII接收使能
gmii_rxd_o	output	16	GMII接收数据
gmii_rx_er_o	output	2	GMII接收错误
gmii_tx_clk_o	output	1	GMII发送时钟
gmii_tx_en_i	input	2	GMII发送使能
gmii_txd_i	input	16	GMII发送数据
gmii_tx_er_i	input	2	GMII发送错误
gmii_col_o	output	2	GMII冲突信号，此信号仅在半双工有效
gmii_crs_o	output	2	GMII载波信号，此信号仅在半双工有效
gmii_isolate_o	output	1	GMII传输隔离
MAC Layer Interface			

信号	方向	位宽	描述
rx_mac_clk_o	output	1	接收时钟
rx_mac_valid_o	output	1	接收使能
rx_mac_data_o	output	16	接收数据
rx_mac_last_o	output	1	接收最后两字节指示
rx_mac_ub_invalid_o	output	1	接收最后两字节的高位字节数据无效指示
rx_mac_error_o	output	1	接收错误帧指示
rx_statistics_valid_o	output	1	接收统计有效指示
rx_statistics_vector_o	output	27	接收统计信息
tx_mac_clk_o	output	1	发送时钟
tx_mac_valid_i	input	1	发送使能
tx_mac_data_i	input	16	发送数据
tx_mac_last_i	input	1	发送最后两字节指示
tx_mac_ub_invalid_i	input	1	发送最后两字节的高位字节数据无效指示
tx_mac_error_i	input	1	发送错误帧指示
tx_mac_ready_o	output	1	发送握手信号，为1表示tx_mac_data_i被接收
tx_collision_o	output	1	发送线路冲突指示信号，为1表示此次发送出现线路冲突，用户需立刻结束此次发送。此信号仅在半双工时有有效
tx_retransmit_o	output	1	发送重发指示信号，此信号与tx_collision_o同时出现，为1表示需要重发此帧。此信号仅在半双工时有有效
tx_statistics_valid_o	output	1	发送统计有效指示
tx_statistics_vector_o	output	29	发送统计信息
MAC Layer Configuration			
rx_fcs_fwd_ena_i	input	1	接收FCS Forward功能： 1：使能接收FCS Forward功能 0：禁止接收FCS Forward功能
rx_jumbo_ena_i	input	1	接收Jumbo功能： 1：使能接收Jumbo功能 0：禁止接收Jumbo功能
rx_pause_req_o	output	1	接收pause帧指示信号
rx_pause_val_o	output	16	接收pause帧parameter字段，代表本方需要暂停时间
tx_fcs_fwd_ena_i	input	1	发送FCS Forward功能： 1：使能发送FCS Forward功能 0：禁止发送FCS Forward功能
tx_ifg_delay_ena_i	input	1	发送最小IFG配置使能： 1：使能最小IFG配置 0：禁止最小IFG配置，默认最小IFG为12字节
tx_ifg_delay_i	input	8	发送最小IFG： 当tx_ifg_delay_ena_i为1时，IP发送最小IFG由tx_ifg_delay_i决定。当tx_ifg_delay_i小于8时，最小IFG为

信号	方向	位宽	描述
			8: 当tx_ifg_delay_i大于等于8时, 最小IFG为用户设置值。 当tx_ifg_delay_ena_i为0时, 此设置无效
tx_pause_req_i	input	1	发送pause帧使能信号
tx_pause_val_i	input	16	发送pause帧parameter字段, 代表要求对方暂停时间
tx_pause_source_addr_i	input	48	发送pause帧源地址
Management Interface			
miim_hs_clk_i	input	1	Management模块时钟输入 (MAC层)
miim_rstn_i	input	1	Management模块复位输入 (MAC层)
miim_phyad_i	input	5	PHY地址 (MAC层)
miim_regad_i	input	5	寄存器地址 (MAC层)
miim_wrdata_i	input	16	写数据 (MAC层)
miim_wren_i	input	1	写使能 (MAC层)
miim_rden_i	input	1	读使能 (MAC层)
miim_rddata_o	output	16	读数据 (MAC层)
miim_rddata_valid_o	output	1	读数据有效, MAC层
miim_busy_o	output	1	MIIM接口状态指示 (MAC层): 1: 正在读/写 0: 空闲
mdc_o	output	1	MDC时钟输出 (MAC层)
mdio_in_i	input	1	MDIO输入 (MAC层、PHY层)
mdio_out_o	output	1	MDIO输出 (MAC层、PHY层)
mdio_oen_o	output	1	MDIO输出使能 (MAC层、PHY层)
phy_addr_i	input	5	PHY地址 (PHY层)
mdio_rstn_i	input	1	MIIM复位 (PHY层)
mdc_i	input	1	MDC时钟输入 (PHY层)
phy_reg2_i	input	16	地址0x2的寄存器数据 (PHY层)
phy_reg3_i	input	16	地址0x3的寄存器数据 (PHY层)

5 参数配置

用户需根据设计要求配置 Gowin 2.5G Serial Ethernet IP 的各个静态参数。请参考表 5-1 所示。

表 5-1 Gowin 2.5G Serial Ethernet IP 静态参数

名称	描述	选项
PHY Configuration		
Channel Selection	Lane 选择	- GW5AT-60 器件: Q0 Lane0, Q0 Lane1, Q0 Lane2, Q0 Lane3 - 其他器件: Q0 Lane0, Q0 Lane1, Q0 Lane2, Q0 Lane3, Q1 Lane0, Q1 Lane1, Q1 Lane2, Q1 Lane3
Loopback Mode	Lane 回环模式选择	OFF, LB_NES, LB_FES, LB_ENC
Reference Clock Source	参考时钟源选择	- GW5AT-60 器件: Q0 REFCLK0, Q0 REFCLK1, Q0 REFCLK2, Q0 REFCLK3, SERDES Q0CLKIN0, SERDES Q0CLKIN1, SERDES Q0CLKIN2, SERDES Q0CLKIN3 - 其他器件: Q0 REFCLK0, Q0 REFCLK1, Q1 REFCLK0, Q1 REFCLK1
Reference Clock Frequency	参考时钟频率设置	用户输入
PLL Selection	PLL 选择	QPLL0, QPLL1, CPLL
MAC Configuration		
Enable MAC	以太网 MAC 层功能使能	勾选, 不勾选
Enable PHY MIIM	以太网 PHY 层 MIIM 接口使能, 用于配置 PHY 层的寄存器	勾选, 不勾选
MIIM Clock Divider	miim_hs_clk_i 输入时钟分频值, 分频后的时钟输出到 mdc_o, 作为管理接口时钟输出, 只用于使能以太网 MAC 层功能时。若此选项小于 2, 则实际分频值为 2; 若此选项大于等于 2, 则实际分频值为输入值	用户输入, 范围 0~255

AFE Configuration		
Differential Swing	配置发送差分信号摆幅 V_{diffpp} , $V_{diffpp}=2*V_{diff}$	900mV,852mV,804mV,756mV,708mV,660mV,612mV,564mV,516mV,468mV,420mV,372mV,324mV,276mV,228mV,180mV
FFE Mode	配置发送 FFE 模式, 有 Auto(自动模式)和 Manual(手动模式)两种	Auto, Manual
Cm	发送 FFE pre-cursor	用户输入, 范围 0~19
C0	发送 FFE main-cursor	自动计算, 范围 21~40
C1	发送 FFE p-cursor	用户输入, 范围 0~19
SD Threshold	接收差分信号 SD 门限	25mV,50mV,75mV,100mV,125mV,150mV,175mV,200mV
Equalization Mode	接收均衡模式, 有 Auto(自动模式)和 Manual(手动模式)两种	Auto, Manual
ATT	调整接收中频衰减, 数值越小表示衰减越大	用户输入, 范围 0~10
BOOST	调整接收高频放大, 数值越大表示增益越大	用户输入, 范围 0~15
BIAS	配置 SerDes 对接收信号的放大参数, 配置越高, 对信号的放大作用越强	用户输入, 范围 0~15

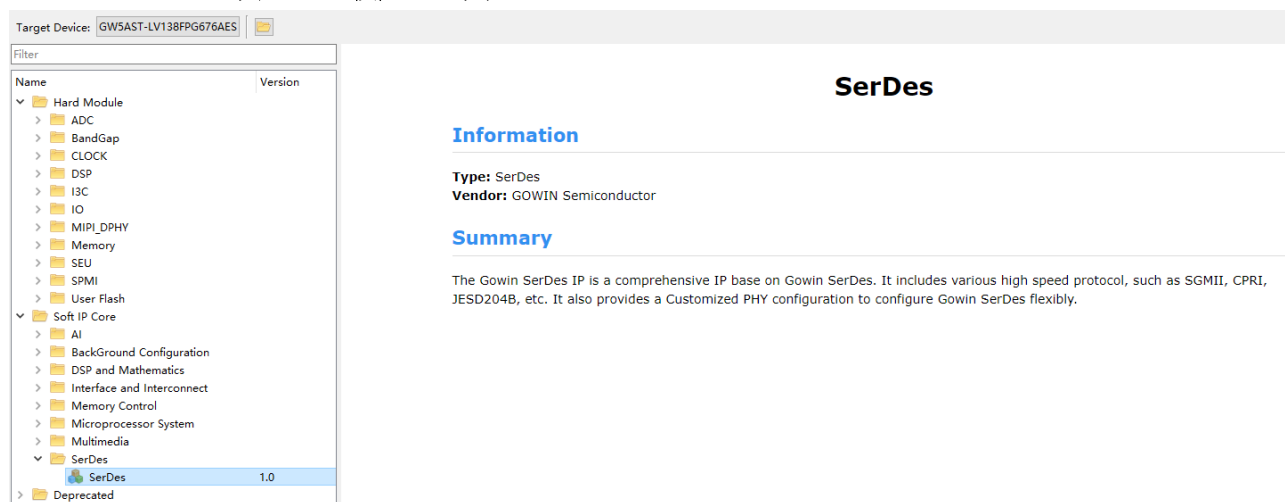
6 界面配置

用户可在 IDE 中通过 IP Core Generator 工具调用并配置 Gowin 2.5G Serial Ethernet IP。本章节以选择使用 MAC 层接口为例，介绍了主要配置界面、配置流程以及各配置选项含义。

1. 打开 IP Core Generator

用户建立工程后，单击左上角 Tools 选项卡，下拉单击 IP Core Generator 选项，就可打开 Gowin 的 IP 核产生工具，如图 6-1 所示。

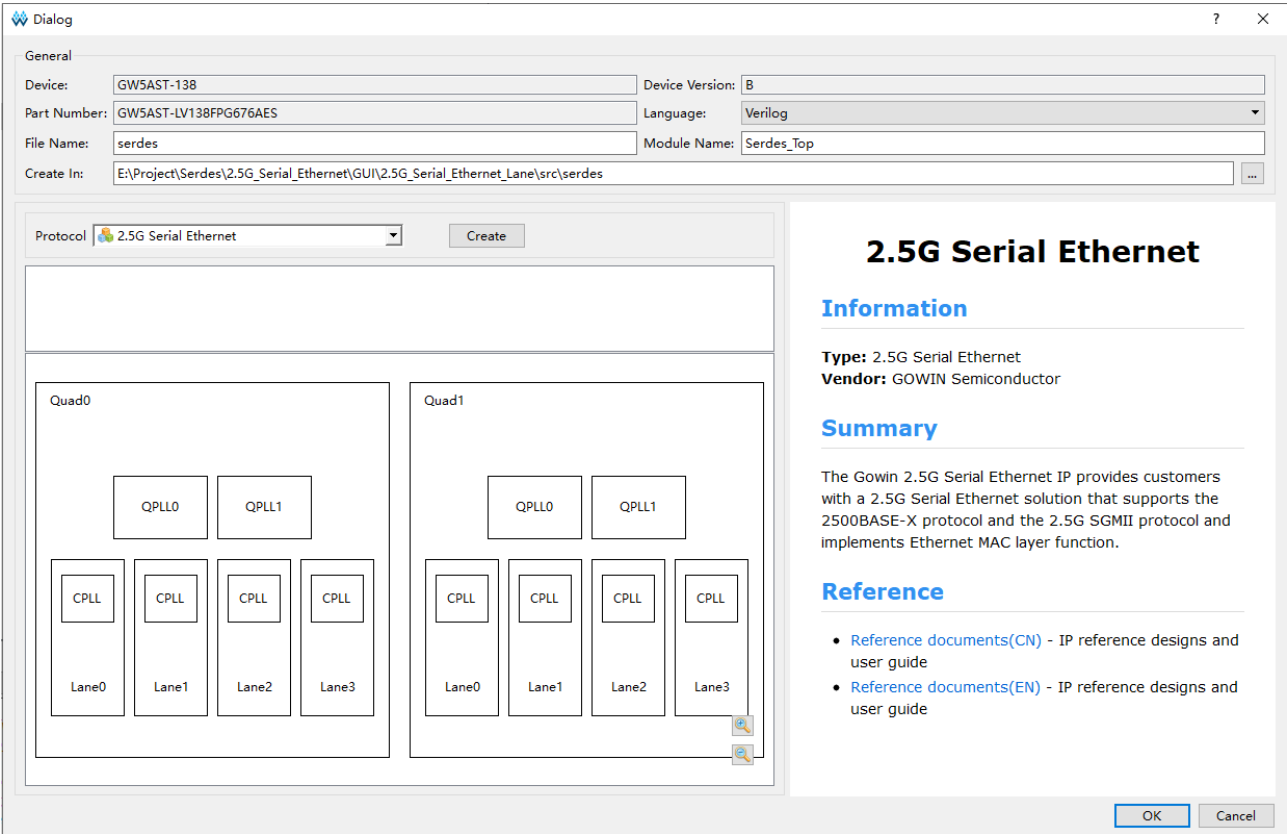
图 6-1 IP 核产生工具



2. 打开 SerDes IP 配置界面

在 IP Core Generator 中选择“SerDes”，打开 SerDes IP 配置界面，如图 6-2 所示：

图 6-2 SerDes IP 配置界面



在 SerDes IP 界面中首先配置“General”选项组：

- **Device、Device Version、Part Number** 选项：芯片型号设置，由当前工程选择的芯片型号决定，用户无法设置；
- **Language** 选项：支持 Verilog 和 VHDL 两种选择，根据自身需要选择对应的语言类型，默认选择 Verilog；
- **File Name、Module Name、Create In** 选项：SerDes 的文件名、模块名和文件生成路径设置。

然后根据自身需要选择协议，其中“Protocol”选项可以选择需要的协议，点击右侧“Create”按钮可打开协议的配置界面；在“Protocol”选项下方显示当前 SerDes IP 已经支持的协议和对应的 Quad、PLL、Lane 使用情况，右侧显示当前 Protocol 选项选择协议的相关信息，包含“Information”、“Summary”和“Reference”三部分信息。

3. 打开 2.5G Serial Ethernet IP 界面配置

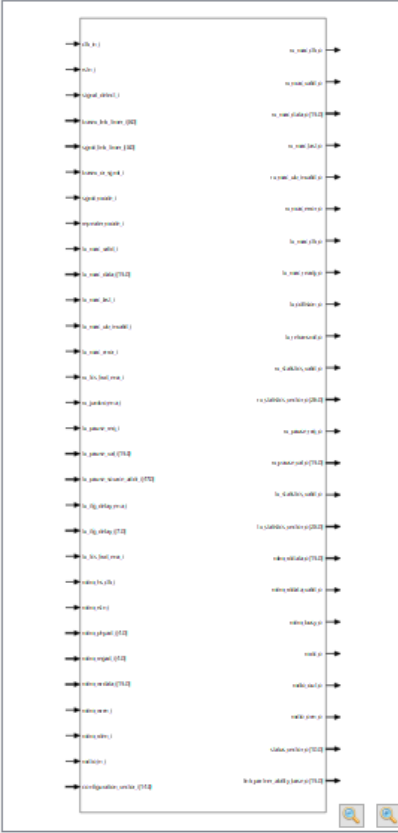
在 SerDes IP 配置界面的“Protocol”选项中选择“2.5G Serial Ethernet”，点击右侧“Create”按钮打开 2.5G Serial Ethernet IP 配置界面。

配置界面左侧是 2.5G Serial Ethernet IP 的接口示意图，右侧是 2.5G Serial Ethernet IP 参数配置选项，其中包含 PHY Configuration 选项页、MAC Configuration 选项页和 AFE Configuration 选项页，分别如图 6-3、图 6-4、图 6-5 所示，各个参数的含义如表 5-1 所示。

图 6-3 PHY Configuration 选项页

IP Customization

2.5G Serial Ethernet



General

Device: Device Version:

Part Number: Language:

File Name: Module Name:

Create In:

PHY Configuration | Mac Configuration | AFE Configuration

Channel Selection:

Loopback Mode:

Line Rate: Gbps

Refclk Selection

Reference Clock Source:

Reference Clock Frequency: MHz

PLL Selection:

图 6-4 MAC Configuration 选项页

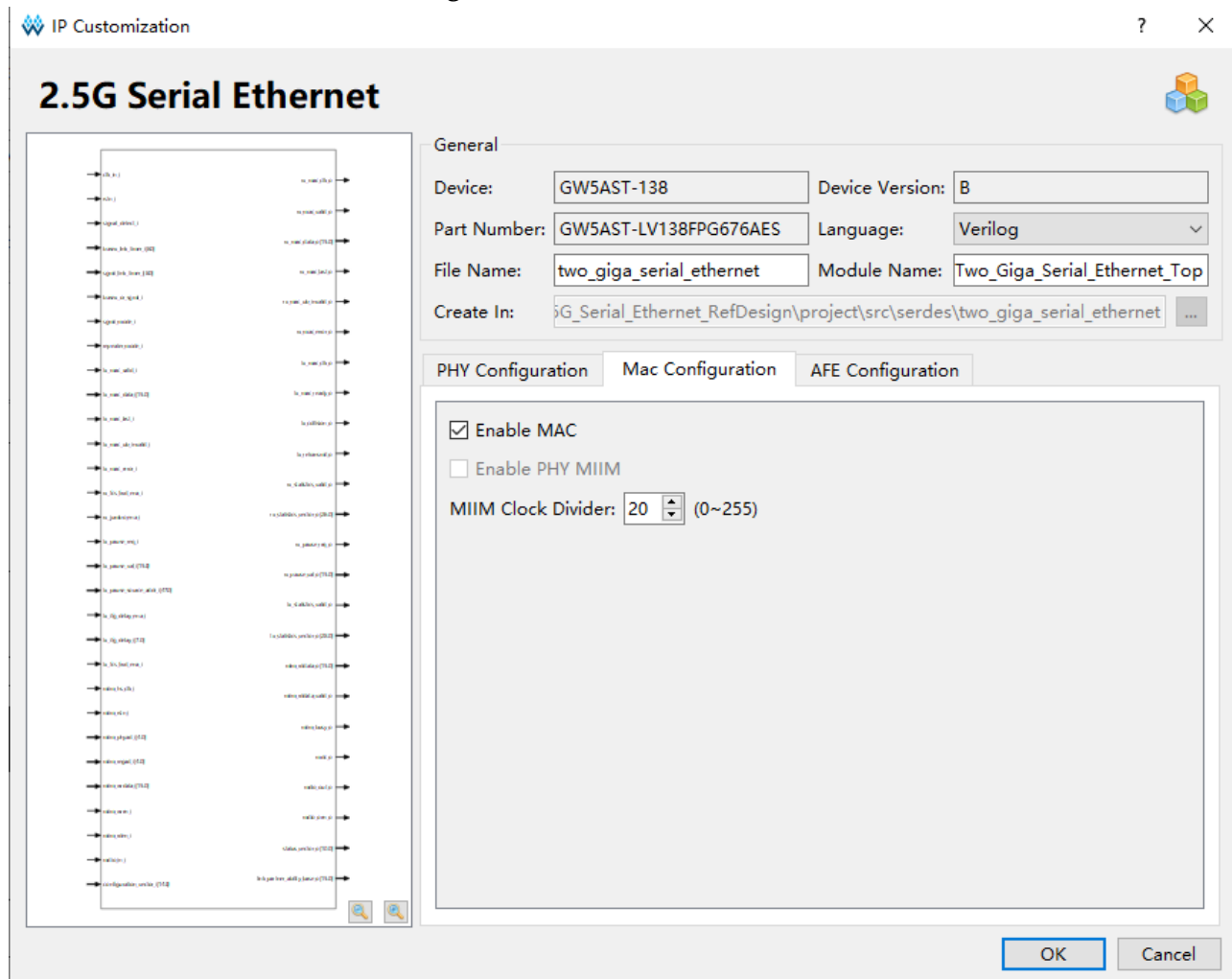
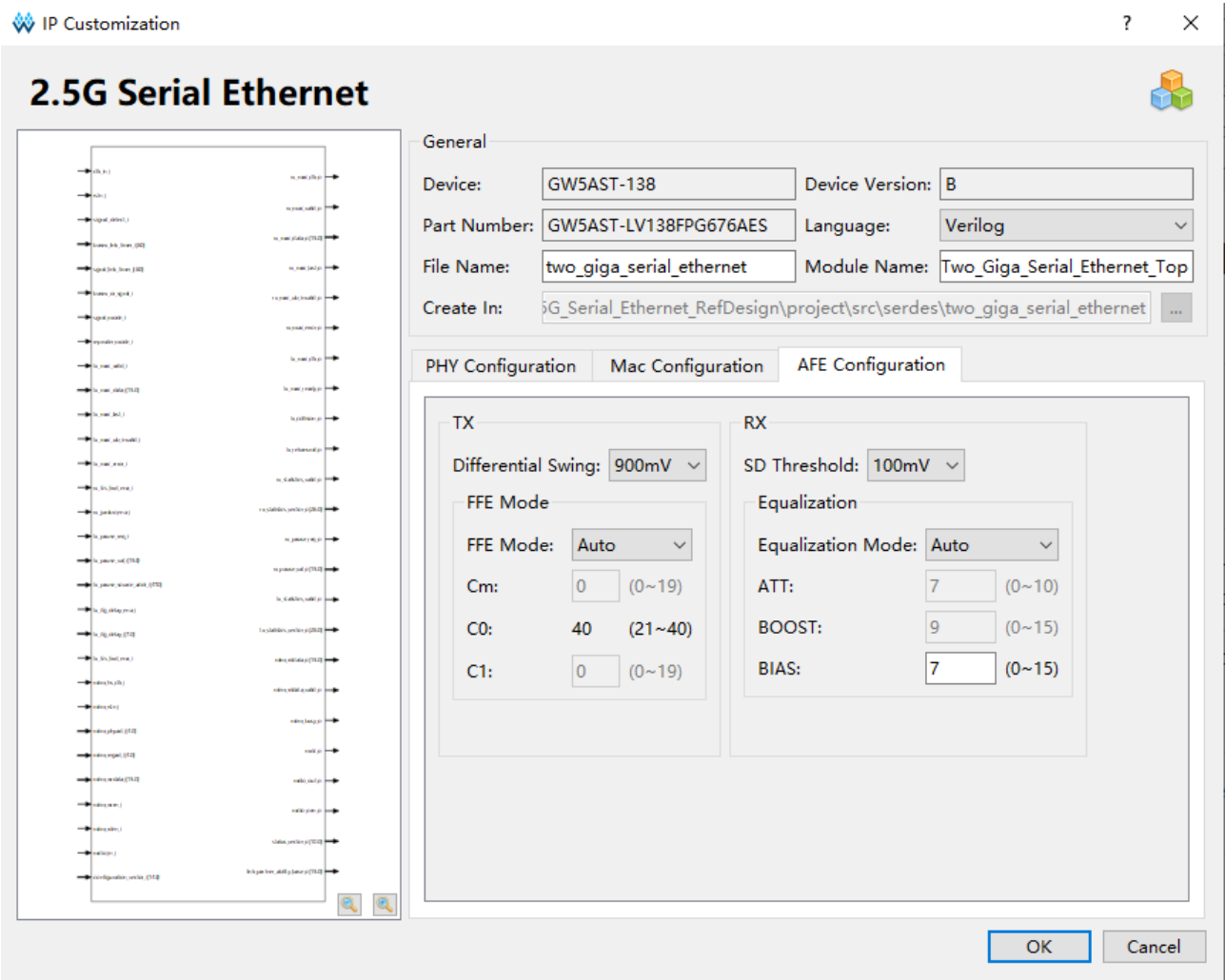


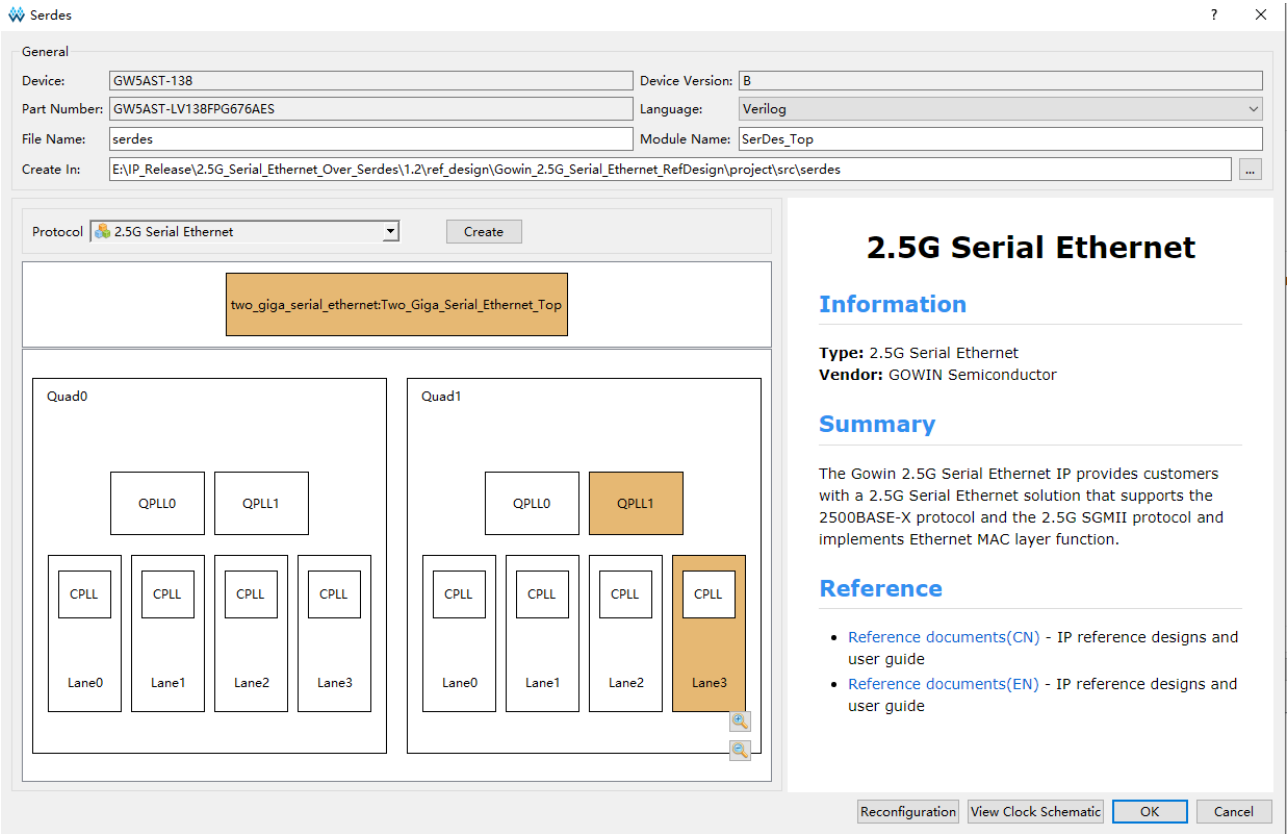
图 6-5 AFE Configuration 选项页



4. 生成 IP

完成 2.5G Serial Ethernet IP 界面配置后，点击界面右下角的“OK”按钮，可生成 2.5G Serial Ethernet IP 相关文件，并返回到 SerDes IP 配置界面，此时 SerDes IP 配置界面中显示当前已经生成的 2.5G Serial Ethernet IP 及对应的 Quad、PLL 和 Lane 使用情况，如图 6-6 所示。

图 6-6 SerDes IP 配置界面显示 2.5G Serial Ethernet IP



然后，点击界面右下角的“OK”按钮，可生成 SerDes IP 相关文件，完成整个 2.5G Serial Ethernet IP 的生成过程。

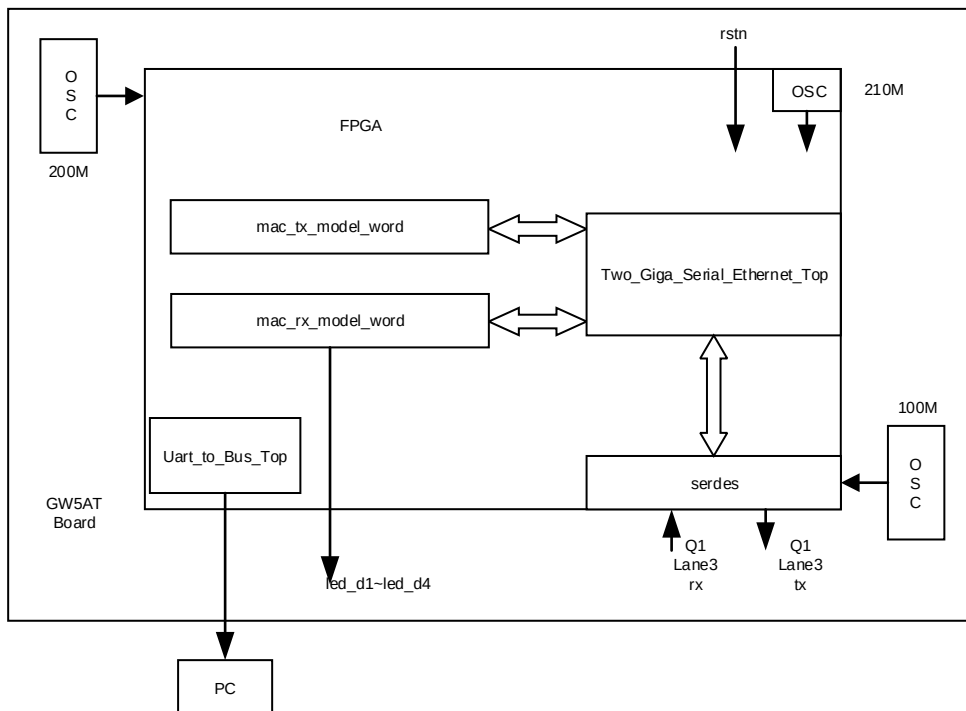
7 参考设计

详细信息请参见高云半导体官网 [Gowin 2.5G Serial Ethernet IP 参考设计](#)。

7.1 硬件平台

硬件平台如图 7-1 所示。

图 7-1 硬件平台



在 GW5AT 板卡上实现一个参考实例，其硬件条件如下：

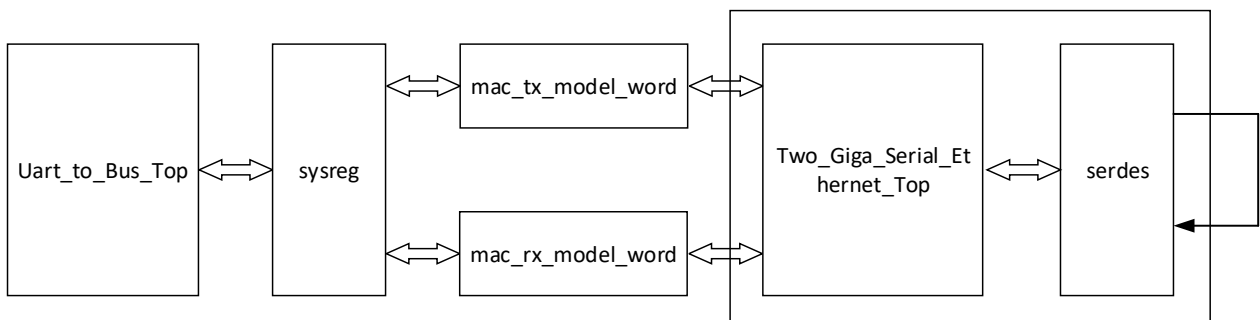
1. SerDes 模块参考时钟由板载晶振产生，时钟为 100MHz，位于 Quad1 的 Refclk0；
2. SerDes 使用 Quad1 的 Lane3 进行数据的传输；
3. 采用可编程的片内晶振，时钟为 210MHz，进行 4 分频后作为 2.5G Serial

Ethernet IP 的输入时钟；

4. 按键 SW1 作为复位信号 rstn 使用，对内部模块进行复位操作，低电平复位；
5. LED 灯 D1 作为 IP 的 Link Up 状态显示 (led_d1)，常亮为 IP Link Up，可进行数据传输；
6. LED 灯 D2 作为 IP 的数据传输状态显示 (led_d2)，常亮为 IP 正在持续收发数据；
7. LED 灯 D3 作为 IP 接收以太网帧状态显示 (led_d3)，常亮为 IP 接收的以太网帧是异常的；
8. LED 灯 D4 作为 IP 接收 Pause 帧状态显示 (led_d4)，常亮为 IP 接收的 Pause 帧是异常的；
9. 板载 200MHZ 时钟经 PLL 生成 10MHZ 时钟，用于 PC 端串口助手与 FPGA 的通信，波特率为 115200。

7.2 实现框图

图 7-2 参考设计实现框图



通过 Uart_to_Bus_Top 模块对自定义的总线协议进行解析，再通过 sysreg 模块转成本地系统配置寄存器，实现对 IP 功能的设置和结果反馈。

SerDes 模块的传输通道为环回模式，Two_Giga_Serial_Ethernet_Top 模块接收来自于 mac_tx_model_word 的传输数据，通过 SerDes 模块的 TX 接口环回到 SerDes 模块的 RX 接口，最终 Two_Giga_Serial_Ethernet_Top 模块再将环回的数据送给 mac_rx_model_word。主要模块如下：

- Uart_to_Bus_Top 模块：串口转总线模块，将串口助手或上位机发送的串口指令转换为总线控制时序；
- sysreg 模块：用于产生本地系统配置寄存器；
- mac_tx_model_word 模块：产生 IP 的发送时序，传输以太网帧和 Pause 帧；
- mac_rx_model 模块：对 IP 接收的以太网帧和 Pause 帧进行分析，反馈异常检测结果；
- Two_Giga_Serial_Ethernet_Top 模块：按照如图 6-3、图 6-4 和图 6-5

进行配置。

7.3 总线协议与地址规划

Gowin UART to Bus IP 核心是一个简单的命令解析器，可用于通过 UART 接口访问内部总线。读写总线协议规定如下：

写总线“W AAAA BBBBBBBB”

读总线“R AAAA”

读总线将会返回如下指令“G AAAA BBBBBBBB”

W 表示写的意思，R 表示读的意思，G 表示读结果返回的意思。中间由空格分开，结尾需输入回车换行。其中 AAAA 表示地址，16 位；BBBBBBBB 表示数据，32 位。详情可以参考 [IPUG1022, Gowin UART to Bus IP 用户手册](#)。

本参考设计中, UART to Bus IP 参数设置如下：

图 7-3 UART to Bus IP 参数设置 1

BasicSlave Address

Bus Config

Bus Mode:

APB

Local

Address Width:

16

bits

Data Width:

32

bits

Timeout Value:

16

clocks

Uart Config

Clock Frequency:

10

(1.000~200.000)MHz

Baudrate Value:

115200

Generation Config

☒ Disable I/O Insertion

图 7-4 UART to Bus IP 参数设置 2

BasicSlave Address

Slave Config

Slave	Base Address	High Address
☒ slave0	0x0000	0x00FF
☐ slave1	0x0100	0x01FF
☐ slave2	0x0200	0x02FF
☐ slave3	0x0300	0x03FF
☐ slave4	0x0400	0x04FF
☐ slave5	0x0500	0x05FF
☐ slave6	0x0600	0x06FF
☐ slave7	0x0700	0x07FF
☐ slave8	0x0800	0x08FF
☐ slave9	0x0900	0x09FF

本参考设计中详细的寄存器地址定义如下：

表 7-1 寄存器地址定义

地址(32bit)	默认值	W/R	描述
0x0000	0x00000000	WR	[0]: 控制数据字段长度变化方式 1: 每帧数据字段长度保持为 DATA_LENGTH_MAX 0: 每帧数据字段长度在 0~ DATA_LENGTH_MAX 之间变化, 且相邻两帧之间相差 DATA_LENGTH_INCREASE
0x0001	0x00000000	WR	[0]: 控制是否传输一帧 Pause 帧 1: 不传输 Pause 帧 0: 传输 Pause 帧
0x0002	0x00000000	WR	[0]: 清除检测结果 1: 清除异常结果或传输帧数 0: 开始重新检测
0x0010	0x00000000	WR	[0]: IP 复位功能 (main_reset) 1: 复位 0: 释放复位
0x0011	0x00000002	WR	[1]: 自协商功能使能 (an_enable) 1: 使能自协商功能 0: 禁用自协商功能 [0]: 重新自协商 1->0: 重新进行自协商
0x0020	0x00000060	WR	[6]: 2.5G SGMII 的双工模式 1: 全双工模式 0: 半双工模式 [5:4]: 2.5G SGMII 的速率 1x: 2500M [1:0]: 协议选择 x0: 2500BASE-X 协议 01: 2.5G SGMII 协议 System Mode 11: 2.5G SGMII 协议 Media Mode
0x0021	0x0000017D	WR	[8:0]: 2500BASE-X 协议的 link 时间设置
0x0022	0x0000003D	WR	[8:0]: 2.5G SGMII 协议的 link 时间设置
0x0030	0x00000001	WR	[5]: 数据传输持续模式, 相当于多次突发 1: 执行数据传输 0: 停止数据传输 [4]: 数据传输突发模式, 一次突发发送 FRM_NUM_MAX 帧以太网帧和一帧 Pause 帧 (由 0x0001 控制是否发送 Pause 帧) 1->0: 执行一次突发 [0]: 除 Uart_to_Bus_Top 和 sysreg 模块外的复位 1: 释放复位 0: 复位
0x0080	-	R	[31]: 自协商完成标志

地址(32bit)	默认值	W/R	描述
			[30:3]: 预留 [2]: 接收的 Pause 帧异常 [1]: 接收的以太网帧异常 [0]: 接收的数据异常
0x0081	-	R	[2]: 对方在 2.5G SGMII 协议下的双工模式 1: 全双工模式 0: 半双工模式 [1:0]: 对方在 2.5G SGMII 协议下的速率 10: 2500M
0x0090	-	R	[11:9]: 默认为 0 [8]: IP Link Up 状态 [7]: mac_rx_model_word 模块的复位状态 [6]: mac_tx_model_word 模块的复位状态 [5]: IP 的复位状态 [4]: Uart_to_Bus_Top 和 sysreg 模块的复位状态 [3:1]: 3'b111 [0]: pll_uart 的 Locked 状态
0x0091	-	R	[1]: 接收以太网数据的帧数溢出标志, 即超出表示范围 [0]: 发送以太网数据的帧数溢出标志, 即超出表示范围
0x0092	-	R	[31:0]: 发送以太网数据的帧数
0x0093	-	R	[31:0]: 接收以太网数据的帧数

7.4 板级测试

7.4.1 操作说明

该示例工程是在 DK_START_GW5AT-LV138FPG676A_V2.0 开发板上实测通过。如果手上没有此开发板, 又想运行此参考设计工程, 需要根据板卡的实际情况修改 2.5G Serial Ethernet IP 的 Channel Selection、Reference Clock Source、Reference Clock Frequency、PLL Selection 选项, 并将串口管脚、时钟输入管脚、复位管脚和 LED 管脚根据您的板卡实际情况进行修改即可用于测试。

修改完成后, 生成 Bit 文件, 下载到 FPGA 中即可开始测试。

7.4.2 操作步骤

板级测试的操作步骤如下:

1. 用射频线将 TX 和 RX 端进行外部环回连接。
2. Bit 文件下载到 FPGA 之后, 您首先需要检查串口指令是否起作用;
输入: W 0003 F5A1490D
输入: R 0003
返回: G 0003 F5A1490D
则表示 PC 与 FPGA 之间的通信是没有问题的, 否则, 首先需要排查不

能通信的原因，才能进行下一步。

3. 查看 LED 灯 D1 状态为常亮，说明 2.5G Serial Ethernet IP 在 2500BASE-X 协议下完成自协商，可进行数据传输，否则需要排查 IP 未协商的原因，才能进行下一步。
4. 获取当前 FPGA 内部的检测结果；
输入：R 0080
返回：G 0080 80000000
表示 IP 已自协商成功，且未检测到收发数据异常。
5. 设置以太网数据传输过程，每帧的负载保持最大，不传输 Pause 帧；
输入：W 0000 00000001
输入：W 0001 00000001
6. 执行数据传输（持续模式），观察 LED 灯 D2 常亮；
输入：W 0030 00000021
7. 一段时间后停止数据传输，观察 LED 灯 D2 常灭；
输入：W 0030 00000001
8. 观察 LED 灯 D3 和 D4 为常灭，表示 IP 数据传输过程无异常；
9. 设置 IP 为 2.5G SGMII 协议的 Media Mode；
输入：W 0020 00000063
10. 设置 IP 重新进行自协商过程；
输入：W 0011 00000003
输入：W 0011 00000002
11. 重复步骤 2~7。
通过板测过程中观察指示灯的情况，可以说明数据的传输是正常的。

8文件交付

Gowin 2.5G Serial Ethernet IP 交付文件主要包含三个部分，分别为：文档、设计源代码和参考设计。

8.1 文档

文件夹主要包含用户指南 PDF 文档。

表 8-1 文档列表

名称	描述
IPUG1172, Gowin 2.5G Serial Ethernet IP 用户指南	Gowin 2.5G Serial Ethernet IP 用户手册，即本手册

8.2 设计源代码（加密）

加密代码文件夹包含 Gowin 2.5G Serial Ethernet IP 的 RTL 加密代码，供 GUI 使用，以配合高云半导体云源软件产生用户所需的 IP 核。

表 8-2 Gowin 2.5G Serial Ethernet IP 设计源代码列表

名称	描述
ge_pcs_wrap.v	IP 核顶层文件，给用户接口信息，加密
ge_pcs.v	IP 核 RTL 设计文件，加密
ge_constants.v	本地静态参数配置文件，加密
static_macro_define.v	本地静态参数配置文件，不加密
define.vh	IP 配置文件，需要 GUI 生成
parameter.vh	IP 配置文件，需要 GUI 生成

8.3 参考设计

Gowin 2.5G Serial Ethernet IP RefDesign 文件夹主要包含 Gowin 2.5G Serial Ethernet IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 8-3 Gowin 2.5G Serial Ethernet IP RefDesign 文件夹内容列表

名称	描述
top.v	参考设计的顶层module
fpga_project.cst	工程物理约束文件
fpga_project.sdc	工程时序约束文件
two_giga_serial_ethernet.v	生成2.5G Serial Ethernet IP顶层文件，加密
serdes.v	SerDes原语以及2.5G Serial Ethernet IP顶层的例化
mac_rx_model_word.v	MAC层RX信号控制模块
mac_tx_model_word.v	MAC层TX信号控制模块
uart_to_bus.v	串口转总线IP，加密
sysreg.v	本地系统配置寄存器模块
button.v	按键消抖模块
pll_uart.v	锁相环IP

