



Gowin USB 2.0 Host Controller IP

用户指南

IPUG1174-1.0,2023-11-16

版权所有 © 2023 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2023/11/16	1.0	初始版本。

目录

目录 i

图目录 ii

表目录 iii

1 关于本手册 1

 1.1 手册内容 1

 1.2 相关文档 1

 1.3 术语、缩略语 2

 1.4 技术支持与反馈 2

2 简介 3

 2.1 概述 3

 2.2 特性 4

 2.3 资源占用 4

3 功能描述 5

 3.1 USB 2.0 Host Controller 结构 5

 3.2 寄存器定义 5

 3.3 Capability 寄存器 6

 3.4 Operational 寄存器 7

 3.5 DMA 寄存器 7

 3.5.1 MEMADDR (DMA Start Address) 7

 3.5.2 DMACONFIG (DMA Configuration) 7

4 信号描述 8

 4.1 信号定义 8

 4.2 USB 2.0 Host Controller SDRAM 接口时序 9

5 界面配置 12

图目录

图 3-1 USB 2.0 Host Controller 功能框图 5

图 4-1 Host Controller 读寄存器时序图 9

图 4-2 Host Controller 写寄存器时序图 10

图 4-3 Host Controller DMA 读时序图 10

图 4-4 Host Controller DMA 写时序图 11

图 5-1 IP Core Generator 选项 12

图 5-2 USB 2.0 Host Controller IP 核 13

图 5-3 USB 2.0 Host Controller 配置界面 13

表目录

表 1-1 术语、缩略语 2

表 2-1 Gowin USB 2.0 Host Controller IP 概述 3

表 2-2 资源占用 4

表 3-1 USB 2.0 Host Controller 内部寄存器分布..... 6

表 3-2 MEMADDR Register 7

表 3-3 DMACONFIG Register 7

表 4-1 信号定义 8

表 4-2 Timing Characteristics 11

1 关于本手册

1.1 手册内容

Gowin® USB 2.0 Host Controller IP 用户指南主要内容包括功能简介、信号定义、功能描述、界面配置,旨在帮助用户快速了解 Gowin USB 2.0 Host Controller IP 的产品特性、特点及使用方法。本手册中的软件界面截图参考的是 1.9.9 Beta-6 版本,因软件版本升级,部分信息可能会略有差异,具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云®半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档。

- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [DS117, GW1NR 系列 FPGA 产品数据手册](#)
- [DS891, GW1NRF 系列蓝牙 FPGA 产品数据手册](#)
- [DS821, GW1NS 系列 FPGA 产生数据手册](#)
- [DS871, GW1NSE 系列安全 FPGA 产品数据手册](#)
- [DS881, GW1NSER 系列安全 FPGA 产品数据手册](#)
- [DS861, GW1NSR 系列 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [DS971, GW2AN-18X & 9X 器件数据手册](#)
- [DS976, GW2AN-55 器件数据手册](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)

- [DS1104, GW5AST 系列 FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
DMA	Direct Memory Access	直接内存访问
IP	Intellectual Property	知识产权
PHY	Port Physical Layer	端口物理层
R/W	Read/Write	读/写
R/WC	Read/Write Clear	读/写清除
RO	Read Only	只读
TD	Transmission Descriptor	传输描述符
ULPI	UTMI+ Low Pin Interface	UTMI 低引脚数接口
USB	Universal Serial Bus	通用串行总线

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

E-mail：support@gowinsemi.com

Tel: 86 755 8262 0391

2简介

2.1 概述

通用串行总线（Universal Serial Bus），通常称为 USB，是一种外部总线，用于规范电脑和外部设备的连接与通讯。

Gowin USB 2.0 Host Controller IP 基于 EHCI 协议，支持 SRAM 接口，可以与任意支持 SRAM 接口的微处理器相连；支持 ULPI 接口，可以与任意支持 ULPI 接口的 USB 2.0 收发器相连。内部包含 24K RAM 空间，以存放传输描述符以及数据。

表 2-1 Gowin USB 2.0 Host Controller IP 概述

Gowin USB 2.0 Host Controller IP	
逻辑资源	请参见表2-2
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
测试平台	Verilog
测试设计流程	
综合软件	GowinSynthesis®
应用软件	Gowin® Software（V1.9.9Beta-5及以上）

注！

可登录[高云半导体网站](#)查看芯片支持信息。

2.2 特性

Gowin USB 2.0 Host Controller IP 特性包括：

- 支持高速传输模式（480Mbps）、全速传输模式（12Mbps）与低速传输模式（1.5Mbps）
- 支持设备插拔检测、复位、高速握手、挂起与唤醒
- 支持控制传输、批量传输、同步传输、以及中断传输
- 支持拆分控制传输、拆分批量传输、拆分同步传输以及拆分中断传输
- 支持 USB 收发器宏单元接口（ULPI）
- 支持 SRAM 接口以及直接内存访问（DMA）操作

2.3 资源占用

通过 Verilog 语言实现 Gowin USB 2.0 Host Controller IP。因使用器件的密度、速度和等级不同，其资源利用情况可能不同。以高云 GW2AN-18 为例，Gowin USB 2.0 Host Controller IP 资源利用情况如表 2-2 所示。

表 2-2 资源占用

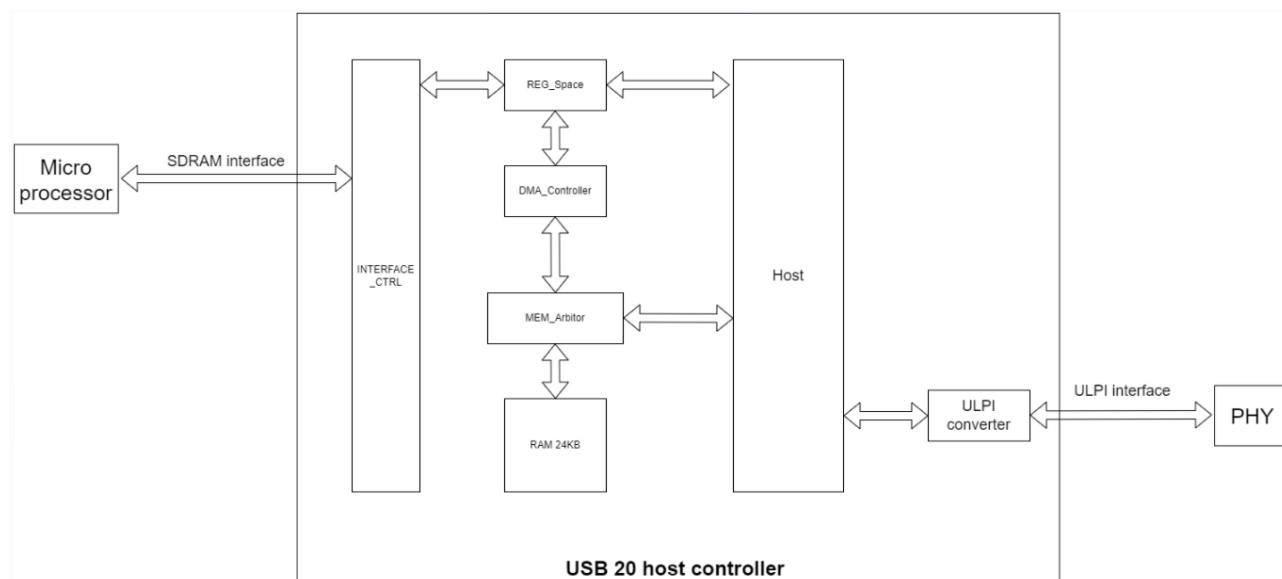
器件系列	速度等级	器件名称	资源利用	备注
GW2AN-18	C7/I6	LUT	6981	-
		REG	3115	
		ALU	1253	
		BSRAM	277	

3 功能描述

3.1 USB 2.0 Host Controller 结构

USB 2.0 Host Controller 位于微处理器与下游 USB 设备之间。USB Host Controller 串联微处理器与下游 USB 设备，接收来自微处理器的命令，实现微处理器及 USB 设备端之间的数据交互。图 3-1 为 USB 2.0 主机控制器功能框图。

图 3-1 USB 2.0 Host Controller 功能框图



3.2 寄存器定义

本节主要介绍 USB 2.0 Host Controller 内部寄存器分布。主机控制器内部寄存器分为三类，分别是 Capability 寄存器，Operational 寄存器以及 DMA 寄存器。

表 3-1 USB 2.0 Host Controller 内部寄存器分布

Address	Size(byte)	Mnemonic	Description
Capability Registers			
00h	1	CAPLENGTH	Capability Register Length
01h	1	Reserved	N/A
02h	2	HCVERSION	Interface Version Number
04h	4	HCCPARAMS	Structural Parameters
08h	4	HCCPARAMS	Capability Parameters
Operational Registers			
0Ch	4	USBCMD	USB Command
10h	4	USBSTS	USB Status
14h	4	USBINTR	USB Interrupt Enable
18h	4	FRINDEX	USB Frame Index
1Ch	4	CTRLDSSEGMENT	4G Segment Selector
20h	4	PERIODICLISTBASE	Frame List Base Address
24h	4	ASYNCLISTADDR	Next Asynchronous List Address
1Ch-3Fh		Reserved	N/A
4Ch	4	CONFIGFLAG	Configured Flag Register
50h	4	PORTSC	Port Status/Control
DMA Registers			
54h	4	MEMADDR	DMA initial address
58h	4	DMACONFIG	DMA configuration

3.3 Capability 寄存器

Capability 寄存器中各字段定义可参考 [Enhanced Host Controller Interface Specification for Universal Serial Bus](#) 协议第 2.2 节。

3.4 Operational 寄存器

Operational 寄存器中各字段定义请参考 [Enhanced Host Controller Interface Specification for Universal Serial Bus](#) 协议第 2.3 节。

3.5 DMA 寄存器

3.5.1 MEMADDR (DMA Start Address)

Address: 54h
Size: 32 bits

此寄存器用于存放每次 DMA 读/写的起始地址。

表 3-2 MEMADDR Register

比特	类型	默认值	描述
31:16	RO	16'b0	Reserved
15:0	R/W	16'b0	DMA读/写起始地址；内部24K RAM寻址范围为0x0000至0x5FFF

3.5.2 DMACONFIG (DMA Configuration)

Address: 58h
Size: 32 bits

此寄存器用于存放每次 DMA 读/写命令。

表 3-3 DMACONFIG Register

比特	类型	默认值	描述
31:18	RO	14'b0	Reserved
17	R/W	1'b0	DMA读/写 0: DMA写 1: DMA读
16	R/W	1'b0	DMA请求 0: 不请求发起DMA 1: 请求发起DMA
15:0	R/W	15'b0	DMA读/写数据长度； 预设每次DMA读/写数据长度，最大值为24K

4信号描述

4.1 信号定义

Gowin USB 2.0 Host Controller IP 信号定义如表 4-1 所示。

表 4-1 信号定义

序号	信号名称	方向	位宽	描述
系统接口				
1	clk_i	I	1	时钟信号
2	rst_n_i	I	1	复位信号，低电平有效
Host Controller SDRAM接口				
3	cs_n_i	I	1	片选信号，低电平有效
4	rd_n_i	I	1	读使能信号，低电平有效
5	wr_n_i	I	1	写使能信号，低电平有效
6	addr_i	I	8	地址总线
7	dack_i	I	1	DMA响应信号，低电平表示用户响应DMA请求
8	dreq_o	O	1	DMA请求信号，高电平表示主机控制器请求发起DMA
9	dat_io	IO	8	数据总线，当rd_n_i为高电平时，呈高阻态
10	hardware_interrupt_o	O	1	主机控制器中断信号，高电平表示主机控制器产生中断
Host Controller PHY接口 ^[1]				
11	phy_clk_o	O	1	ULPI PHY输入时钟
12	phy_rst_o	O	1	ULPI PHY复位信号
13	ulpi_dir_i	I	1	ULPI DIR信号

序号	信号名称	方向	位宽	描述
14	ulpi_data_io	IO	8	ULPI DATA信号
15	ulpi_nxt_i	I	1	ULPI NXT信号
16	ulpi_stp_o	O	1	ULPI STP信号

注！

[1]此接口用于连接外部 ULPI PHY。

4.2 USB 2.0 Host Controller SDRAM 接口时序

当用户需要读寄存器时，把 cs_n_i 置 0，把 addr_i 置为寄存器地址，控制 rd_n_i 产生一次负脉冲。读数据会在 rd_n_i 下降沿的 Toe 后输出在 dat_io 上。

当用户需要写寄存器时，把 cs_n_i 置 0，把 addr_i 置为寄存器地址，把写数据输入到 dat_io 上，控制 wr_n_i 产生一次负脉冲。写数据会在 wr_n_i 上升沿的 Tadhwh 后写入到目的寄存器。

- 注！
- 每次对寄存器的读写操作都需要以 4 字节作为单位。
 - 时序特征可参考表 4-2。

图 4-1 和图 4-2 分别是读写寄存器时序图。

图 4-1 Host Controller 读寄存器时序图

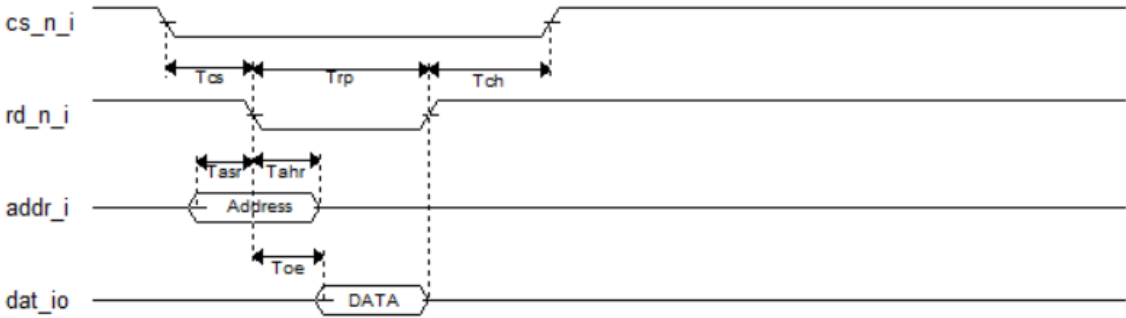
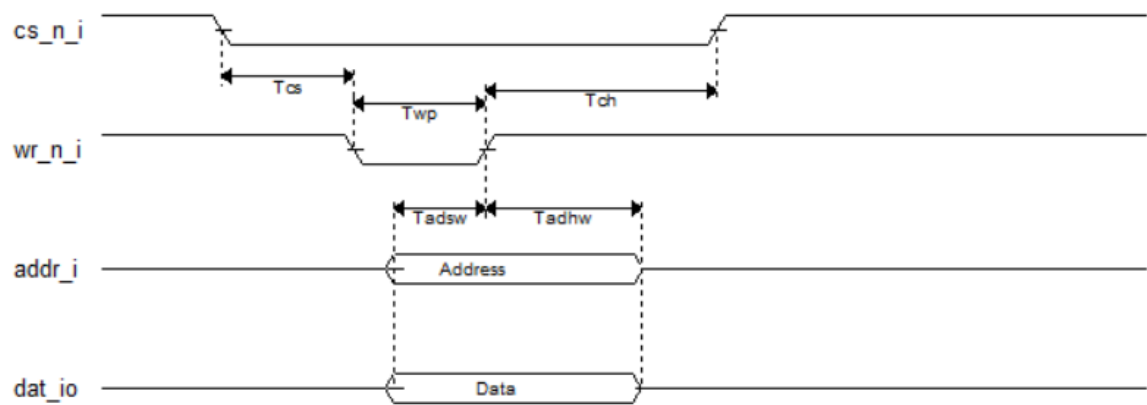


图 4-2 Host Controller 写寄存器时序图



当用户需要读写内部 RMA 时，需要通过 DMA 方式。若用户需要发起一次 DMA，需要先将访问起始地址写入寄存器 MEMADDR，再将 DMA 写/读命令以及数据长度写入 DMACONFIG 寄存器，并将其中 DMA enable 字段置 1。等待主机控制器将 `dreq_o` 置 1 后，用户将 `dack_i` 置 0，进入 DMA 写/读模式。

在 DMA 读过程中，用户控制 `rd_n_i` 产生负脉冲，主机控制器将数据按照地址顺序，在每个 `rd_n_i` 下降沿后的 T_{oe} 后，输出至数据总线。

在 DMA 写过程中，用户控制 `wr_n_i` 产生负脉冲，主机控制器将数据按照地址顺序，在每个 `wr_n_i` 上升沿写入内部 RAM 空间。

在 DMA 读写过程中，主机控制器计算 `wr_n_i`/`rd_n_i` 脉冲个数，当数量达到 DMACONFIG 中预设的字节长度时，主机控制器将 `dreq_o` 置 0，结束本次 DMA。

图 4-3 和图 4-4 分别是 DMA 读写时序图。

图 4-3 Host Controller DMA 读时序图

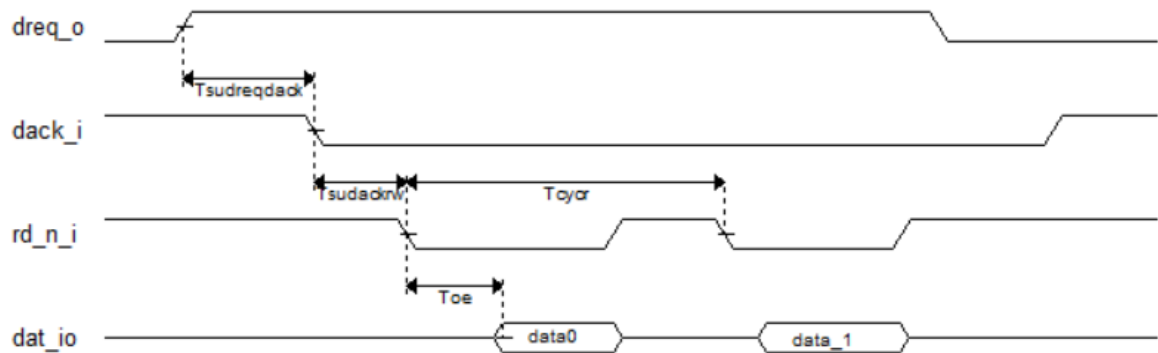


图 4-4 Host Controller DMA 写时序图

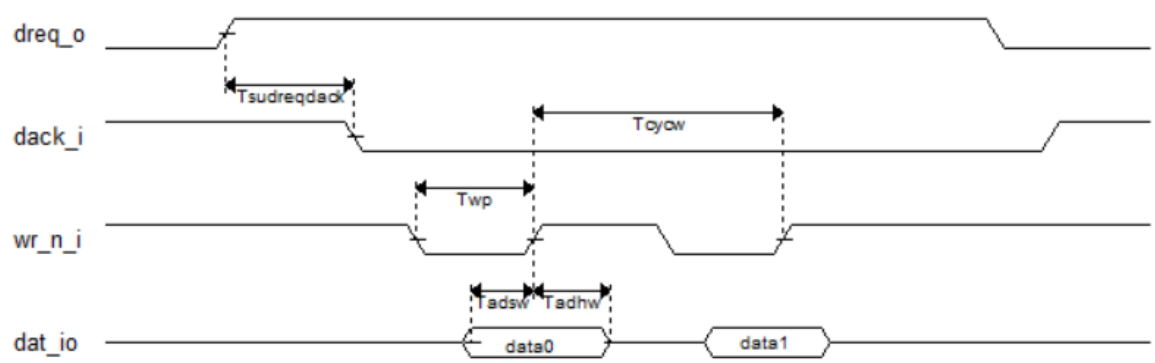


表 4-2 Timing Characteristics

参数	描述	Min	Max	单位
Tcs	cs_n_i在wr_n_i /rd_n_i置0前的建立时间	0	-	ns
Tch	cs_n_i在wr_n_i/rd_n_i置1后的保持时间	0	-	ns
Tadsw	addr_i和dat_io在wr_n_i置1前的建立时间	0	-	ns
Tadhw	addr_i和dat_io在wr_n_i置1后的保持时间	34	-	ns
Tasr	addr_i在rd_n_i置0前的建立时间	0	-	ns
Tahr	addr_i在rd_n_i置0后的保持时间	34	-	ns
Toe	rd_n_i置0至数据有效时间	50	-	ns
Twp	wr_n_i脉冲宽度	17	-	ns
Trp	rd_n_i脉冲宽度	68	-	ns
Tsudreqdack	dreq_o在dack_i置0前的建立时间	0	-	ns
Tsudackrw	dack_i在rd_n_i/wr_n_i置0前的保持时间	0	-	ns
Tcycr	DMA读周期	85	-	ns
Tcycw	DMA写周期	51	-	ns

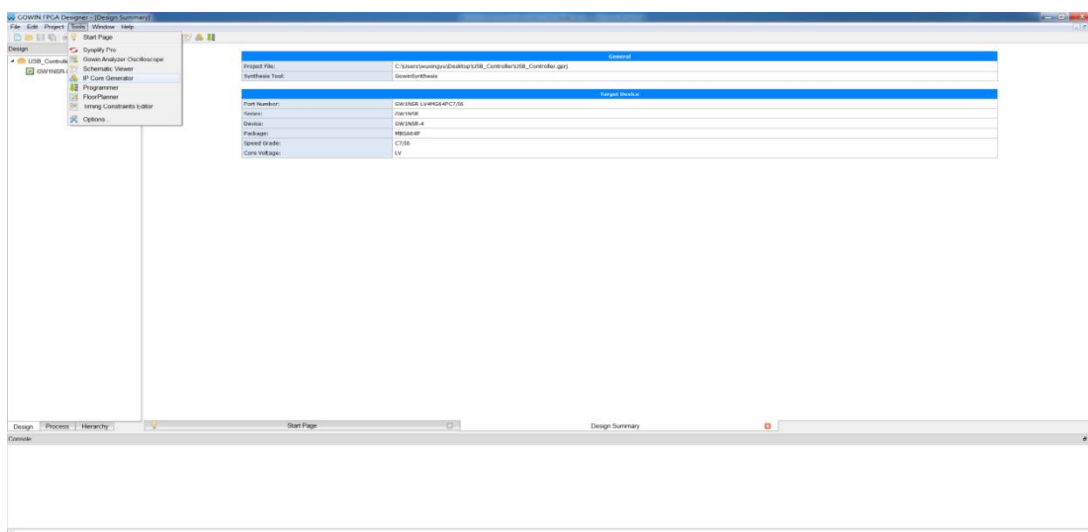
5 界面配置

在高云半导体云源®软件界面菜单栏 **Tools** 下，可启动 IPCore Generator 工具，完成调用并配置 USB 2.0 Host Controller。

1. 打开 IP Core Generator

建立工程后，点击左上角“Tools”选项卡，下拉单击“IP Core Generator”选项，就可打开 IP 核产生工具，如图 5-1 所示。

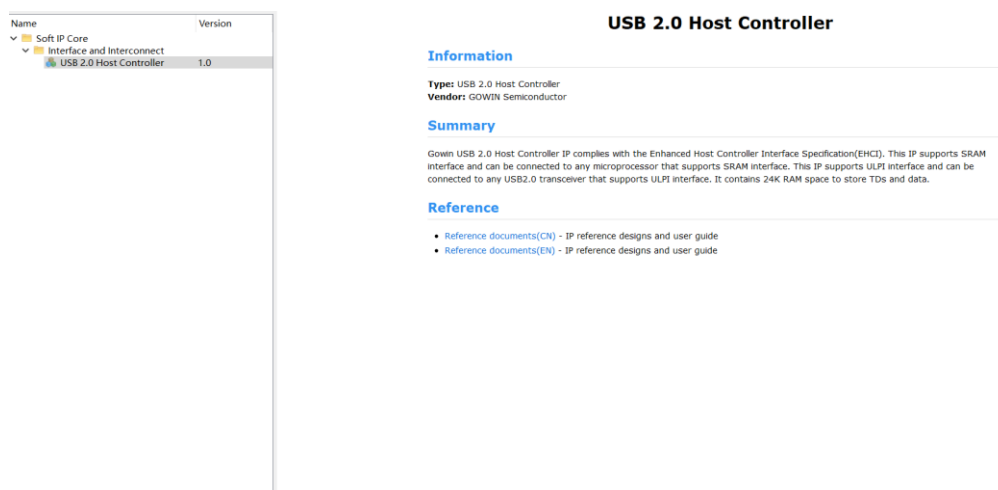
图 5-1 IP Core Generator 选项



2. 打开 USB 2.0 Host Controller IP 核

选择 “Soft IP Core> Interface and Interconnect>USB 2.0 Host Controller IP”，如图 5-2 所示，双击即可打开配置界面。

图 5-2 USB 2.0 Host Controller IP 核



3. USB 2.0 Host Controller IP 核配置界面

USB 2.0 Host Controller IP 核配置界面如图 5-3 所示。配置界面左侧是 USB2.0 Host Controller IP 核的接口示意图，右侧为配置选项。

- 用户可通过修改 **File Name**，配置产生文件名称；
- 可通过修改 **Module Name**，配置产生的顶层模块名称。

图 5-3 USB 2.0 Host Controller 配置界面

