



Gowin SLVS-EC RX IP 用户指南

IPUG1176-1.0,2023-12-08

版权所有 © 2023 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2023/12/08	1.0	初始版本。

目录

目录	i
图目录	ii
表目录	iii
1 关于本手册	1
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语.....	1
1.4 技术支持与反馈.....	2
2 概述	3
2.1 概述.....	3
2.2 主要特征.....	3
2.3 资源利用.....	4
3 功能描述	5
3.1 系统框图.....	5
3.2 功能模块.....	5
3.2.1 结构框图.....	5
3.2.2 SerDes 时钟.....	6
3.2.3 SerDes 数据.....	6
3.3 端口列表.....	6
3.4 参数配置.....	9
3.5 时序说明.....	10
4 界面配置	11
5 参考设计	17
6 文件交付	18
6.1 文档.....	18
6.2 设计源代码（加密）.....	18
6.3 参考设计.....	18

图目录

图 3-1 Gowin SLVS-EC RX IP 系统框图	5
图 3-2 Gowin SLVS-EC RX IP 结构框图	6
图 3-4 Gowin SLVS-EC RX IP 端口示意图	7
图 3-5 视频接口时序示意图	10
图 4-1 打开 IP Core Generator	11
图 4-2 打开 Serdes IP 配置界面	12
图 4-3 打开 SLVS-EC RX 配置界面	13
图 4-4 SLVS-EC RX 配置界面示意图	13
图 4-5 基本信息配置界面	14
图 4-6 PHY Configuration 选项卡	14
图 4-6 Channel Bonding 选项卡	15
图 4-7 Serdes IP 配置界面显示 SLVS-EC RX IP	15
图 5-1 参考设计基本结构框图	17

表目录

表 1-1 术语、缩略语.....	1
表 2-1 Gowin SLVS-EC RX IP.....	3
表 2-2 Gowin SLVS-EC RX IP 占用资源.....	4
表 3-1 Gowin SLVS-EC RX IP 的端口列表.....	8
表 3-2 Gowin SLVS-EC RX IP 参数.....	9
表 6-1 文档内容列表.....	18
表 6-2 Gowin SLVS-EC RX IP 文件列表.....	18
表 6-3 Gowin SLVS-EC RX RefDesign 文件夹主要内容列表.....	18

1 关于本手册

1.1 手册内容

Gowin® SLVS-EC RX IP 用户指南主要内容包括产品概述、功能描述、配置调用、参考设计等，旨在帮助用户快速了解 Gowin SLVS-EC RX IP 的特性及使用方法。本手册中的软件界面截图参考的是 V1.9.9 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云®半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1104, GW5AST 系列 FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
CDR	Clock Data Recovery	时钟数据恢复
DC	Digital Camera	数字相机
DE	Data Enable	数据使能
FPGA	Field Programmable Gate Array	现场可编程门阵列
IP	Intellectual Property	知识产权
SerDes	Serializer/Deserializer	串行器/解串器
SLVS-EC	Scalable Low Voltage Signaling Embedded Clock	可扩展嵌入式时钟低压信令
VICAP	Video Capture	视频捕捉
HS	Horizontal Sync	水平同步
VS	Vertical Sync	垂直同步

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

2.1 概述

Gowin SLVS-EC RX IP 实现了 Sony 推出的 SLVS-EC 接口标准功能描述，为用户提供了一个通用的访问接口，用于高帧率和高分辨率图像采集，它可以将高速串行的数据转化为 DC（Digital Camera）时序后传递给下一级模块 VICAP（Video Capture）。

Gowin SLVS-EC RX IP 符合 SLVS-EC Specification Version 1.2 规范，支持 ECC/CRC 校验。Gowin SLVS-EC RX IP 为用户提供了一个 SerDes 物理层访问接口，使用户能够方便地实现 SLVS-EC 协议层与物理层的连接。

表 2-1 Gowin SLVS-EC RX IP

Gowin SLVS-EC RX IP	
逻辑资源	请参见表 2-2。
交付文件	
设计文件	Verilog（encrypted）
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis®
应用软件	Gowin Software（V1.9.9 及以上）

注！

可登录[高云半导体网站](#)查看芯片支持信息。

2.2 主要特征

- 支持配置 1、2、4、8 lane 传输
- 单通道速率可支持 1.188/2.376Gbps 等
- 支持 ECC/CRC 校验

2.3 资源利用

通过 Verilog 语言实现 Gowin SLVS-EC RX IP。因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。以高云 GW5AST 系列 FPGA 为例，Gowin SLVS-EC RX IP 资源利用情况如表 2-2 所示。

表 2-2 Gowin SLVS-EC RX IP 占用资源

器件	GW5AST-138
Register	1297
LUT	3859

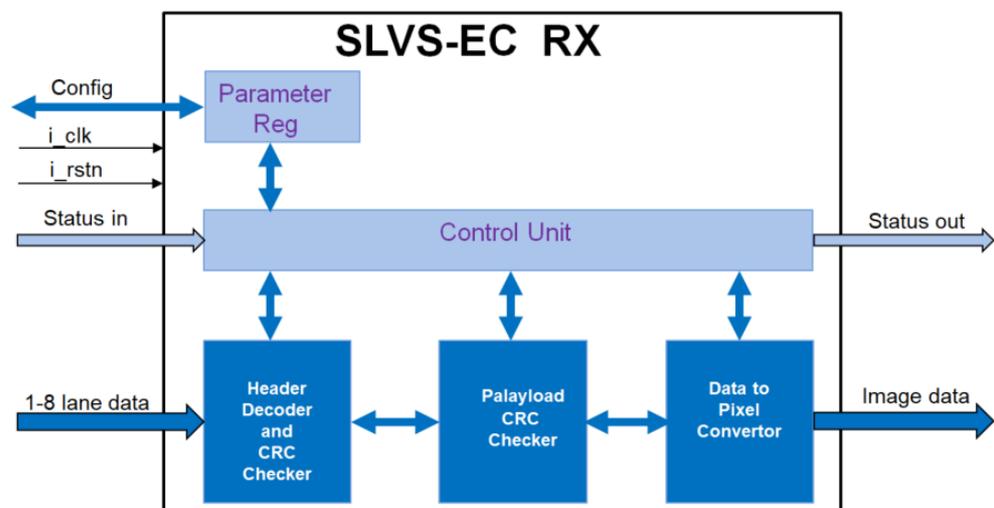
3 功能描述

3.1 系统框图

Gowin SLVS-EC RX IP 的作用就是将高速串行的数据转化为 DC 时序后传递给下一级模块 VICAP (Video Capture)。

Gowin SLVS-EC RX IP 系统框图如图 3-1 所示。

图 3-1 Gowin SLVS-EC RX IP 系统框图

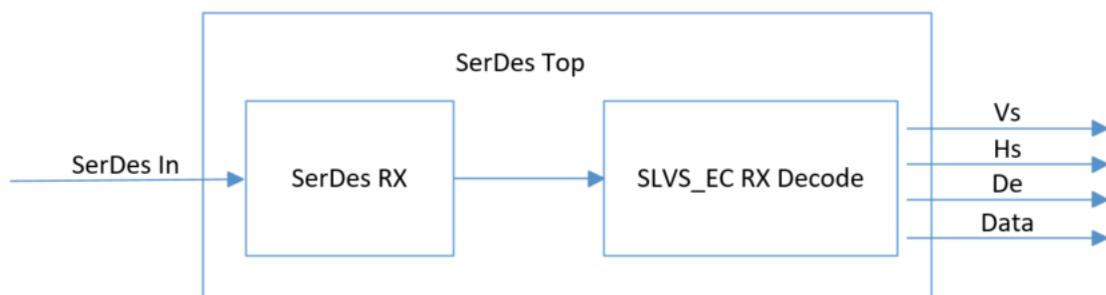


3.2 功能模块

3.2.1 结构框图

Gowin SLVS-EC RX IP 结构框图如图 3-2 所示。

图 3-2 Gowin SLVS-EC RX IP 结构框图



如上图，接收部分由以下 2 个模块组成：

- SerDes RX：接收串行数据，并把它并行化输出。
- SLVS-EC RX Decode：对 SerDes 提供的并行数据进行解码。

3.2.2 SerDes 时钟

SerDes 发送时钟由 CPLL/QPLL 生成。用户在配置通道时，需要配置通道的速率、所使用的 PLL（CPLL/QPLL）和参考时钟源及其频率。根据以上配置，IP 配置 SerDes PLL 生成高速时钟，用于数据的发送。同时，SerDes 会根据用户配置，将高速时钟分频输出，作为 Fabric 发送时钟使用。

SerDes 接收时钟由 CDR 通过数据恢复，CDR 输出恢复后的串行数据时钟供接收模块使用。同时 SerDes 会根据用户配置，把串行数据时钟分频输出，作为 Fabric 接收时钟使用。

用户配置数据速率为 1.188Gbps，并行数据位宽为 20bits，Fabric 发送时钟为 $1.188\text{Gbps}/20=59.4\text{MHz}$ 。

用户配置数据速率为 2.376Gbps，并行数据位宽为 20bits，Fabric 发送时钟为 $2.376\text{Gbps}/20=118.8\text{MHz}$ 。

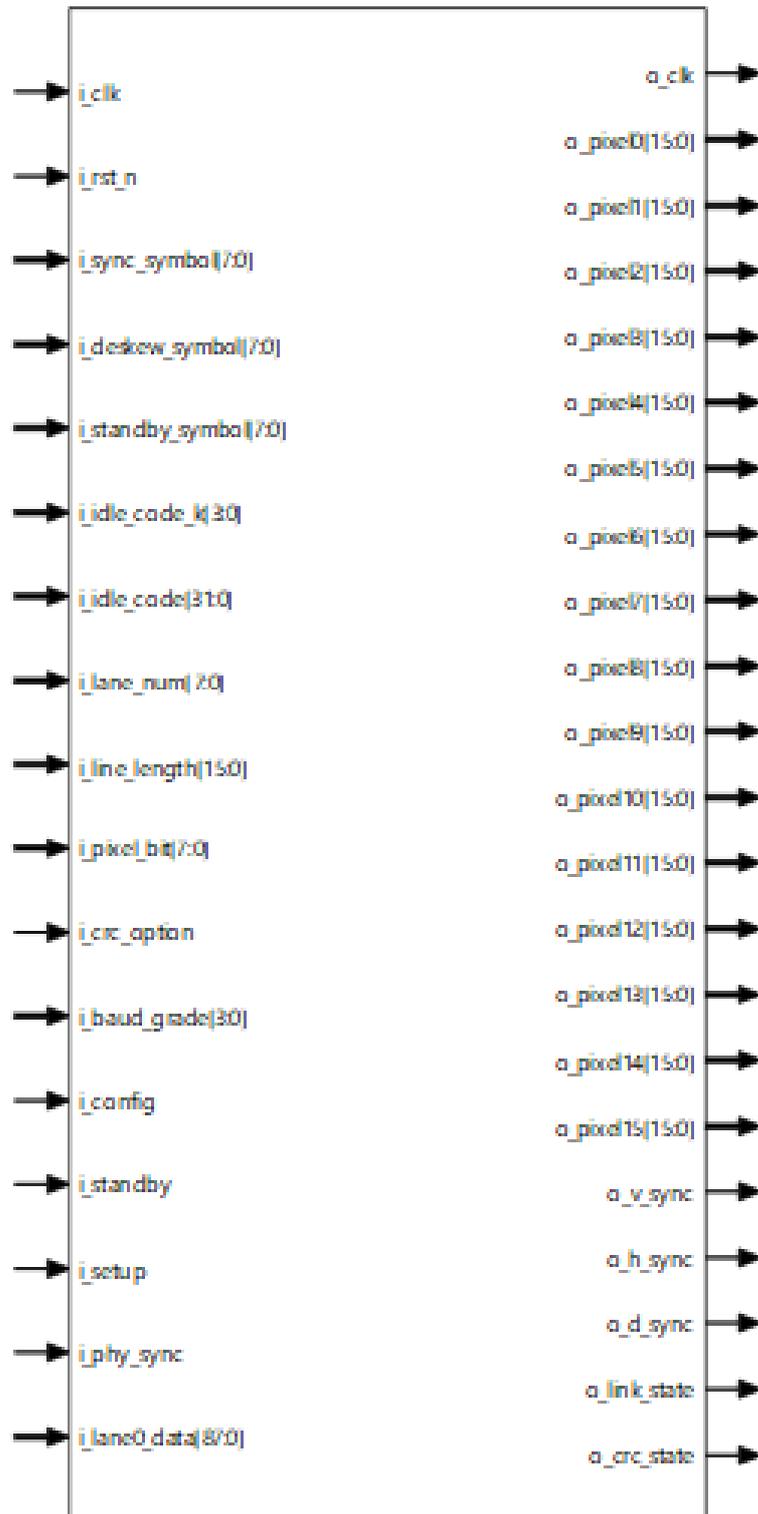
3.2.3 SerDes 数据

Gowin SLVS-EC RX IP SerDes 数据固定 20 bits。SerDes 发送数据传输顺序方面，txdata 低 bit 位 lsb 先发送。SerDes 接收数据传输顺序方面，rxdata 低 bit 位 lsb 先接收。

3.3 端口列表

Gowin SLVS-EC RX IP 的 IO 端口如图 3-3 所示。

图 3-3 Gowin SLVS-EC RX IP 端口示意图



根据配置参数不同，端口会略有不同。

Gowin SLVS-EC RX IP 的 IO 端口详细描述如表 3-1 所示。

表 3-1 Gowin SLVS-EC RX IP 的端口列表

信号名称	方向	位宽	描述	备注
i_clk	input	1	SerDes RX 时钟输入	输入输出方向均以 SLVS-EC RX IP 为参考。
o_clk	output	1	时钟输出到用户逻辑	
i_rst_n	input	1	复位信号，低电平有效	
i_sync_symbol	input	[7:0]	sync_code 数值	
i_deskew_symbol	input	[7:0]	deskew_code 数值	
i_standby_symbol	input	[7:0]	standby_code 数值	
i_idle_code_k	input	[3:0]	idle_code K 码	
i_idle_code	input	[31:0]	idle_code 数值	
i_lane_num	input	[7:0]	使用的 lane 数量，1、2、4、6、8 可选	
i_line_length	input	[15:0]	一行图像数据长度	
i_pixel_bit	input	[7:0]	像素位宽，8、10、12、14、16 可选	
i_ecc_option	input	[1:0]	ECC 功能选择 0:关闭 1: 开启 (parity 2 byte) 2: 开启 (parity 4 byte)	
i_crc_option	input	1	CRC 功能选择 0: 关闭 1: 开启	
i_baud_grade	input	[3:0]	(备用参数)	
i_config	input	1	配置设置，默认为 1	
i_standby	input	1	状态设置，默认为 0	
i_setup	input	1	配置设置，默认为 1	
i_phy_sync	input	1	接收同步数据信号，默认为 1	
i_lane0_data	input	[87:0]	SerDes RX 数据输入端口 1	
i_lane1_data	input	[87:0]	SerDes RX 数据输入端口 2	
i_lane2_data	input	[87:0]	SerDes RX 数据输入端口 3	
i_lane3_data	input	[87:0]	SerDes RX 数据输入端口 4	
i_lane4_data	input	[87:0]	SerDes RX 数据输入端口 5	
i_lane5_data	input	[87:0]	SerDes RX 数据输入端口 6	
i_lane6_data	input	[87:0]	SerDes RX 数据输入端口 7	
i_lane7_data	input	[87:0]	SerDes RX 数据输入端口 8	
o_pixel0	output	[15:0]	图像数据输出端口 0	
o_pixel1	output	[15:0]	图像数据输出端口 1	
o_pixel2	output	[15:0]	图像数据输出端口 2	
o_pixel3	output	[15:0]	图像数据输出端口 3	
o_pixel4	output	[15:0]	图像数据输出端口 4	

信号名称	方向	位宽	描述	备注
o_pixel5	output	[15:0]	图像数据输出端口 5	
o_pixel6	output	[15:0]	图像数据输出端口 6	
o_pixel7	output	[15:0]	图像数据输出端口 7	
o_pixel8	output	[15:0]	图像数据输出端口 8	
o_pixel9	output	[15:0]	图像数据输出端口 9	
o_pixel10	output	[15:0]	图像数据输出端口 10	
o_pixel11	output	[15:0]	图像数据输出端口 11	
o_pixel12	output	[15:0]	图像数据输出端口 12	
o_pixel13	output	[15:0]	图像数据输出端口 13	
o_pixel14	output	[15:0]	图像数据输出端口 14	
o_pixel15	output	[15:0]	图像数据输出端口 15	
o_v_sync	output	1	图像数据的 vs 输出	
o_h_sync	output	1	图像数据的 hs 输出	
o_d_sync	output	1	图像数据的 de 输出	
o_link_state	output	1	连接状态输出	
o_crc_state	output	1	CRC 校验状态输出 0: 正确 1: 错误	

3.4 参数配置

表 3-2 Gowin SLVS-EC RX IP 参数

序号	参数名称	允许范围	默认值	描述
1	Err Correction	Q0/Q1	CRC	Err Correction 选择
2	Channel Selection	Q0 Lane0 Q0 Lane1 Q0 Lane2 Q0 Lane3 Q1 Lane0 Q1 Lane1 Q1 Lane2 Q1 Lane3	Q0 Lane0	SerDes 通道选择
3	Loopback Mode	OFF LB_NES LB_FES LB_ENC	OFF	OFF: 不环回, 正常工作模式 LB_NES: 模拟侧向内环 LB_FES: 模拟侧向外环 LB_ENC: 数字侧向内环
4	Line Rate	1.188/2.376 Gbps	1.188	配置发送数据速率
5	Reference Clock Source	Q0 REFCLK0 Q0 REFCLK1	Q0 REFCLK0	选择参考时钟源

序号	参数名称	允许范围	默认值	描述
		Q1 REFCLK0 Q1 REFCLK1		
6	Reference Clock Frequency	50-500MHz	148.5	配置参考时钟频率
7	PLL Selection	CPLL QPLL0 QPLL1	CPLL	选择 PLL

3.5 时序说明

本节介绍 Gowin SLVS-EC RX IP 的时序情况。

Gowin SLVS-EC RX 视频接口输出时序图如图 3-4 所示。

图 3-4 视频接口时序示意图



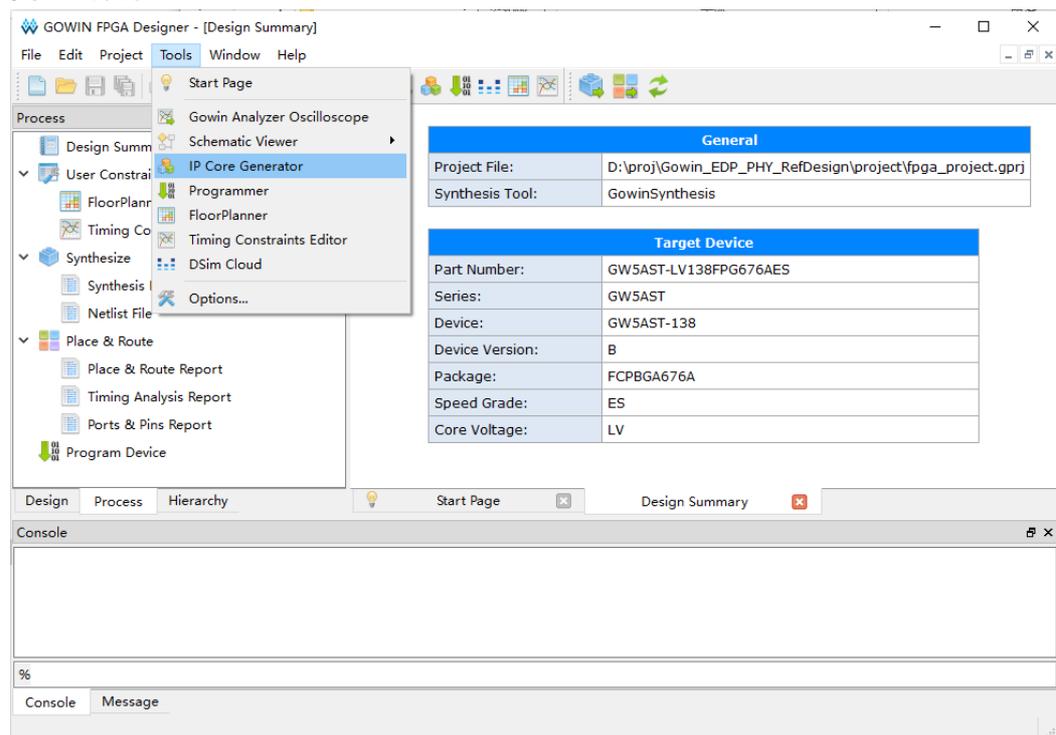
4 界面配置

用户可在高云半导体云源®软件中的 IP 内核生成器工具调用和配置高云 SLVS-EC RX IP。

1. 打开 IP Core Generator

用户建立工程后，单击左上角“Tools”选项卡，下拉单击“IP Core Generator”选项，即可打开 Gowin IP Core Generator，如图 4-1 所示。

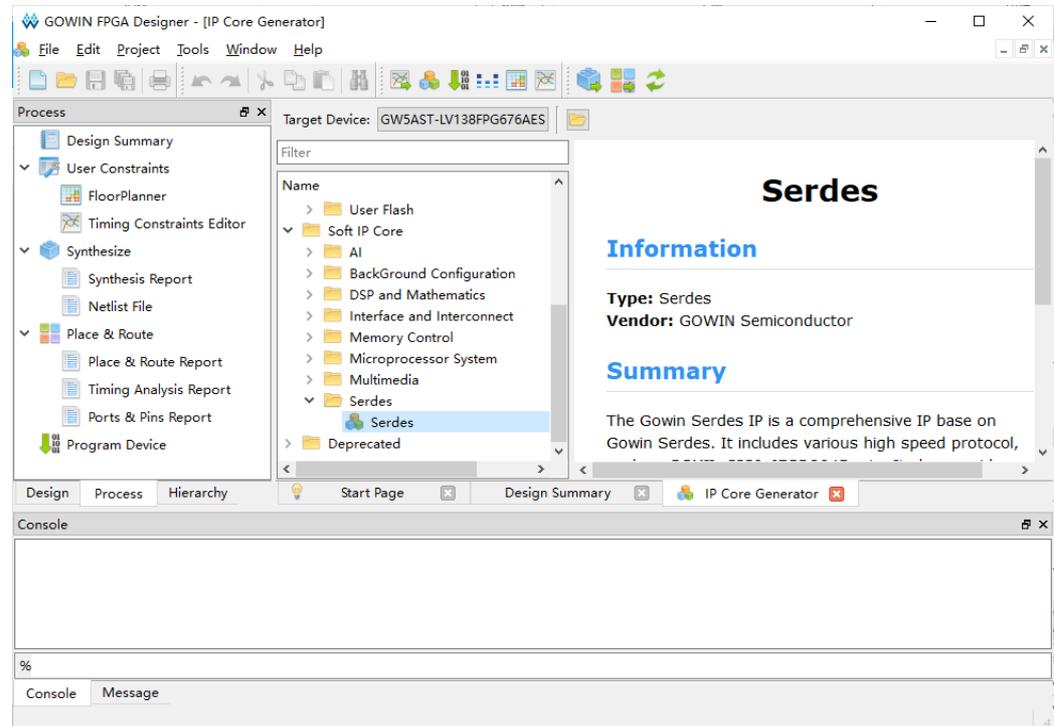
图 4-1 打开 IP Core Generator



2. 打开 SerDes IP 配置界面

双击“Serdes”，打开 Serdes IP 核的配置界面，如图 4-2 所示。

图 4-2 打开 Serdes IP 配置界面



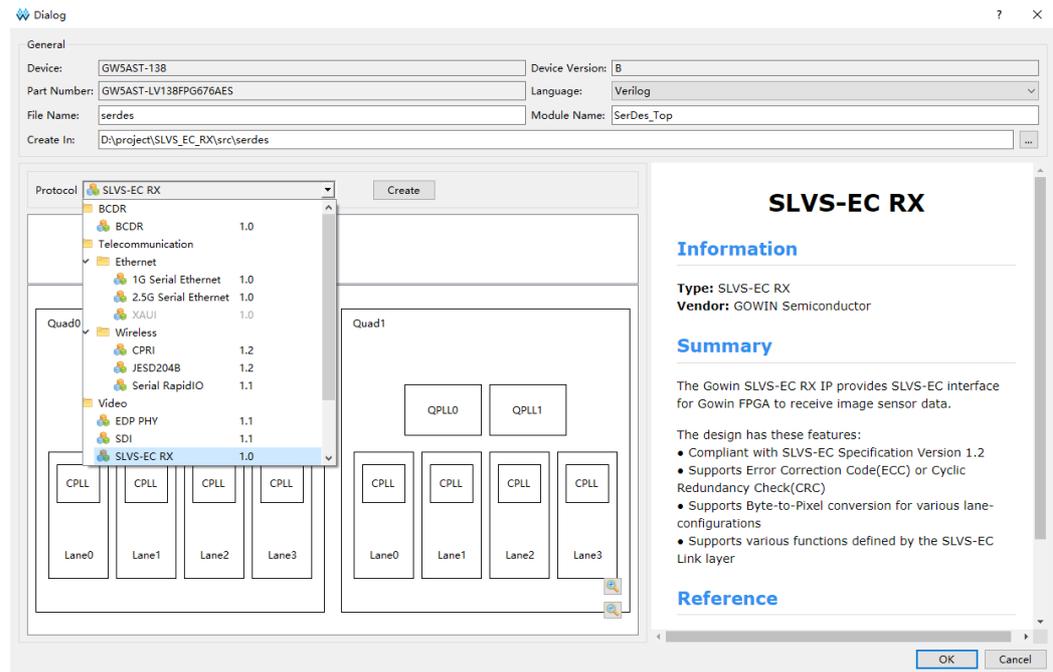
3. 打开 SLVS-EC RX 配置界面

在 Serdes IP 界面中首先配置“General”选项卡：

- **Device、Device Version、Part Number** 选项：芯片型号设置，由当前工程选择的芯片型号决定，用户无法设置；
- **Language** 选项：支持 Verilog 和 VHDL 两种选择，根据自身需要选择对应的语言类型，默认选择 Verilog；
- **File Name、Module Name、Create In** 选项：Serdes 的文件名、模块名和文件生成路径设置。

然后在 Serdes IP 配置界面的“Protocol”选项中选择“SLVS-EC RX”选项，然后点击“Create”按钮，如图 4-3 所示。

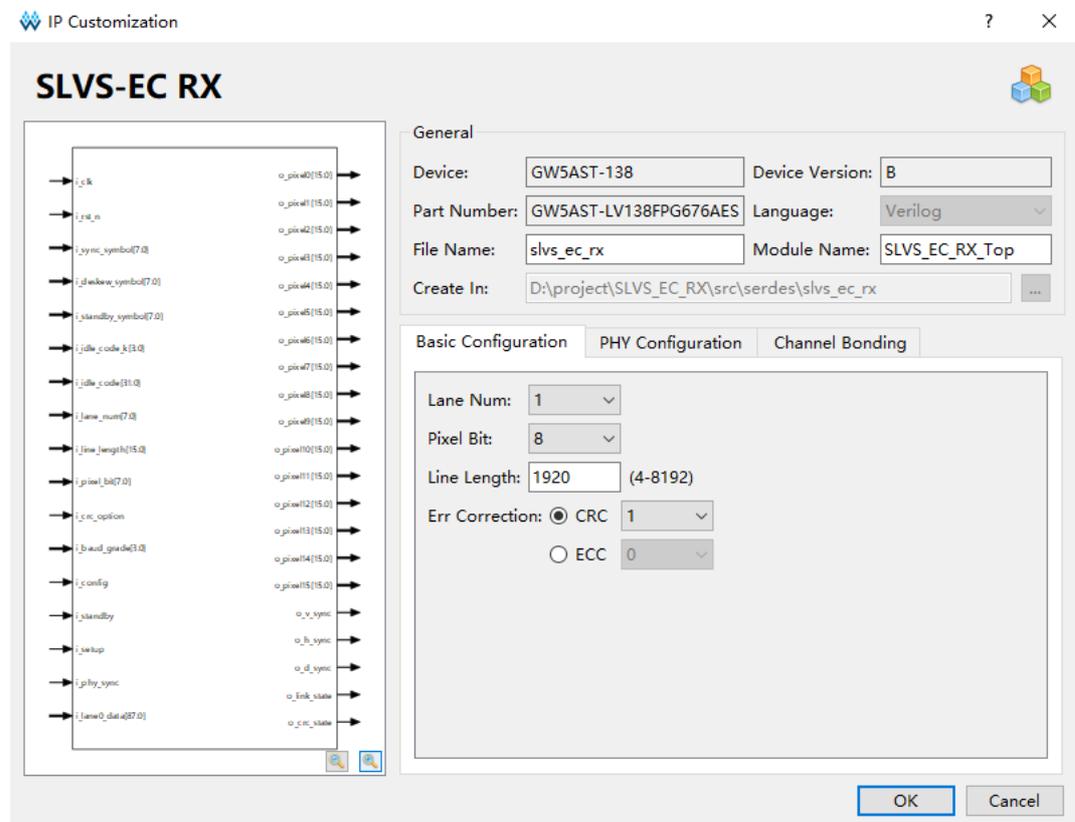
图 4-3 打开 SLVS-EC RX 配置界面



4. SLVS-EC RX 配置界面

配置界面示意图如图 4-4 所示。配置界面左侧是 SLVS-EC RX IP 的接口示意图，右侧是 SLVS-EC RX IP 参数配置选项。

图 4-4 SLVS-EC RX 配置界面示意图



配置基本信息，如图 4-5 所示。在配置界面的上部分是工程基本信息配置界面。**Module Name** 选项后面是工程产生顶层模块的名字，默认为“xxx_Top”，用户可自行修改。“**File Name**”是 IP 文件产生的文件夹，存放 IP 所需文件，默认为“slvs_ec_rx”，用户可自行修改路径。

图 4-5 基本信息配置界面

The screenshot shows a 'General' configuration window with the following fields:

- Device:** GW5AST-138
- Device Version:** B
- Part Number:** GW5AST-LV138FPG676AES
- Language:** Verilog (dropdown menu)
- File Name:** slvs_ec_rx
- Module Name:** SLVS_EC_RX_Top
- Create In:** D:\project\SLVS_EC_RX\src\serdes\slvs_ec_rx (with a browse button)

配置 PHY Configuration 选项卡，如图 4-6 所示。线速率和参考时钟之间有限制关系，务必要确定该参考时钟能够生成上述线速率，也可通过“**Calculate**”按钮进行检测。

图 4-6 PHY Configuration 选项卡

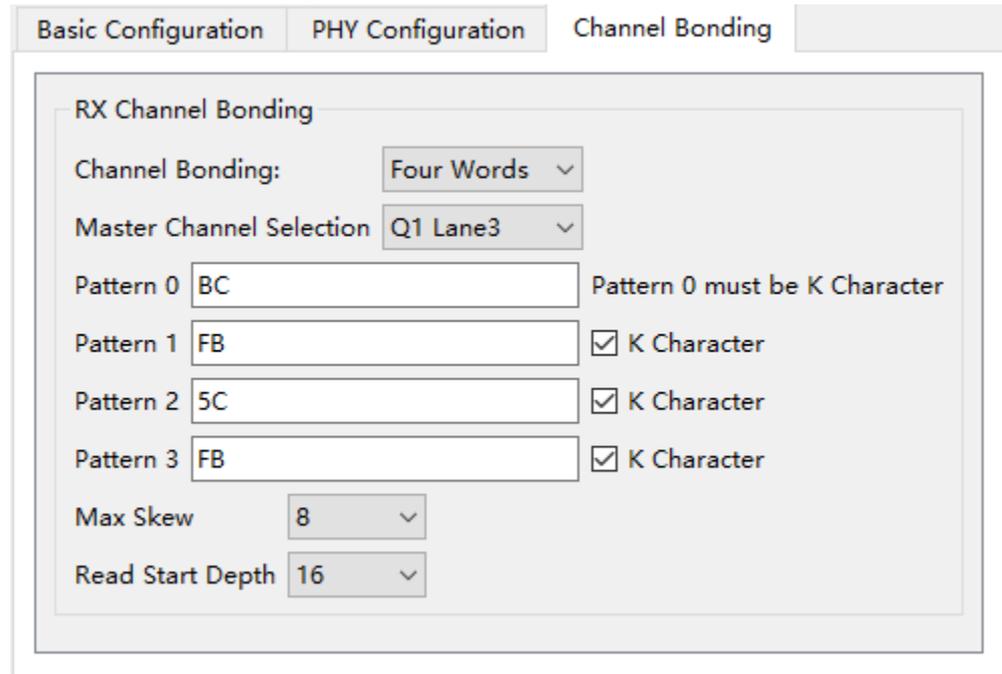
The screenshot shows the 'PHY Configuration' tab with the following settings:

- Channel Selection:**
 - SLVS_EC_LANE0: Q1 Lane3
 - SLVS_EC_LANE1: Q0 Lane1
 - SLVS_EC_LANE2: Q0 Lane2
 - SLVS_EC_LANE3: Q0 Lane3
 - SLVS_EC_LANE4: Q1 Lane0
 - SLVS_EC_LANE5: Q1 Lane1
 - SLVS_EC_LANE6: Q1 Lane2
 - SLVS_EC_LANE7: Q1 Lane3
- RX Line Rate:** 1.188 (Gbps)
- Loopback Mode:** OFF
- Refclk Selection:**
 - Reference Clock Source: Q1 REFCLK1
 - Reference Clock Frequency: 148.5 (MHz)
- PLL Selection:**
 - PLL Selection Q0: NONE
 - PLL Selection Q1: QPLL1

A **Calculate** button is located at the bottom right of the configuration area.

配置 Channel Bonding 选项卡，如图 4-6 所示。使用 Channel 数量两个或以上，务必要 Channel Bonding 设置；任选一通道作为 Master Channel，选择对齐码及其数量。

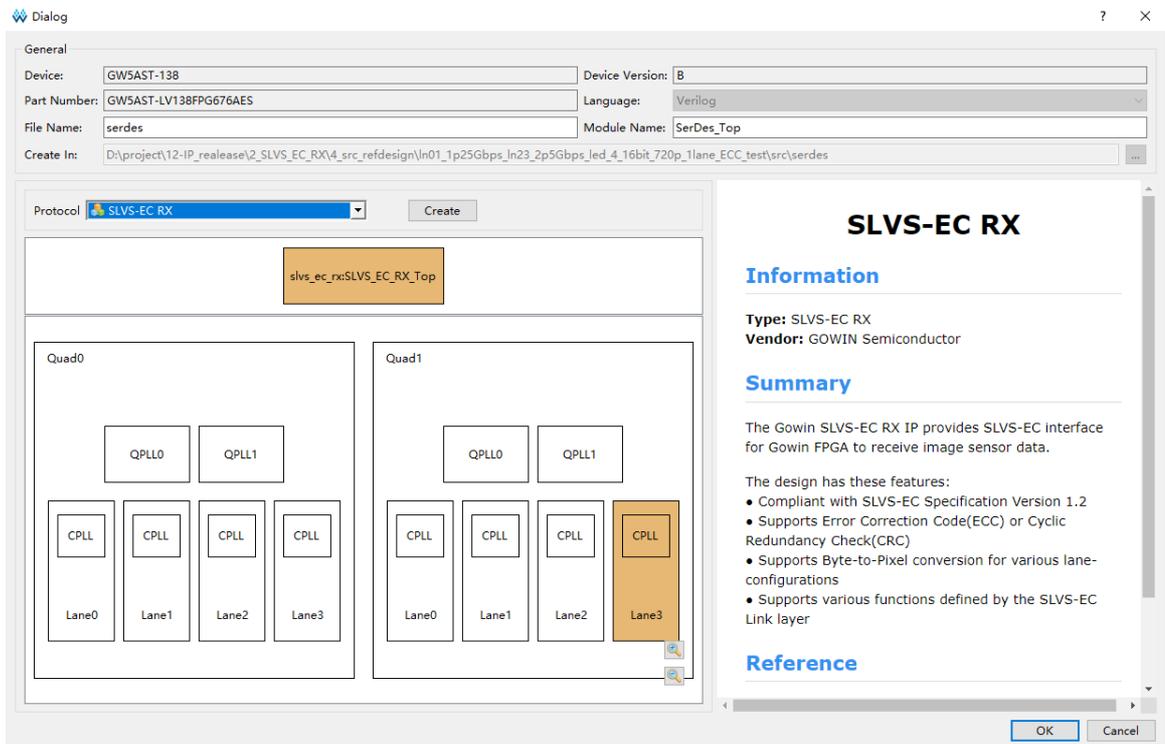
图 4-7 Channel Bonding 选项卡



5. 生成 IP

完成 SLVS-EC RX IP 界面配置后，点击界面右下角的“OK”按钮，可生成 SLVS-EC RX IP 相关文件，并返回到 Serdes IP 配置界面，此时 Serdes IP 配置界面中显示当前已经生成的 IP 及对应的 Quad、PLL 和 Lane 使用情况，如图 4-8 所示。

图 4-8 Serdes IP 配置界面显示 SLVS-EC RX IP



然后，点击界面右下角的“OK”按钮，可生成 Serdes IP 相关文件，完成整个 IP 的生成过程。

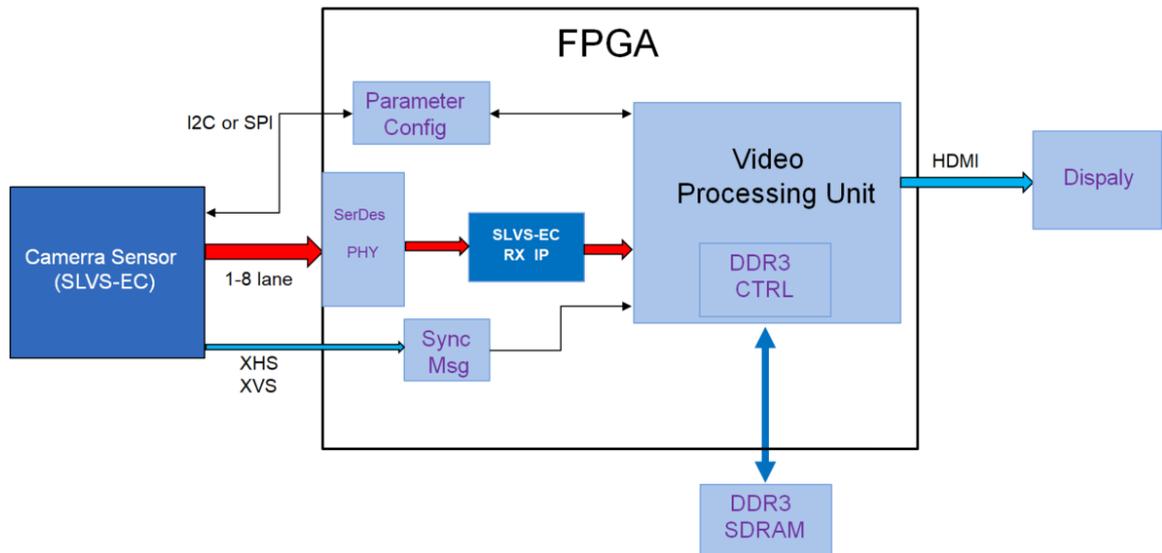
5 参考设计

本节主要介绍 SLVS-EC RX IP 的参考设计实例的搭建及使用方法。详细信息请参见高云半导体官网给出的 SLVS-EC RX IP 相关参考设计。

- 本参考设计使用以下开发板：
EVAL_DDR3-PSRAM-SLVS_GW5AT-LV138FPG676_V1.0
- SLVS_EC_IMX421_DaughterCard

参考设计基本结构框图如图 5-1 所示。

图 5-1 参考设计基本结构框图



在参考设计中，采用的是 TX 和 RX 各自独立验证的方式。Camera Sensor 模块产生 SLVS-EC 协议视频信号，通过 SerDes PHY 输入到 IP，然后经过数据分析处理后，再到 Video Processing Unit，经过 DDR 进行帧缓存处理，再输出到 HDMI 设备，最终到显示器。Parameter Config 通过 SPI 接口对 Camera Sensor 寄存器进行参数配置；Camera Sensor 工作在 Master 模式，输出 XHS,XVS 信号。

6 文件交付

Gowin SLVS-EC RX IP 交付文件主要包含三个部分，分别为：文档、设计源代码和参考设计。

6.1 文档

表 6-1 文档内容列表

名称	描述
IPUG1176, Gowin SLVS-EC RX IP 用户指南	高云 SLVS-EC RX IP 用户手册，即本手册

6.2 设计源代码（加密）

加密代码文件夹包含 SLVS-EC RX IP 的 RTL 加密代码，供 GUI 使用，以配合高云半导体云源软件产生用户所需的 IP 核。

表 6-2 Gowin SLVS-EC RX IP 文件列表

名称	描述
slvs_ec_rx.v	SLVS-EC RX IP 文件，加密。
serdes.v	SerDes 所有相关 IP 顶层文件，给用户接口信息。

6.3 参考设计

Gowin SLVS-EC RX RefDesign 文件夹主要包含 Gowin SLVS-EC RX IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 6-3 Gowin SLVS-EC RX RefDesign 文件夹主要内容列表

名称	描述
xxx_top.v	参考设计的顶层 module
xxx.cst	工程物理约束文件
xxx.sdc	工程时序约束文件
serdes	SLVS-EC RX IP 文件夹
i2c_master.v	i2c_master 文件夹，加密
gowin_pll.v	gowin_pll 文件夹

