




Gowin 10G Serial Ethernet IP 用户指南

IPUG1178-1.1, 2024/12/13

版权所有 © 2024 广东高云半导体科技股份有限公司

GOWIN高云, , Gowin 以及高云均为广东高云半导体科技股份有限公司注册商标, 本手册中提到的其他任何商标, 其所有权利属其拥有者所有。未经本公司书面许可, 任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部, 并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可, 并未以明示或暗示, 或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外, 高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保, 包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等, 均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任, 高云半导体保留修改档中任何内容的权利, 恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2023/12/08	1.0	初始版本。
2024/12/13	1.1	支持 GW5AT-60 器件并新增相关描述。

目录

目录	i
图目录	ii
表目录	iii
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 概述	3
2.1 主要特征	3
2.2 工作频率	4
2.3 资源利用	4
3 功能描述	5
3.1 整体结构	5
3.2 用户接口	5
3.2.1 复位	5
3.2.2 时钟	6
3.2.3 XGMII 接口	8
3.2.4 状态接口	9
3.2.5 Debug 接口	9
3.3 AFE (Analog Front End)	9
3.3.1 发送	9
3.3.2 接收	10
4 端口列表	11
5 参数配置	16
6 界面配置	17
7 参考设计	21

图目录

图 3-1 Gowin 10G Serial Ethernet IP 结构图	5
图 3-2 时钟连接参考 (ref_clk_o 输出 156.25MHz 时钟)	6
图 3-3 时钟连接参考 (ref_clk_o 输出 125MHz 时钟)	7
图 3-4 时钟连接参考 (ref_clk_o 输出 156.25MHz 时钟)	7
图 3-5 时钟连接参考 (ref_clk_o 输出 125MHz 时钟)	8
图 3-6 发送差分信号摆幅 Vdiffpp.....	9
图 3-7 FFE TX 电压定义.....	10
图 4-1 Gowin 10G Serial Ethernet IP IO 端口示意图 (GW5AT-138/75).....	11
图 4-2 Gowin 10G Serial Ethernet IP IO 端口示意图 (GW5AT-60).....	12
图 6-1 IP 核产生工具	17
图 6-2 SerDes IP 配置界面.....	18
图 6-3 PHY Configuration 选项页.....	19
图 6-4 SerDes IP 配置界面显示 10G Serial Ethernet IP	20
图 7-1 硬件平台及框图	21

表目录

表 1-1 术语、缩略语	1
表 2-1 Gowin 10G Serial Ethernet IP	3
表 2-2 资源利用	4
表 3-1 IEEE802.3 XGMII 与 IP 对应关系	8
表 4-1 Gowin 10G Serial Ethernet IP IO 端口	12
表 5-1 Gowin 10G Serial Ethernet IP 静态参数	16

1 关于本手册

1.1 手册内容

Gowin 10G Serial Ethernet IP 用户指南主要包括功能简介、功能描述、GUI 调用、参考设计等，旨在帮助用户快速了解 Gowin 10G Serial Ethernet IP 的产品特性、特点及使用方法。本手册中的软件界面截图参考的是 V1.9.9 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [SUG100, Gowin 云源软件用户指南](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1104, GW5AST 系列 FPGA 产品数据手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
AFE	Analog Front End	模拟前端
BER	Bit Error Rate	比特错误率
FFE	Feed-Forward Equalization	前馈均衡
FPGA	Field Programmable Gate Array	现场可编程门阵列
IP	Intellectual Property	知识产权
LUT	Look-up Table	查找表
MAC	Media Access Control	介质访问控制层
PCS	Physical Coding Sublayer	物理编码子层
PMA	Physical Medium Attachment	物理介质子层

术语、缩略语	全称	含义
SFP+	Small Form-factor Pluggable Plus	小型可插拔光模块增强版
XGMII	10-Gigabit Media Independent Interface	10 千兆位媒体独立接口

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网站: www.gowinsemi.com.cn

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

Gowin 10G Serial Ethernet IP实现了IEEE802.3标准Clause 49对10GBASE-R功能的描述，实现PMA和PCS子层功能，为用户提供符合IEEE802.3 Clause 46定义的XGMII接口。该IP可以集成到符合10GBASE-R的串行以太网的设备中，这种连接通常用于通信应用。

表 2-1 Gowin 10G Serial Ethernet IP

Gowin 10G Serial Ethernet IP	
逻辑资源	见表 2-2
交付文件	
设计文件	Verilog (加密)
参考设计	Verilog
测试平台	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software (V1.9.9 及以上)

注！

可登录[高云半导体网站](#)查看芯片支持信息。

2.1 主要特征

- 支持 IEEE802.3 Clause 49
- 支持 10GBASE-R PMA/PCS 层协议
- 支持 10.3125Gbps 速率
- 支持 64/66B 编解码
- 支持 64/66B 解码错误 block 统计功能（仅 GW5AT-138/75 支持）
- 支持串行数据加扰解扰功能
- 支持 BER monitor 功能（仅 GW5AT-138/75 支持）
- 支持用户侧为 IEEE802.3 Clause 46 定义的 XGMII 接口
- 支持接收时钟弹性 buffer

2.2 工作频率

Gowin 10G Serial Ethernet IP 内部工作频率为 161.2 MHz 和 156.25 MHz，XGMII 接口的工作频率为 156.25 MHz。

2.3 资源利用

Gowin 10G Serial Ethernet IP 采用 Verilog 语言，因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。以高云 GW5AT 系列 FPGA 为例，资源利用情况如表 2-2 所示。GW5AT-60 直接调用 SerDes 硬核相关功能，几乎不消耗逻辑资源。关于其它器件的资源利用请参阅相关的后期发布信息。

表 2-2 资源利用

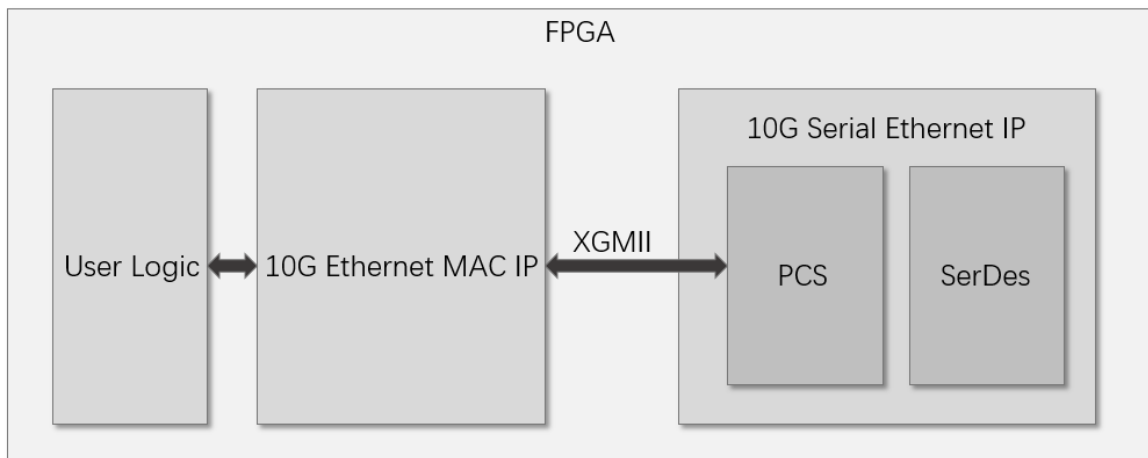
器件系列	资源利用		速度等级
GW5AT-138/75	LUT	4322	C2/I1
	REG	3621	
	BSRAM	4	
GW5AT-60	LUT	3	C2/I1
	REG	0	
	BSRAM	0	

3 功能描述

3.1 整体结构

Gowin 10G Serial Ethernet IP 基本结构如图 3-1 所示, 主要包含 SerDes 模块和 PCS 模块。10G Serial Ethernet IP 调用 SerDes 硬核作为协议 PMA 部分, 同时 IP 实现 10GBASE-R PCS 协议, 为用户提供 XGMII 接口。用户可调用 Gowin 10G Ethernet MAC IP 与 XGMII 接口对接实现 10G 以太网解决方案, 也可以自行设计 10G 以太网 MAC 功能与 XGMII 接口对接实现方案。图中的 User Logic 是 FPGA 中的用户设计。FPGA 外部可使用 SFP+ 光模块与其他设备进行通信。

图 3-1 Gowin 10G Serial Ethernet IP 结构图



3.2 用户接口

3.2.1 复位

GW5AT-138/75

IP 支持接收方向和发送方向分别复位。rx_rstn_i 为接收方向异步复位输入, tx_rstn_i 为发送方向异步复位输入。以上两个异步复位信号均为低有效。复位信号描述见表 4-1。

GW5AT-60

无复位输入控制。

3.2.2 时钟

IP 需要用户提供符合要求的时钟和指示信号，以保证 IP 的正确运行。时钟相关信号描述见表 4-1。

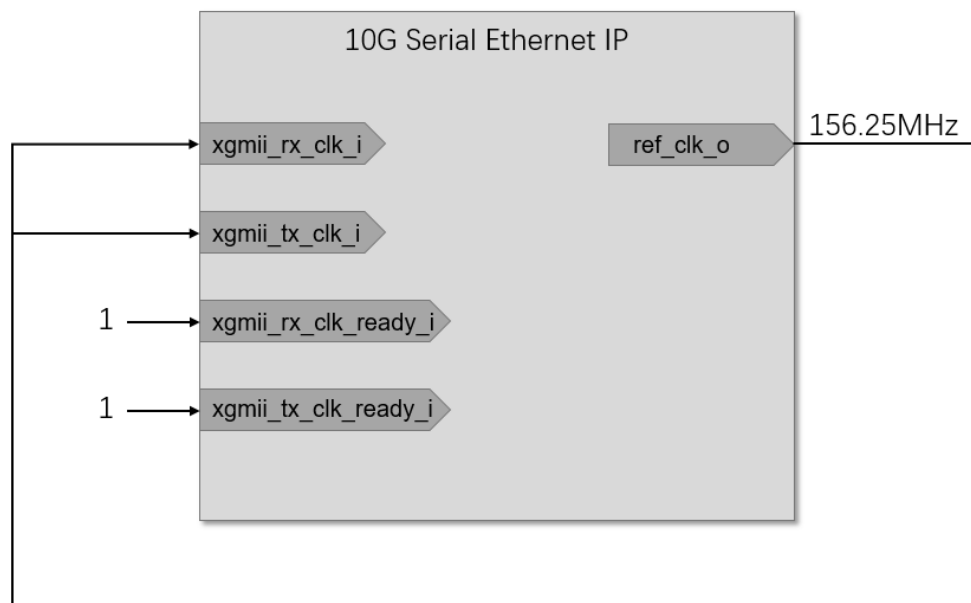
时钟是 IP 正常运行的重要条件，推荐时钟连接方式如下。

GW5AT-138/75

SerDes 输入参考时钟为 156.25MHz

如图 3-2 所示,ref_clk_o 输出时钟为 SerDes 输入参考时钟 156.25MHz,此输出时钟直接连接 xgmii_rx_clk_i 和 xgmii_tx_clk_i 即可。xgmii_rx_clk_ready_i 和 xgmii_tx_clk_ready_i 赋值常量 1。

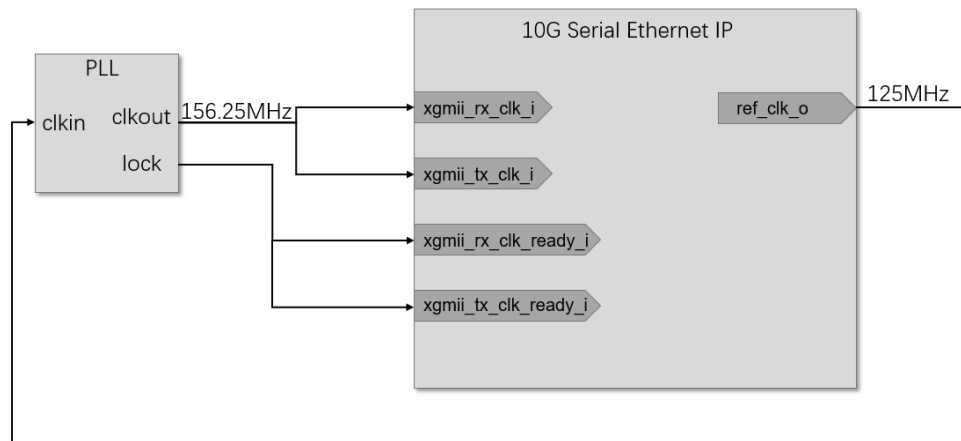
图 3-2 时钟连接参考 (ref_clk_o 输出 156.25MHz 时钟)



SerDes 输入参考时钟为非 156.25MHz，以 125MHz 为例

如图 3-3 所示,ref_clk_o 输出时钟为 SerDes 输入参考时钟 125MHz,此输出时钟需要通过 PLL 生成 156.25MHz 时钟，作为 xgmii_rx_clk_i 和 xgmii_tx_clk_i 输入。xgmii_rx_clk_ready_i 和 xgmii_tx_clk_ready_i 均连接 PLL LOCK 信号。

图 3-3 时钟连接参考 (ref_clk_o 输出 125MHz 时钟)

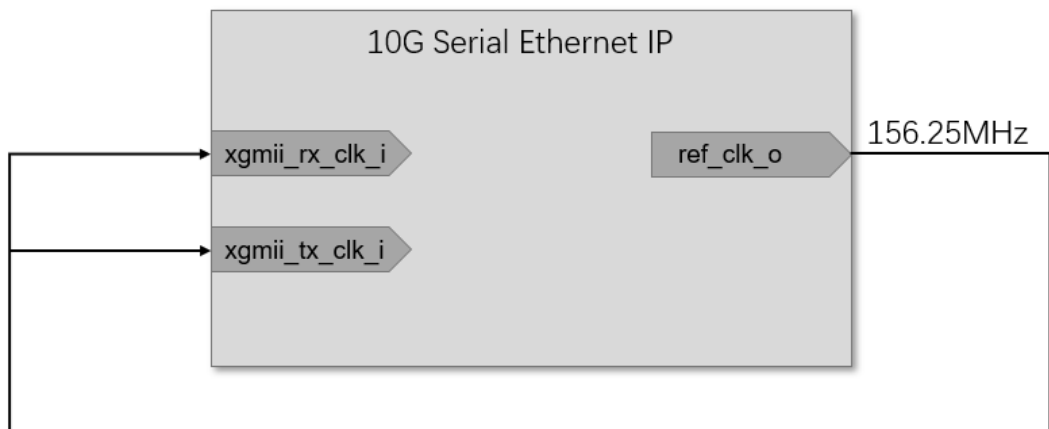


GW5AT-60

SerDes 输入参考时钟为 156.25MHz

如图 3-4 所示, ref_clk_o 输出时钟为 SerDes 输入参考时钟 156.25MHz, 此输出时钟直接连接 xgmii_rx_clk_i 和 xgmii_tx_clk_i 即可。

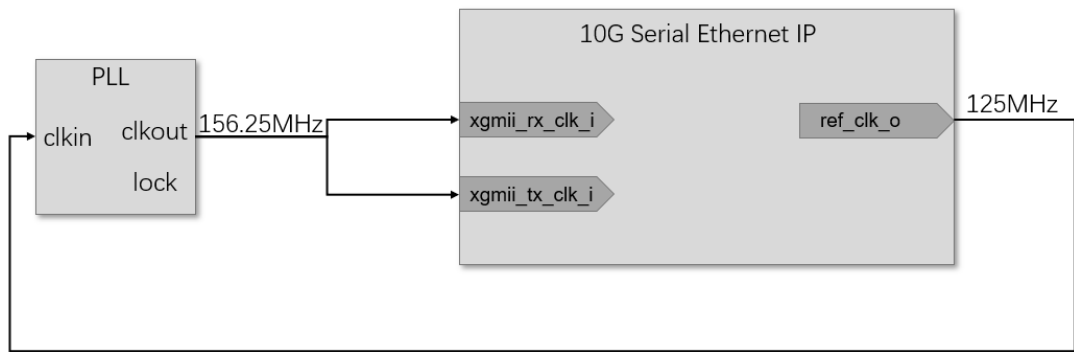
图 3-4 时钟连接参考 (ref_clk_o 输出 156.25MHz 时钟)



SerDes 输入参考时钟为非 156.25MHz, 以 125MHz 为例

如图 3-5 所示, ref_clk_o 输出时钟为 SerDes 输入参考时钟 125MHz, 此输出时钟需要通过 PLL 生成 156.25MHz 时钟, 作为 xgmii_rx_clk_i 和 xgmii_tx_clk_i 输入。

图 3-5 时钟连接参考 (ref_clk_o 输出 125MHz 时钟)



3.2.3 XGMII 接口

IP 为用户提供 IEEE802.3 Clause 46 定义的 XGMII 接口。XGMII 接口定义见表 4-1。XGMII 编码格式请查阅 IEEE802.3 Clause 46。

IP 为用户提供 64 bits XGMII 接口，均为其同步时钟的上升沿采样。而 IEEE802.3 Clause 46 定义的 XGMII 接口为 32 bits，为时钟双沿采样。两者对应关系如表 3-1 所示。

表 3-1 IEEE802.3 XGMII 与 IP 对应关系

IEEE802.3 XGMII		IP XGMII
上升沿采样	TXC[0]/TXD[7:0]	xgmii_txc_i[0]/ xgmii_txd_i[7:0]
上升沿采样	TXC[1]/TXD[15:8]	xgmii_txc_i[1]/ xgmii_txd_i[15:8]
上升沿采样	TXC[2]/TXD[23:16]	xgmii_txc_i[2]/ xgmii_txd_i[23:16]
上升沿采样	TXC[3]/TXD[31:24]	xgmii_txc_i[3]/ xgmii_txd_i[31:24]
下降沿采样	TXC[0]/TXD[7:0]	xgmii_txc_i[4]/ xgmii_txd_i[39:32]
下降沿采样	TXC[1]/TXD[15:8]	xgmii_txc_i[5]/ xgmii_txd_i[47:40]
下降沿采样	TXC[2]/TXD[23:16]	xgmii_txc_i[6]/ xgmii_txd_i[55:48]
下降沿采样	TXC[3]/TXD[31:24]	xgmii_txc_i[7]/ xgmii_txd_i[63:56]
上升沿采样	RXC[0]/RXD[7:0]	xgmii_rxc_o[0]/ xgmii_rxd_o[7:0]
上升沿采样	RXC[1]/RXD[15:8]	xgmii_rxc_o[1]/ xgmii_rxd_o[15:8]
上升沿采样	RXC[2]/RXD[23:16]	xgmii_rxc_o[2]/ xgmii_rxd_o[23:16]
上升沿采样	RXC[3]/RXD[31:24]	xgmii_rxc_o[3]/ xgmii_rxd_o[31:24]
下降沿采样	RXC[0]/RXD[7:0]	xgmii_rxc_o[4]/ xgmii_rxd_o[39:32]
下降沿采样	RXC[1]/RXD[15:8]	xgmii_rxc_o[5]/ xgmii_rxd_o[47:40]
下降沿采样	RXC[2]/RXD[23:16]	xgmii_rxc_o[6]/ xgmii_rxd_o[55:48]
下降沿采样	RXC[3]/RXD[31:24]	xgmii_rxc_o[7]/ xgmii_rxd_o[63:56]

3.2.4 状态接口

IP 状态输出接口如表 4-1 所示，用户可以通过此类接口监测 IP 内部和链路状态。

3.2.5 Debug 接口

IP 提供一组 Debug 接口，作为调试时使用如表 4-1 所示。

3.3 AFE (Analog Front End)

AFE 为模拟前端，10G Serial Ethernet IP 工作速率为 10.3125Gbps，用户可通过界面配置 IP 的模拟参数，以保证信号完整性。

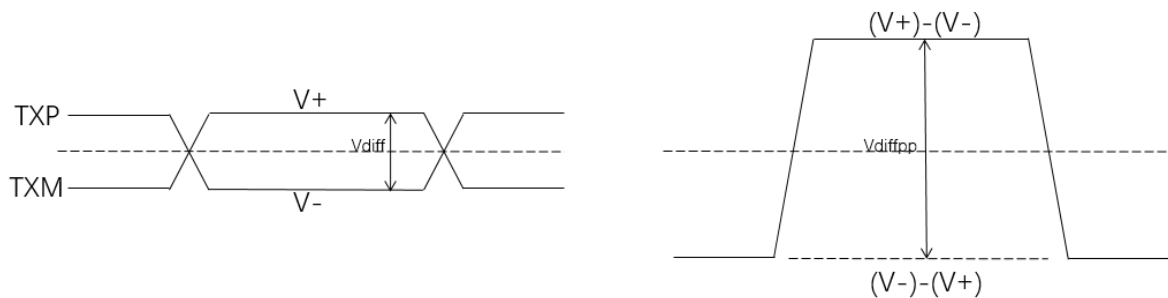
3.3.1 发送

在发送侧用户可配置 IP 发送信号的差分摆幅和 FFE(Feed-Forward Equalization)参数。

发送差分摆幅

如图 3-6 所示，发送信号差分电压为 $V_{diff}=(V+)-(V-)$ ，发送差分信号摆幅为 $V_{diffpp}=2 \times V_{diff}$ 。用户可通过界面配置 V_{diffpp} ，范围为 180mV~900mV。

图 3-6 发送差分信号摆幅 V_{diffpp}



TX FFE

FFE 为前馈均衡，IP 支持自动和手动调整 TX FFE 系数。当用户配置 FFE Mode 为 Auto 时，IP 根据硬件环境自动调整 FFE 系数，此时 C_m ， C_0 和 C_1 配置无效。当用户配置 FFE Mode 为 Manual 时，用户可手动调整 3-tap 系数，配置发送信号的去加重状态。

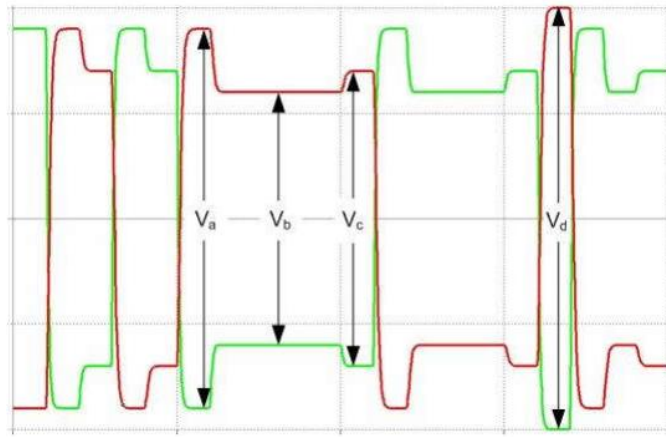
如图 3-7 所示，当用户配置 FFE Mode 为 Manual 时，可通过调整 C_m ， C_0 和 C_1 的值，调整 V_a ， V_b 和 V_c 的电压幅度。计算公式如下：

$$V_a = V_{diffpp} * (-C_m + C_0 + C_1) / 40$$

$$V_b = V_{diffpp} * (-C_m + C_0 - C_1) / 40$$

$$V_c = V_{diffpp} * (C_m + C_0 - C_1) / 40$$

图 3-7 FFE TX 电压定义



3.3.2 接收

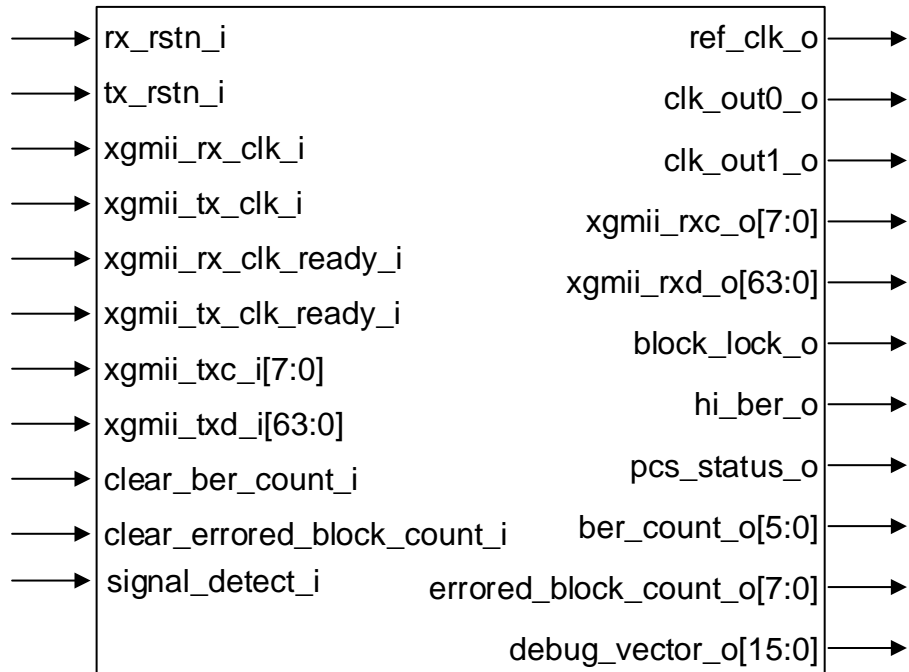
接收差分信号门限

在接收侧，用户可以通过配置 **SD Threshold** 选项，来调整接收信号有效电压门限。当接收差分信号大于 **SD Threshold** 时，**SerDes** 判断接收到有效数据；当接收差分信号小于 **SD Threshold** 时，**SerDes** 判断未接收到有效数据，进入 **Electrical Idle** 状态。

4 端口列表

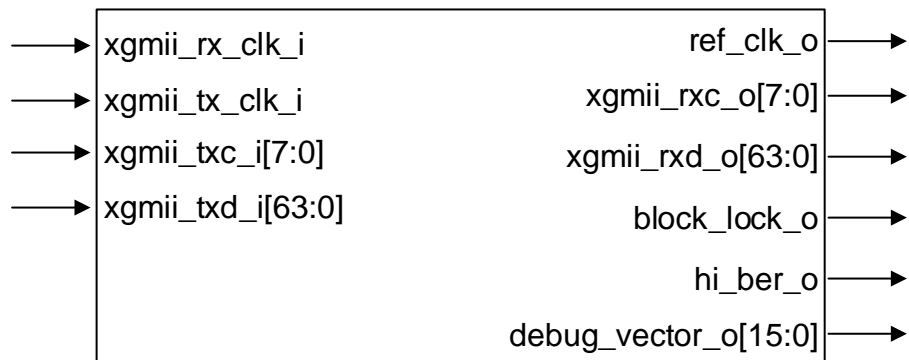
对于 GW5AT-138/75 产品，Gowin 10G Serial Ethernet IP 的 IO 端口如图 4-1 所示。

图 4-1 Gowin 10G Serial Ethernet IP IO 端口示意图 (GW5AT-138/75)



对于 GW5AT-60 产品，Gowin 10G Serial Ethernet IP 的 IO 端口如图 4-2 所示。

图 4-2 Gowin 10G Serial Ethernet IP IO 端口示意图 (GW5AT-60)



Gowin 10G Serial Ethernet IP IO 端口详情如表 4-1 所示。

表 4-1 Gowin 10G Serial Ethernet IP IO 端口

信号	方向	位宽	描述
Signal Detection			
signal_detect_i	input	1	输入信号有效检测，可连接光模块LOS管脚。 1: 输入信号有效 0: 输入信号无效 仅GW5AT-138/75存在此信号。
Reset			
rx_rstn_i	input	1	接收方向异步复位输入，低有效。 仅GW5AT-138/75存在此信号。
tx_rstn_i	input	1	发送方向异步复位输入，低有效。 仅GW5AT-138/75存在此信号。
Clock Input			
xgmii_rx_clk_i	input	1	xgmii接口接收时钟，频率为156.25MHz。此时钟可以与xgmii_tx_clk_i同源，也可以为独立时钟。
xgmii_tx_clk_i	input	1	xgmii接口发送时钟，频率为156.25MHz。此时钟必须与ref_clk_o输出时钟频率相关。
xgmii_rx_clk_ready_i	input	1	xgmii_rx_clk_i时钟稳定输入指示信号。当xgmii_rx_clk_i时钟未稳定时，需输入0；当xgmii_rx_clk_i时钟稳定后，需输入1。 仅GW5AT-138/75存在此信号。
xgmii_tx_clk_ready_i	input	1	xgmii_tx_clk_i时钟稳定输入指示信号。当xgmii_tx_clk_i时钟未稳定时，需输入0；当xgmii_tx_clk_i时钟稳定后，需输入1。 仅GW5AT-138/75存在此信号。
Clock Output			
ref_clk_o	output	1	此信号为提供给SerDes的参考时钟直接输出，频率与SerDes输入参考时钟一致。
clk_out0_o	output	1	IP内部时钟输出，正常工作时输出频率为162MHz。 仅GW5AT-138/75存在此信号。
clk_out1_o	output	1	IP内部时钟输出，正常工作时输出频率为162MHz。

信号	方向	位宽	描述
			仅GW5AT-138/75存在此信号。
XGMII Interface			
xgmii_txc_i	input	8	XGMII接口8 bits发送控制字，同步于xgmii_tx_clk_i。
xgmii_txd_i	input	64	XGMII接口64 bits发送数据，同步于xgmii_tx_clk_i。
xgmii_rxc_o	output	8	XGMII接口8 bits接收控制字，同步于xgmii_rx_clk_i。
xgmii_rxd_o	output	64	XGMII接口64 bits接收数据，同步于xgmii_rx_clk_i。
IP Status			
block_lock_o	output	1	接收 block 锁定指示，同步于 clk_out0_o。 1: 锁定 0: 未锁定
hi_ber_o	output	1	接收Hi BER指示，同步于clk_out0_o。
pcs_status_o	output	1	PCS 状态指示，同步于 clk_out0_o。 1: 正常状态； 0: 非正常状态。 仅GW5AT-138/75存在此信号。
clear_ber_count_i	input		清除BER计数。高电平清除BER计数，同步于clk_out0_o。 仅GW5AT-138/75存在此信号。
ber_count_o	output	6	BER计数，最大计数到63，63后停止计数，同步于clk_out0_o。 仅GW5AT-138/75存在此信号。
clear_errored_block_count_i	input		清除Error Block计数。高电平清除Error Block计数，同步于clk_out0_o。 仅GW5AT-138/75存在此信号。
errored_block_count_o	output	8	Error Block计数，最大计数到255，255后停止计数，同步于clk_out0_o。 仅GW5AT-138/75存在此信号。
Debug Interface			
debug_vector_o	output	16	<ul style="list-style-type: none"> ● 若器件为 GW5AT-138/75，则 <p>[0]: SerDes PLL 锁定指示信号。 1: 锁定； 0: 未锁定。</p> <p>[1]: SerDes 接收 CDR 锁定指示信号。 1: 锁定； 0: 未锁定。</p> <p>[2]: SerDes 接收有效信号检测指示信号。 1: 有效； 0: 无效。</p>

信号	方向	位宽	描述
			<p>[3]: 接收弹性 Buffer 删除 IDLE 指示信号, 同步于 clk_out0_o。</p> <p>1: 进行一次删除 IDLE 操作;</p> <p>0: 未进行删除 IDLE 操作。</p> <p>[4]: 接收弹性 Buffer 删除 SEQUENCE 指示信号, 同步于 clk_out0_o。</p> <p>1: 进行一次删除 SEQUENCE 操作;</p> <p>0: 未进行删除 SEQUENCE 操作。</p> <p>[5]:接收弹性 Buffer 插入 IDLE 指示信号, 同步于 xgmii_rx_clk_i。</p> <p>1: 进行一次插入 IDLE 操作;</p> <p>0: 未进行插入 IDLE 操作。</p> <p>[6]: 接收弹性 Buffer 上溢错误指示信号, 同步于 clk_out0_o。</p> <p>1: 上溢错误;</p> <p>0: 正常状态。</p> <p>[7]:接收弹性 Buffer 下溢错误指示信号, 同步于 xgmii_rx_clk_i。</p> <p>1: 下溢错误;</p> <p>0: 正常状态。</p> <p>[8]: 接收 gearbox bit slip 指示信号, 同步于 clk_out0_o。</p> <p>1: 进行一次 bit slip 操作;</p> <p>0: 未进行 bit slip 操作。</p> <p>[15:9]: 保留</p> <ul style="list-style-type: none"> ● 若器件为 GW5AT-60, 则 <p>[0]:SerDes PLL 锁定指示信号。</p> <p>1: 锁定;</p> <p>0: 未锁定。</p> <p>[1]: SerDes 接收 CDR 锁定指示信号。</p> <p>1: 锁定;</p> <p>0: 未锁定。</p> <p>[2]: SerDes 接收有效信号检测指示信号。</p> <p>1: 有效;</p> <p>0: 无效。</p> <p>[3]: 接收弹性 Buffer 删除 IDLE/SEQUENCE 指示信号。</p> <p>1: 进行一次删除操作;</p>

信号	方向	位宽	描述
			<p>0: 未进行删除操作。</p> <p>[4]: 保留</p> <p>[5]: 接收弹性 Buffer 插入 IDLE 指示信号。</p> <p>1: 进行一次插入 IDLE 操作;</p> <p>0: 未进行插入 IDLE 操作。</p> <p>[6]: 保留</p> <p>[7]: 保留</p> <p>[8]: 保留</p> <p>[9]: 接收 invalid header 指示信号。</p> <p>1: 接收到 invalid header;</p> <p>0: 未接收到 invalid header。</p> <p>[15:10]: 保留</p>

5 参数配置

用户需根据设计要求配置 Gowin 10G Serial Ethernet IP 的各个静态参数，参考表 5-1 所示。

表 5-1 Gowin 10G Serial Ethernet IP 静态参数

名称	描述	选项
PHY Configuration		
Channel Selection	Lane选择	Q0 Lane0, Q0 Lane1, Q0 Lane2, Q0 Lane3, Q1 Lane0, Q1 Lane1, Q1 Lane2, Q1 Lane3
Loopback Mode	Lane回环模式选择	OFF, LB_NES, LB_FES, LB_ENC
Line Rate	Lane速率	10.3125Gbps
Reference Clock Source	参考时钟源选择	Q0 REFCLK0, Q0 REFCLK1, Q1 REFCLK0, Q1 REFCLK1
Reference Clock Frequency	参考时钟频率设置	125MHz, 156.25 MHz, 312.5 MHz, 625 MHz
PLL Selection	PLL选择	QPLL0, QPLL1, CPLL
AFE		
Differential Swing	100mV~900mV	配置发送差分信号摆幅Vdiffpp, Vdiffpp=2xVdiff
FFE Mode	Auto Manual	配置发送FFE模式 Auto: 自动模式 Manual: 手动模式
Cm	0~19	发送FFE pre-cursor
C0	21~40	发送FFE main-cursor
C1	0~19	发送FFE post-cursor
SD Threshold	25mV~200mV	接收差分信号SD门限

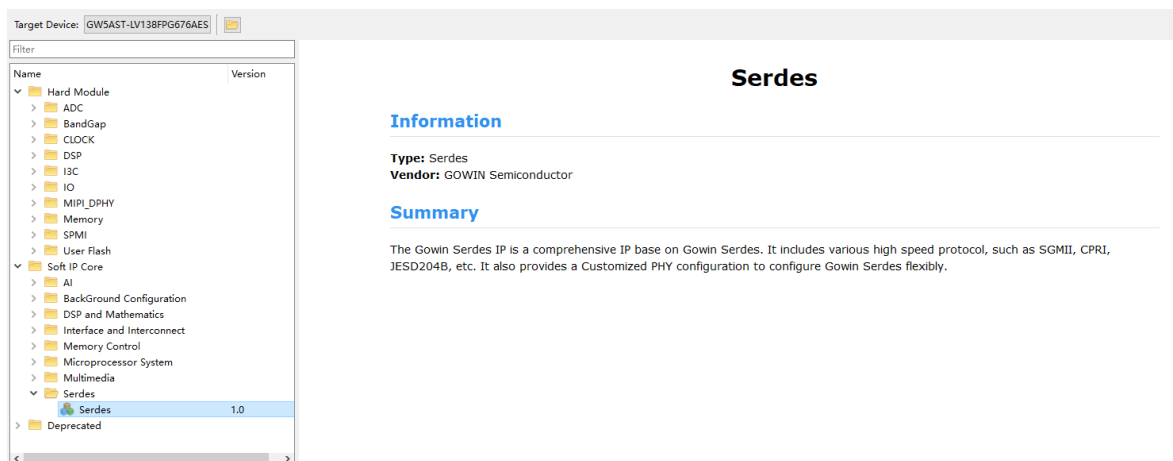
6 界面配置

用户可在 IDE 中通过 IP Core Generator 工具调用并配置 Gowin 10G Serial Ethernet IP。

1. 打开 IP Core Generator。

用户建立工程后,单击左上角 Tools 选项卡,下拉单击 IP Core Generator 选项,就可打开 Gowin 的 IP 核产生工具,如图 6-1 所示。

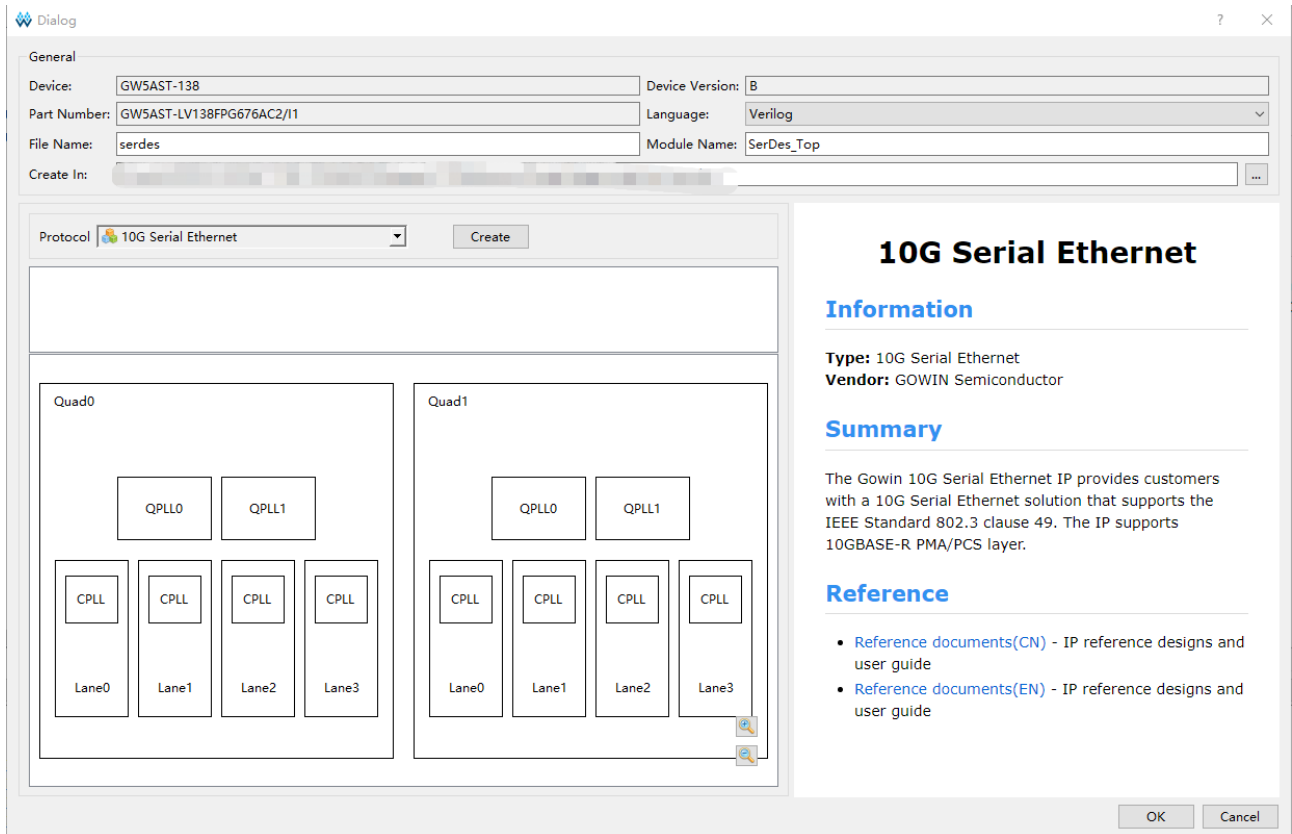
图 6-1 IP 核产生工具



2. 打开 SerDes IP 配置界面。

在 IP Core Generator 中选择“SerDes”,打开 SerDes IP 配置界面,如图 6-2 所示:

图 6-2 SerDes IP 配置界面



在 SerDes IP 界面中首先配置“General”选项组：

- **Device、Device Version、Part Number** 选项：芯片型号设置，由当前工程选择的芯片型号决定，用户无法设置；
- **Language** 选项：支持 Verilog 和 VHDL 两种选择，根据自身需要选择对应的语言类型，默认选择 Verilog；
- **File Name、Module Name、Create In** 选项：SerDes 的文件名、模块名和文件生成路径设置。

然后根据自身需要选择协议，其中“Protocol”选项可以选择需要的协议，点击右侧“Create”按钮可打开协议的配置界面；在“Protocol”选项下方显示当前 SerDes IP 已经支持的协议和对应的 Quad、PLL、Lane 使用情况，右侧显示当前 Protocol 选项选择协议的相关信息，包含“Information”、“Summary”和“Reference”三部分信息。

3. 打开 10G Serial Ethernet IP 界面配置。

在 SerDes IP 配置界面的“Protocol”选项中选择“10G Serial Ethernet”，点击右侧“Create”按钮打开 10G Serial Ethernet IP 配置界面，如图 6-3 所示。

图 6-3 PHY Configuration 选项页

PHY Configuration AFE

Channel Selection: Q1 Lane1 ▾

Loopback Mode: OFF ▾

Line Rate: 10.3125 Gbps

Refclk Selection

Reference Clock Source: Q1 REFCLK1 ▾

Reference Clock Frequency: 156.250 MHz ▾

PLL Selection: CPLL ▾

Debug Ports

Calculate

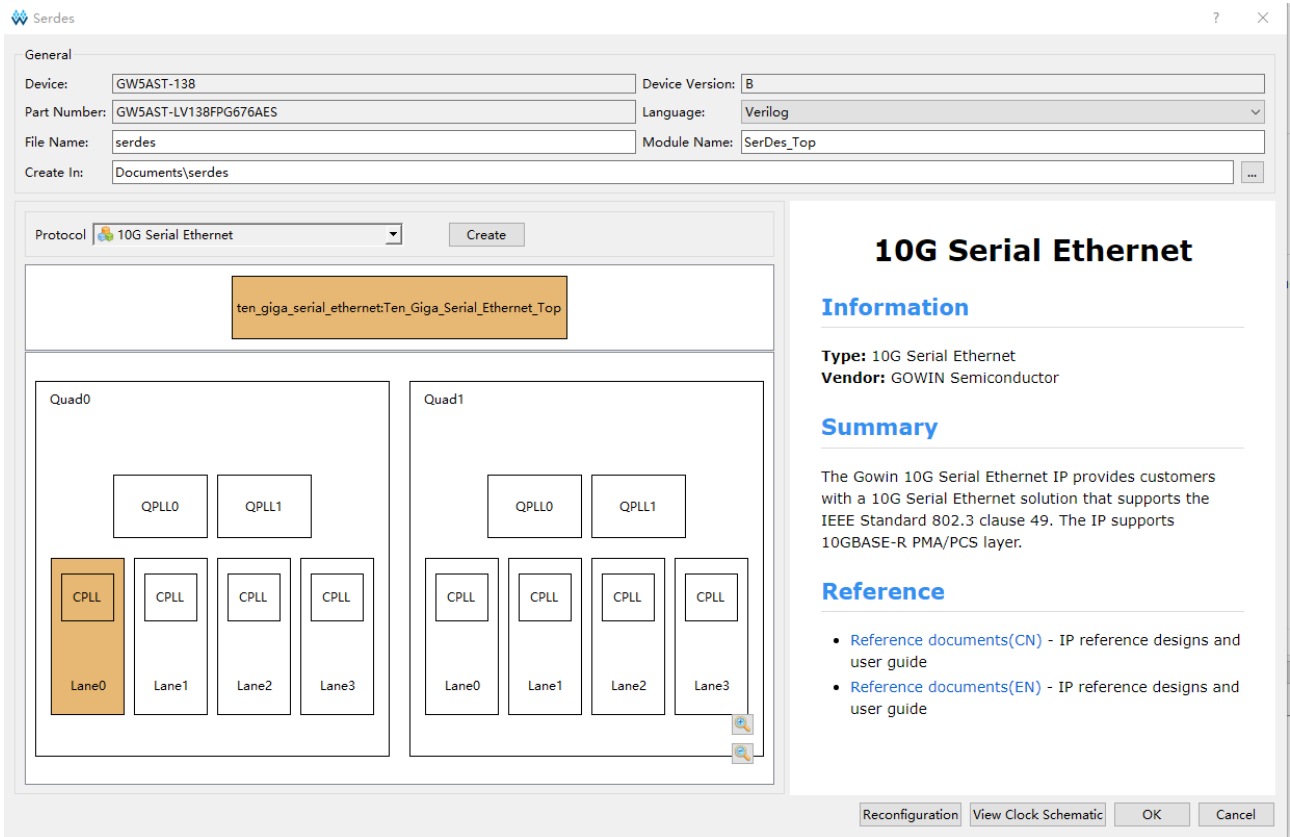
OK Cancel

配置界面左侧是 10G Serial Ethernet IP 的接口示意图，右侧是 10G Serial Ethernet IP 参数配置选项，其中包含 PHY Configuration 选项页和 AFE 选项页。选项页中选项的功能和配置请参见表 5-1。

4. 生成 IP

完成 10G Serial Ethernet IP 界面配置后，点击界面右下角的“OK”按钮，可生成 10G Serial Ethernet IP 相关文件，并返回到 SerDes IP 配置界面，此时 SerDes IP 配置界面中显示当前已经生成的 10G Serial Ethernet IP 及对应的 Quad、PLL 和 Lane 使用情况，如图 6-4 所示。

图 6-4 SerDes IP 配置界面显示 10G Serial Ethernet IP

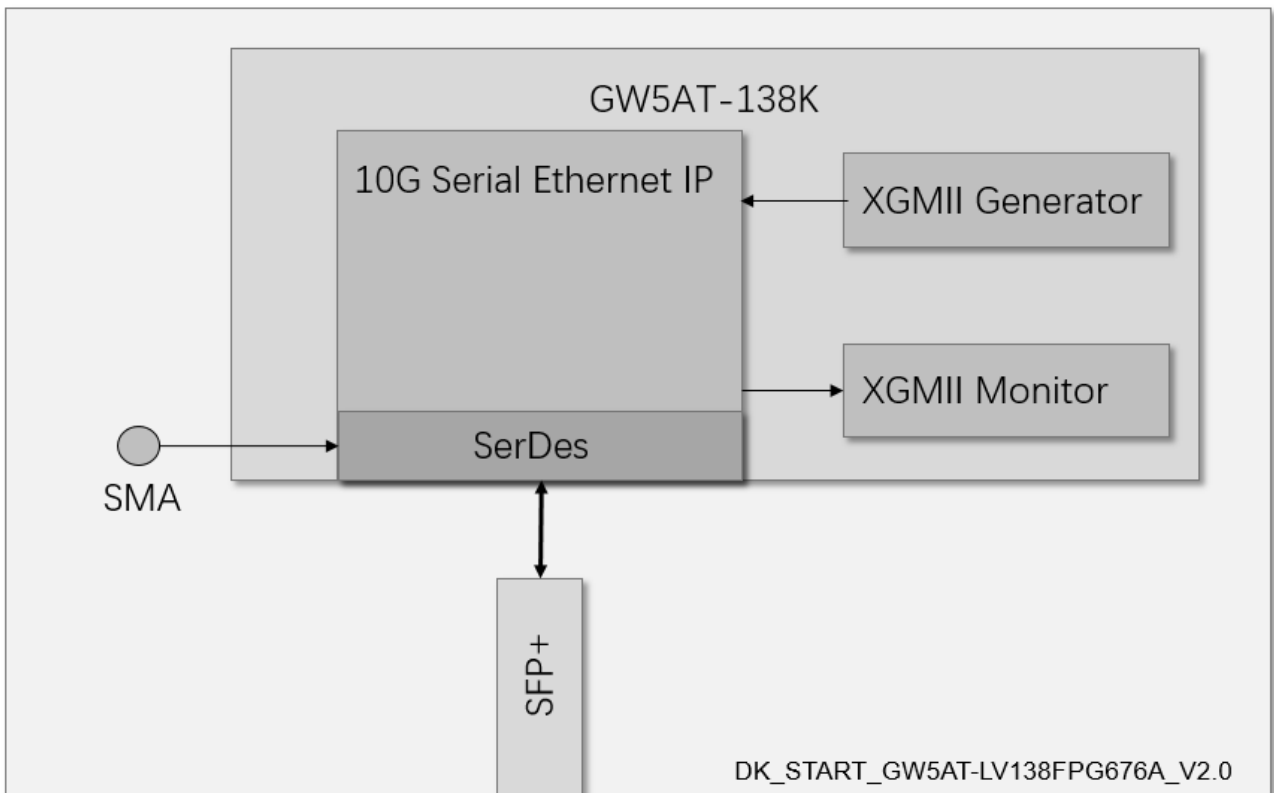


最后，点击界面右下角的“OK”按钮，可生成 SerDes IP 相关文件，完成 10G Serial Ethernet IP 的生成过程。

7 参考设计

详细信息请参见高云半导体官网 10G Serial Ethernet IP [参考设计](#)。硬件平台如图 7-1 所示。

图 7-1 硬件平台及框图



参考设计硬件平台为 DK_START_GW5AT-LV138FPG676A_V2.0 开发板。如上图所示，FPGA 通过开发板上 SFP1 外接 10G SFP+光模块，作为 10G 以太网传输通道。同时，外部通过 SMA(AA13 和 AB13)输入一个 156.25MHz 的差分时钟作为 SerDes 参考时钟。

参考设计中通过 XGMII Generator 模块向 10G Serial Ethernet IP 发送 XGMII 格式数据，通过 XGMII Monitor 模块监测 10G Serial Ethernet IP 接收的数据。用户可通过 GAO 观察发送和接收的 XGMII 数据。

