




Gowin EDP Encoder Decoder IP 用户指南

IPUG1179-2.2,2025-01-17

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2023/12/13	1.0	初始版本。
2024/02/23	1.1	更新参数。
2024/03/29	2.0	<ul style="list-style-type: none">● IP 名称更新为 EDP Encoder Decoder;● 更新 EDP Encoder 端口参数计算描述;● 更新界面截图。
2024/06/07	2.1	<ul style="list-style-type: none">● 更新 EDP Decoder 端口;● 新增边带控制描述;● 更新时序图。
2025/01/17	2.2	<ul style="list-style-type: none">● 新增 EDP Encoder 和 Decoder 的端口;● 更新界面截图。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 概述	3
2.1 概述	3
2.2 主要特征	3
2.3 资源利用	4
3 功能描述	5
3.1 系统框图	5
3.2 结构框图	5
3.3 工作原理	6
3.3.1 主链路数据封包解包	6
3.3.2 边带控制	12
3.4 端口列表	13
3.4.1 EDP Encoder 端口	13
3.4.2 EDP Decoder 端口	17
3.5 参数配置	22
3.5.1 EDP Encoder 参数	22
3.5.2 EDP Decoder 参数	22
3.6 时序说明	23
3.7 EDP Encoder 端口参数计算	25
4 界面配置	28

4.1 EDP Encoder IP 配置	28
4.2 EDP Decoder IP 配置	31
5 参考设计	34
6 文件交付	35
6.1 文档	35
6.2 设计源代码（加密）	35
6.3 参考设计	35

图目录

图 3-1 系统框图	5
图 3-2 结构框图	5
图 3-3 DP 数据传输通道	6
图 3-4 视频流数据封包格式示意图	8
图 3-5 VB-ID 等封包示意图	9
图 3-6 Transfer Unit 示意图	9
图 3-7 MSA 传输示意图	10
图 3-8 通道歪斜示意图	11
图 3-9 辅助通道差分信号	12
图 3-10 eDP 辅助通道差分信号	12
图 3-11 EDP Encoder IO 端口示意图	13
图 3-12 EDP Decoder IO 端口示意图	17
图 3-13 EDP Encoder 视频接口时序示意图(2lanes)	23
图 3-14 EDP Encoder 输出接口时序示意图(2lanes)	23
图 3-15 EDP Decoder 输入接口时序示意图(2lanes)	24
图 3-16 EDP Decoder 输出接口时序示意图(2lanes)	24
图 4-1 打开 IP Core Generator	28
图 4-2 打开 EDP Encoder IP 核	29
图 4-3 EDP Encoder IP 核接口示意图	29
图 4-4 基本信息配置界面	30
图 4-5 Options 选项卡	30
图 4-6 打开 IP Core Generator	31
图 4-7 打开 EDP Decoder IP 核	32
图 4-8 EDP Decoder IP 核接口示意图	32
图 4-9 基本信息配置界面	33
图 4-10 Options 选项卡	33
图 5-1 参考设计实例一基本结构框图	34

表目录

表 1-1 术语、缩略语	1
表 2-1 Gowin EDP Encoder Decoder IP	3
表 2-2 EDP Encoder 占用资源	4
表 2-3 EDP Decoder 占用资源	4
表 3-1 主链路的像素填充	6
表 3-2 K 码与控制符号对应关系	7
表 3-3 普通帧模式与增强帧模式控制符号差别	7
表 3-4 Gowin EDP Encoder IP 的端口列表	14
表 3-5 Gowin EDP Decoder IP 的端口列表	18
表 3-6 EDP Encoder 参数	22
表 3-7 EDP Decoder 参数	22
表 6-1 文档列表	35
表 6-2 Gowin EDP Encoder 设计源代码列表	35
表 6-3 Gowin EDP Decoder 设计源代码列表	35
表 6-4 Gowin EDP RefDesign 文件夹内容列表	35

1 关于本手册

1.1 手册内容

Gowin EDP Encoder Decoder IP 用户指南主要内容包括产品概述、功能描述、配置调用、参考设计等,旨在帮助用户快速了解 Gowin EDP Encoder Decoder IP 的特性及使用方法。本手册中的软件界面截图参考的是 V1.9.11 (64-bit)版本,因软件版本升级,部分信息可能会略有差异,具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档:

- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1104, GW5AST 系列 FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
AUX CH	Auxiliary Channel	辅助通道
DE	Data Enable	数据使能
DP	DisplayPort	显示端口
EDP	Embedded DisplayPort	嵌入式显示端口
FPGA	Field Programmable Gate Array	现场可编程门阵列
HPD	Hot Plug Detect	热插拔检测
HS	Horizontal Sync	水平同步
IP	Intellectual Property	知识产权
RGB	R(Red) G(Green) B(Blue)	红绿蓝颜色空间
SerDes	Serializer/Deserializer	串行器/解串器

术语、缩略语	全称	含义
TU	Transfer Unit	传输单元
VESA	Video Electronics Standards Association	视频电子标准协会
VS	Vertical Sync	垂直同步

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

2.1 概述

DisplayPort (DP) 是一个由 PC 及芯片制造商联盟开发，视频电子标准协会 (VESA) 标准化的数字式视频接口标准。该接口免认证、免授权金，主要用于视频源与显示器等设备的连接，并也支持携带音频、USB 和其他形式的数据。

eDP (Embedded DisplayPort) 协议是针对 DP 应用在嵌入式方向架构和协议的拓展，所以 eDP 协议完全兼容 DP 协议。EDP 多用做平板，笔记本电脑的液晶显示屏的接口。

EDP Encoder IP 用于接收并行视频信号，然后根据 eDP 协议编码后输出给 SerDes 串行化。EDP Decoder IP 用于接收经 SerDes 解串后的数据，然后根据 eDP 协议解码成并行信号。

表 2-1 Gowin EDP Encoder Decoder IP

Gowin EDP Encoder Decoder IP	
逻辑资源	请参见表 2-2 和表 2-3。
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software (V1.9.9(64-bit)及以上)

注！

可登录[高云半导体网站](#)查看芯片支持信息。

2.2 主要特征

- 可配置为 1, 2, or 4 lanes
- 支持 8B10B 编解码功能
- 支持 Word Alignment 功能

- Link rate 支持 1.62/2.7/5.4 Gbps/lane
- 支持用户数据位宽 16/32

2.3 资源利用

通过 Verilog 语言实现 EDP Encoder 和 Decoder。因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。以高云 GW5AST 系列 FPGA 为例，EDP Encoder 和 Decoder 资源利用情况如表 2-2 和表 2-3 所示。

表 2-2 EDP Encoder 占用资源

器件系列	速度等级	器件名称	资源利用	备注
GW5AST-138	C1/I0	LUT	2258	4 lanes, 5.4Gbps/lane
		REG	1963	
		BSRAM	32	

表 2-3 EDP Decoder 占用资源

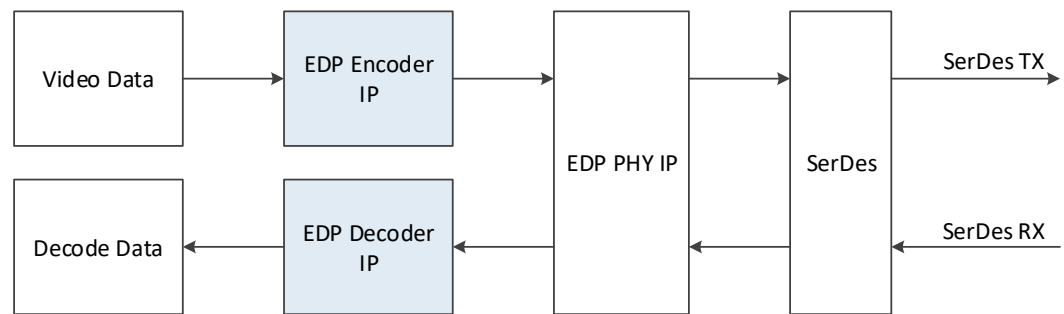
器件系列	速度等级	器件名称	资源利用	备注
GW5AST-138	C1/I0	LUT	5059	4 lanes, 5.4Gbps/lane
		REG	5140	
		BSRAM	0	

3 功能描述

3.1 系统框图

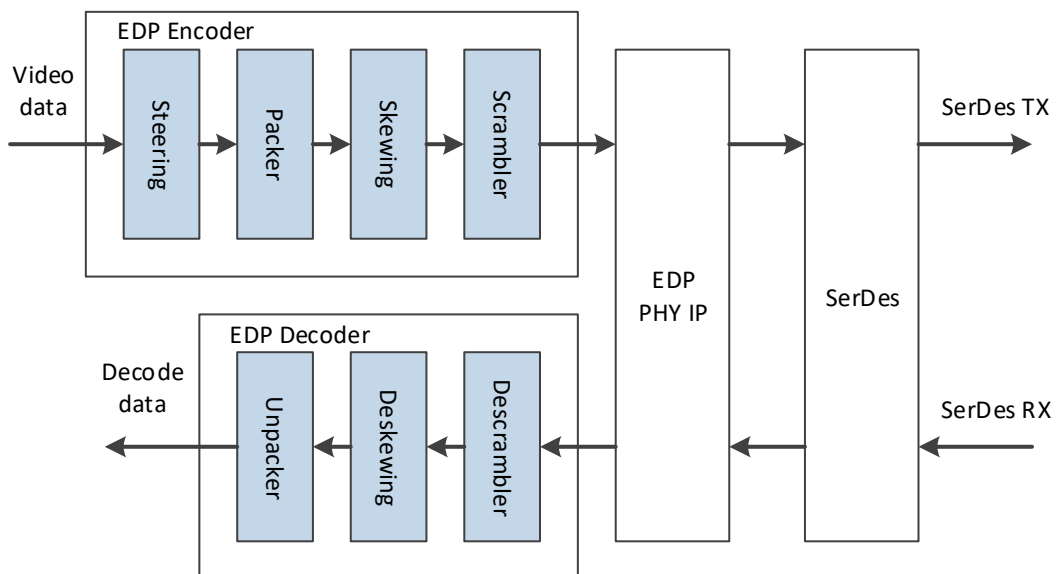
Gowin EDP Encoder Decoder IP 分为 EDP Encoder IP 和 EDP Decoder IP，其系统框图如图 3-1 所示。

图 3-1 系统框图



3.2 结构框图

图 3-2 结构框图



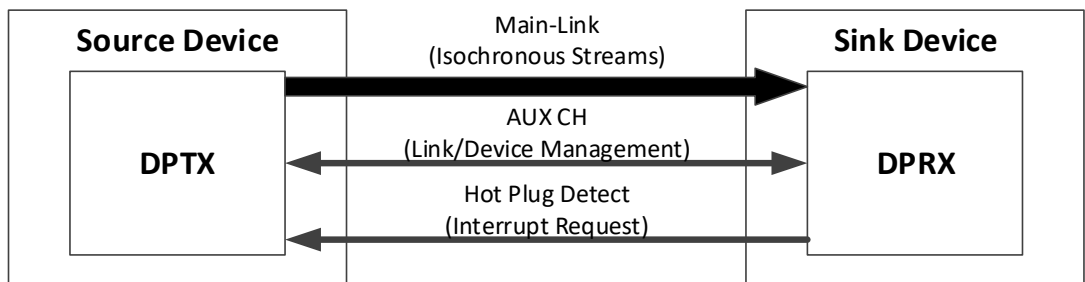
EDP Encoder IP 主要包括数据引导模块、组包模块、偏移模块和扰码模块。EDP Decoder IP 主要包括数据解扰码模块、解偏移模块和解包模块。

3.3 工作原理

根据 Display Port Version1.4 协议，如图 3-3 所示，完整的 DP 收发控制器大体可分成两大部分：

1. 主链路部分(Main-Link)，包括链路数据封包解包，SerDes 物理层
2. 边带控制部分(AUX CH+HPD)，包括链路层管理，辅助通道，热插拔检测

图 3-3 DP 数据传输通道



Gowin EDP Encoder Decoder IP 只涉及主链路部分的链路数据封包解包。

注！

本手册简要介绍 DP 协议相关术语和定义，详细信息请参考 DisplayPort Version1.4 协议。

3.3.1 主链路数据封包解包

引导模块

根据 DP 协议主链路可支持 1, 2 或 4 lanes。无论视频流的颜色空间和像素位深度如何，依照表 3-1 进行像素数据的填充。

表 3-1 主链路的像素填充

# of Lanes	Pixel Steering
One	All pixels to Lane 0
Two	Pixel 2N to Lane 0 Pixel 2N+1 to Lane 1
Four	Pixel 4N to Lane 0 Pixel 4N+1 to Lane 1 Pixel 4N+2 to Lane 2 Pixel 4N+3 to Lane 3

EDP Encoder IP 根据主链路通道数决定视频输入数据位宽。主链路为 1 lane，视频输入数据为 24 bits，单像素模式，即每个像素时钟传输 1 个像素。主链路为 2 lanes，视频输入数据为 48 bits，双像素模式，即每个像素时钟传输 2 个像素。主链路为 4 lanes，视频输入数据为 96 bits，四像素模式，

即每个像素时钟传输 4 个像素。

组包与解包模块

根据 DP 协议，以下控制符号用于组帧。

- BS: Blanking Start, 视频消隐开始标志
- BE: Blanking End, 视频消隐结束标志, 每行第一个有效视频前插入
- FS: Fill Start, 填充数据开始标志
- FE: Fill End, 填充数据结束标志
- SS: Secondary-data Start, 第二数据填充开始标志
- SE: Secondary-data End, 第二数据填充结束标志
- SR: Scrambler Reset, SR symbol 用来复位 LFSR 到初始值
- BF: Blanking Fill, 增强帧模式填充标志

在 ANSI 标准中 8B/10B 特殊 K 码与控制符号对应关系如下表 3-2。

表 3-2 K 码与控制符号对应关系

Special Character	Control Symbol in Single Stream Enhanced Mode
K28.0	SR
K28.1	CP
K28.2	SS
K28.3	BF
K28.5	BS
K23.7	FE
K27.7	BE
K29.7	SE
K30.7	FS

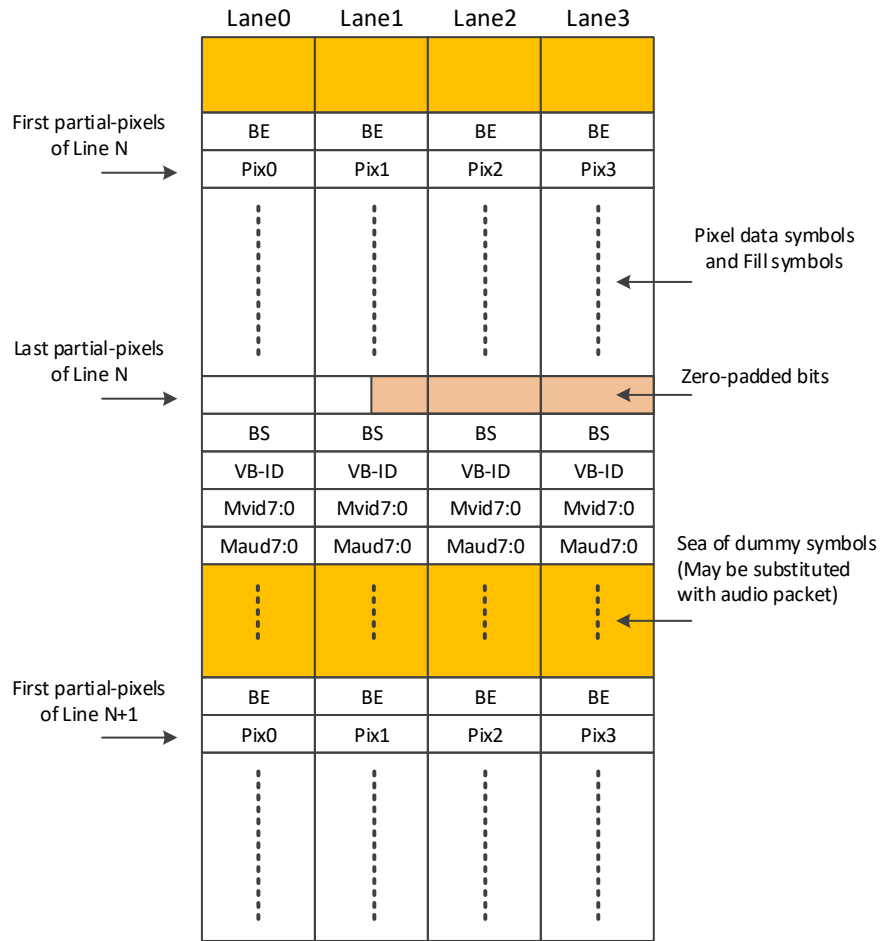
根据 DP 协议，普通帧模式与增强帧模式控制符号差别如下表 3-3。

表 3-3 普通帧模式与增强帧模式控制符号差别

Default Framing Mode Symbols	Enhanced Framing Mode Symbols
BS	BS+BF+BF+BS
SR	SR+BF+BF+SR
CPBS(called CP symbol in Enhanced Framing Mode)	BS+CP+CP+BS
CPSR(called BF symbol in Enhanced Framing Mode)	SR+CP+CP+SR
BE	BE(no change)
FS	FS(no change)
FE	FE(no change)
SS	SS(no change)
SE	SE(no change)

视频流数据封包格式如图 3-4 所示。

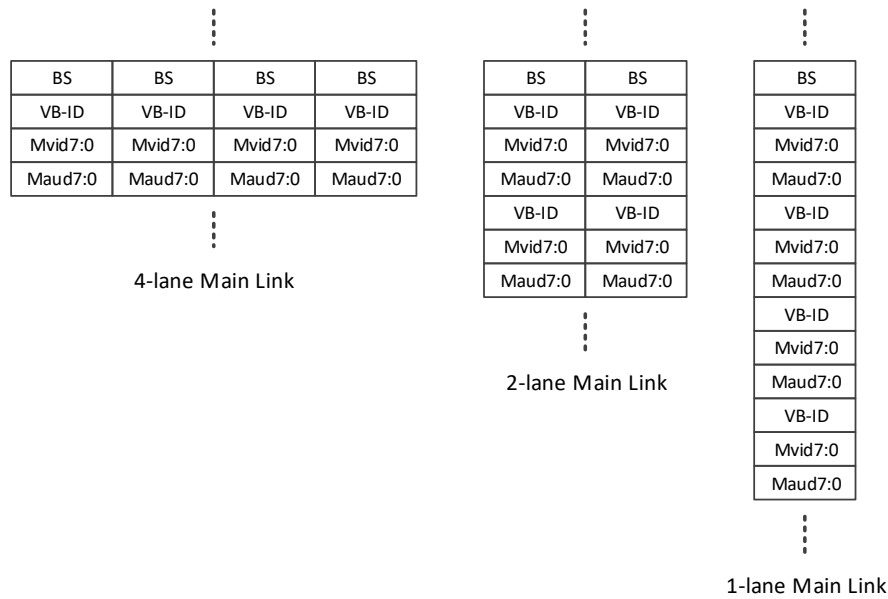
图 3-4 视频流数据封包格式示意图



每个 lane 的 BS 后必须跟随 VB-ID， Mvid7:0 和 Maud7:0。

无论 lane 数量是多少， VB-ID， Mvid7:0 和 Maud7:0 必须传输 4 次，如图 3-5 所示。

图 3-5 VB-ID 等封包示意图



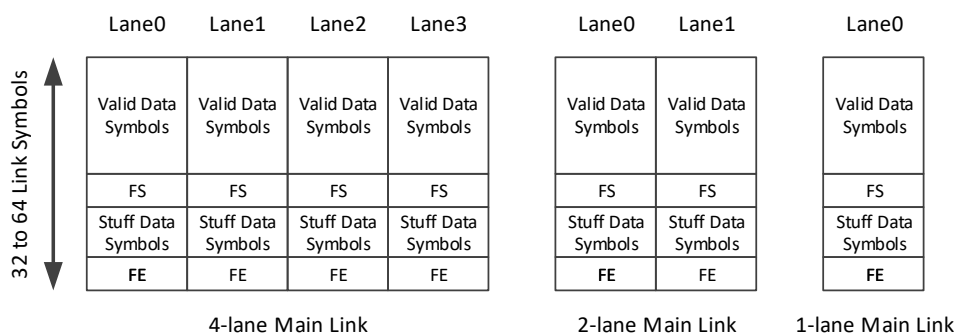
为避免链路带宽过载，数据打包速率(packed data rates)必须小于等于链路符号速率(link symbols rates)。当打包数据率低于链路符号率时，链路层必须执行符号填充 (Symbols stuffing)。

符号填充由 stuffing frame symbols 和 dummy data symbols 组成。Stuffing frame symbols 由 FS 和 FE 构成, 位于每个 TU (Transfer Unit)之内, dummy data symbols 在扰码之前必须是 0x00, 插在 FS 和 FE 之间, 如图 3-6 所示。

Transfer Unit 的大小必须介于每 lane 32~64 个符号。

每行视频数据最后一个 TU 不填充 FS 和 FE。

图 3-6 Transfer Unit 示意图



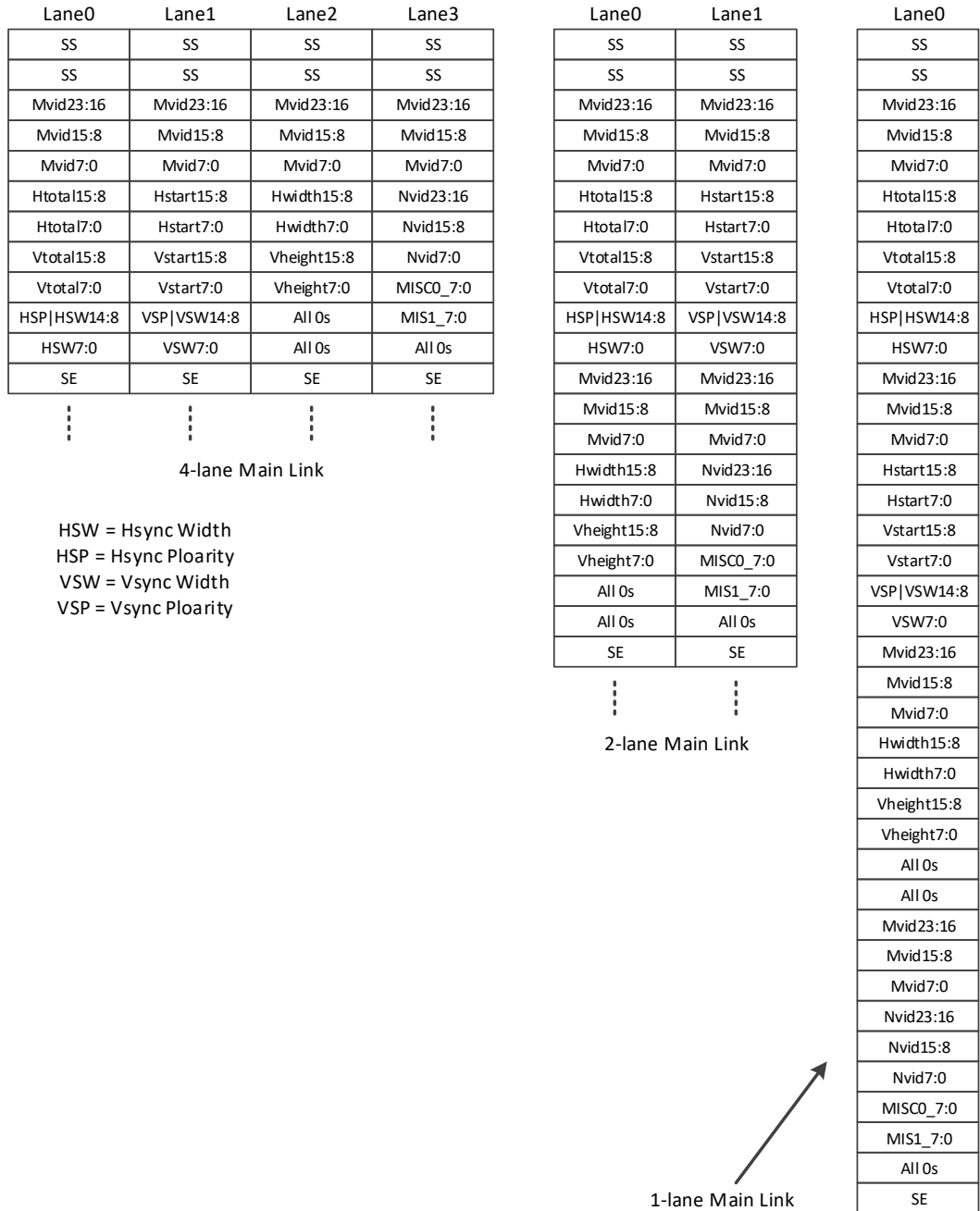
主视频流属性数据 Main Stream Attribute(MSA)在主视频流的垂直消隐期间每帧发送一次。属性数据包括以下：

1. 用于视频流时钟恢复的 M 和 N 值(24bits each)
2. 水平总点数和垂直总行数(16bits each)
3. 水平有效开始点数和垂直有效开始行数(16bits each)

4. 水平和垂直同步信号极性和宽度(1 bit for polarity and 15 bits for width)
5. 水平有效点数和垂直有效行数(16bits each)
6. 杂项 0(MISC0, 8bits)
7. 杂项 1(MISC1, 8bits)

通过每 lane 发送 2 个连续的“SS”符号，将主流属性数据包与第二数据包区分开来，如图 3-7 所示。

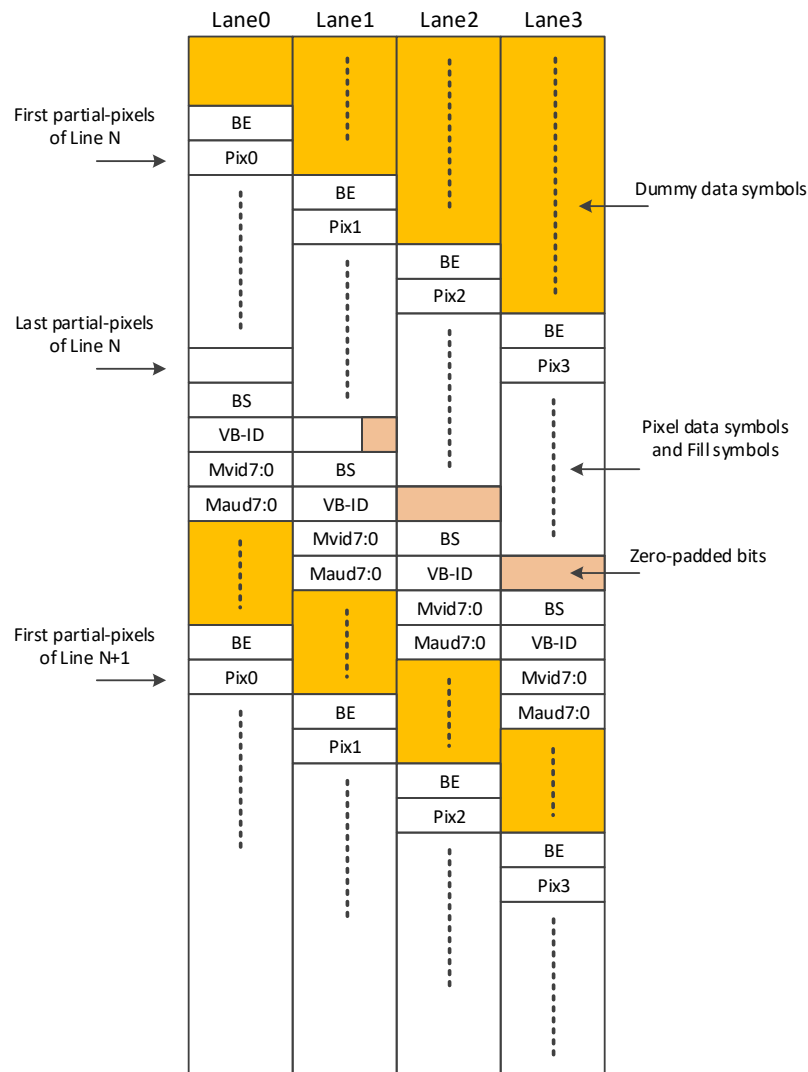
图 3-7 MSA 传输示意图



偏移与解偏移模块

相邻 lane 必须插入 2 个链路时钟 LS_Clk 歪斜，目的是提高链路对外部噪声的抗干扰能力，如图 3-8 所示。

图 3-8 通道歪斜示意图



扰码与解扰码模块

为了减少 EMI，在 8B/10B 编码之前，需进行扰码。16-bit LFSR 的多项式为 $G(X) = X^{16} + X^5 + X^4 + X^3 + 1$ 。数据的每个字节都使用 LFSR 的最高有效 8 位以相反的位顺序进行加扰/解扰。

$$\{D'[7], D'[6], D'[5], D'[4], D'[3], D'[2], D'[1], D'[0]\} = \{D[7], D[6], D[5], D[4], D[3], D[2], D[1], D[0]\} \wedge \{LFSR[8], LFSR[9], LFSR[10], LFSR[11], LFSR[12], LFSR[13], LFSR[14], LFSR[15]\}$$

SR 符号或 SR BF BF SR 符号序列被用于复位 LFSR 至初始值 FFFFh (或在 eDP 标准下初始值为 FFFEh)。

3.3.2 边带控制

热插拔检测

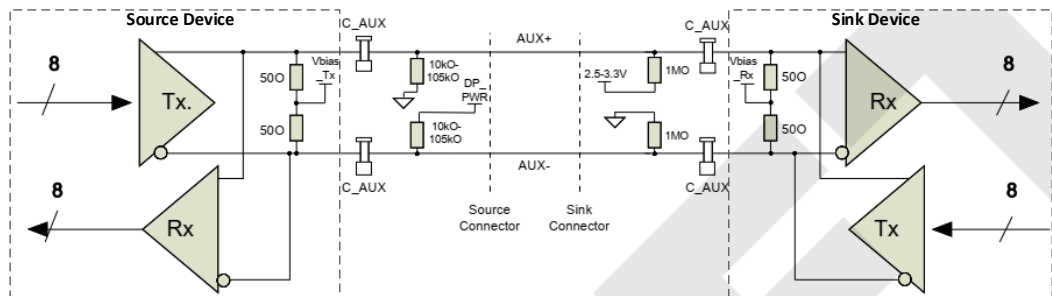
热插拔检测(HPD)信号是由终端向源端发出的中断请求信号，这是一个单向信号，高有效，当源端检测的此信号为高的时候表示有终端设备连接，如果为低则表示没有终端设备连接。热插拔检测信号 IO 电平标准为 3.3V。

辅助通道

辅助通道(AUX CH)是 DP 接口中一条独立的双向传输辅助通道，采用交流耦合差分传输方式，是一条双向半双工传输通道，速率为 1Mbps，采用曼彻斯特 II 编码，用来传输控制指令。辅助通道 IO 电平标准推荐 1.8V。

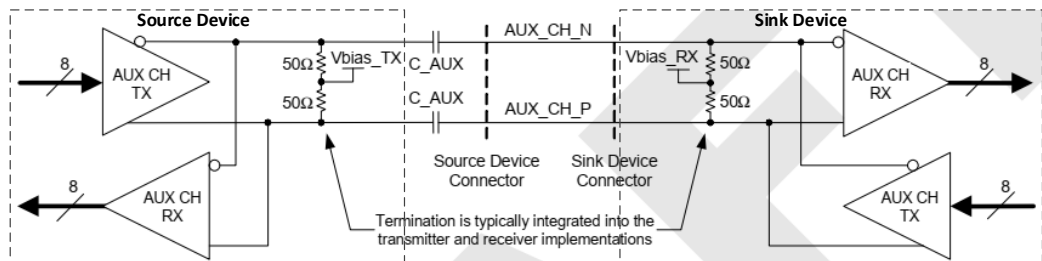
如果作为 DP 接口通过线缆连接，外部电路推荐如图 3-9 所示。

图 3-9 辅助通道差分信号



如果作为 eDP 接口在板内连接，外部电路推荐如图 3-10 所示。

图 3-10 eDP 辅助通道差分信号

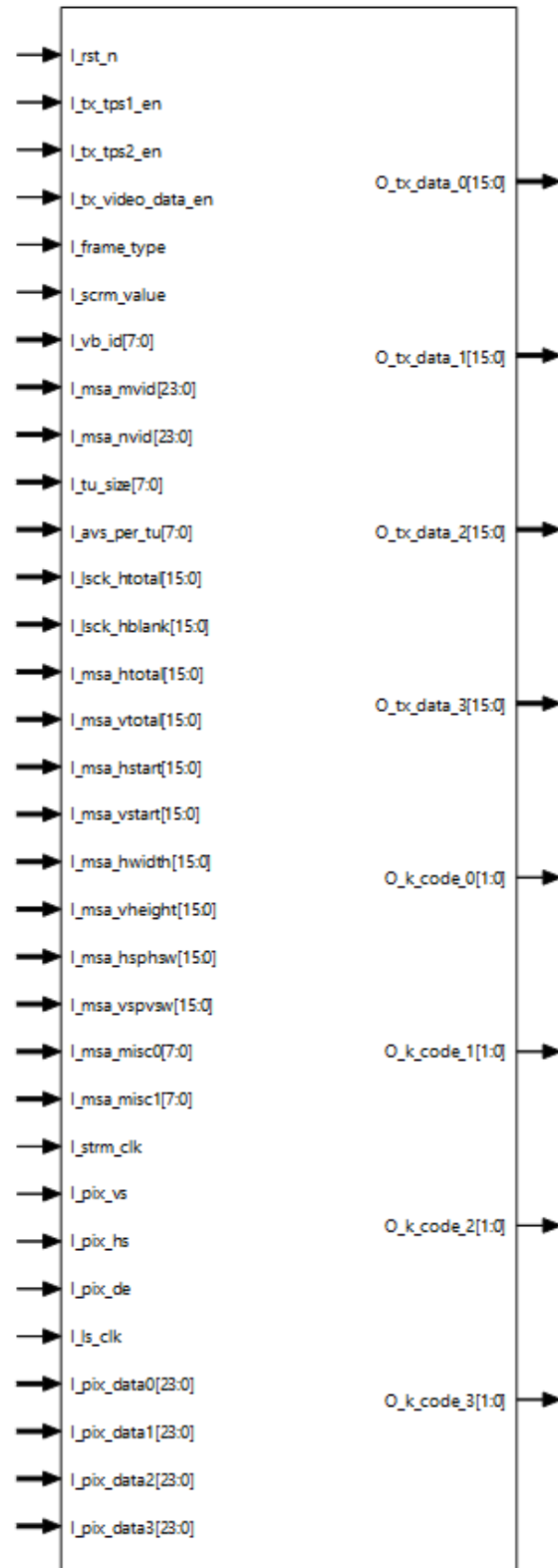


3.4 端口列表

3.4.1 EDP Encoder 端口

Gowin EDP Encoder IP 的 IO 端口如图 3-11 所示。

图 3-11 EDP Encoder IO 端口示意图



根据配置参数不同，端口会略有不同。

Gowin EDP Encoder IP 的 IO 端口详细描述如表 3-4 所示。

表 3-4 Gowin EDP Encoder IP 的端口列表

序号	信号名称	方向	描述	备注
1	l_rst_n	I	复位信号，低有效。	所有信号输入输出方向均以EDP Encoder IP为参考。
2	l_tx_tps1_en	I	TPS1训练数据使能 参数Training Pattern TPS1 Enable为Yes时有效	
3	l_tx_tps2_en	I	TPS2训练数据使能 参数Training Pattern TPS2 Enable为Yes时有效	
4	l_tx_tps3_en	I	TPS3训练数据使能 参数Training Pattern TPS3 Enable为Yes时有效	
5	l_tx_video_data_en	I	发送视频数据使能	
6	l_frame_type	I	帧类型控制信号 0: 普通帧 1: 增强帧	
7	l_scrm_value	I	扰码复位初始值控制信号 0: 复位初始值0xFFFF 1: 复位初始值0xFFFE	
8	l_vb_id	I	VB-ID参数	
9	l_msa_mvid	I	MSA中Mvid参数	
10	l_msa_nvid	I	MSA中Nvid参数	
11	l_tu_size	I	TU大小参数，范围32~64 User Clock Ratio 为 1:20 时，必须为 2 的倍数 User Clock Ratio为1:40时，必须为4的倍数	
12	l_avs_per_tu	I	每TU平均有效数据参数，范围小于等于(l_tu_size-2) User Clock Ratio 为 1:20 时，必须为 2 的倍数 User Clock Ratio为1:40时，必须为4的倍数	
13	l_lsck_htotal	I	链路时钟域一行总时钟数	
14	l_lsck_hblank	I	链路时钟域一行消隐时钟数	
15	l_msa_htotal	I	MSA中水平总点数参数	
16	l_msa_vtotal	I	MSA中垂直总行数参数	
17	l_msa_hstart	I	MSA中水平有效开始点数参数	
18	l_msa_vstart	I	MSA中垂直有效开始行数参数	

序号	信号名称	方向	描述	备注
19	l_msa_hwidth	I	MSA中水平有效点数参数	
20	l_msa_vheight	I	MSA中垂直有效行数参数	
21	l_msa_hsphsw	I	MSA中水平同步信号极性和宽度参数 [15]: 同步信号极性, 0表示正极性脉冲, 1表示负极性脉冲 [14:0]: 同步信号宽度	
22	l_msa_vspvsw	I	MSA中垂直同步信号极性和宽度参数 [15]: 同步信号极性, 0表示正极性脉冲, 1表示负极性脉冲 [14:0]: 同步信号宽度	
23	l_msa_misc0	I	MSA中MISC0参数 [0]: 0表示链路时钟与视频流时钟异步, 1表示链路时钟与视频流时钟同步	
24	l_msa_misc1	I	MSA中MISC1参数	
25	l_strm_clk	I	输入视频流时钟	
26	l_pix_vs	I	输入视频流场同步信号	
27	l_pix_de	I	输入视频流数据有效信号	
28	l_ls_clk	I	输入链路时钟	
29	l_pix_data0	I	输入视频流数据0, 格式{B,G,R} 若Double Pixels Per Lane参数为Yes, 则数据格式为{ B ₁ ,G ₁ ,R ₁ , B ₀ ,G ₀ ,R ₀ }	
30	l_pix_data1	I	输入视频流数据1, 格式{B,G,R}, 链路为2/4 lane时支持 若Double Pixels Per Lane参数为Yes, 则数据格式为{ B ₁ ,G ₁ ,R ₁ , B ₀ ,G ₀ ,R ₀ }	
31	l_pix_data2	I	输入视频流数据2, 格式{B,G,R}, 链路为4 lane时支持 若Double Pixels Per Lane参数为Yes, 则数据格式为{ B ₁ ,G ₁ ,R ₁ , B ₀ ,G ₀ ,R ₀ }	
32	l_pix_data3	I	输入视频流数据3, 格式{B,G,R}, 链路为4 lane时支持 若Double Pixels Per Lane参数为Yes, 则数据格式为{ B ₁ ,G ₁ ,R ₁ , B ₀ ,G ₀ ,R ₀ }	
33	O_tx_data_0	O	输出链路数据0 User Clock Ratio 为 1:20 时, 位宽 16 bits	

序号	信号名称	方向	描述	备注
			User Clock Ratio为1:40时, 位宽32 bits	
34	O_tx_data_1	O	输出链路数据1, 链路为2/4 lane时支持 User Clock Ratio 为 1:20 时, 位宽 16 bits User Clock Ratio为1:40时, 位宽32 bits	
35	O_tx_data_2	O	输出链路数据2, 链路为4 lane时支持 User Clock Ratio 为 1:20 时, 位宽 16 bits User Clock Ratio为1:40时, 位宽32 bits	
36	O_tx_data_3	O	输出链路数据3, 链路为4 lane时支持 User Clock Ratio 为 1:20 时, 位宽 16 bits User Clock Ratio为1:40时, 位宽32 bits	
37	O_k_code_0	O	输出链路K码标志0 User Clock Ratio 为 1:20 时, 位宽 2 bits User Clock Ratio为1:40时, 位宽4 bits	
38	O_k_code_1	O	输出链路K码标志1, 链路为2/4 lane时支持 User Clock Ratio 为 1:20 时, 位宽 2 bits User Clock Ratio为1:40时, 位宽4 bits	
39	O_k_code_2	O	输出链路K码标志2, 链路为4 lane时支持 User Clock Ratio 为 1:20 时, 位宽 2 bits User Clock Ratio为1:40时, 位宽4 bits	
40	O_k_code_3	O	输出链路K码标志3, 链路为4 lane时支持 User Clock Ratio 为 1:20 时, 位宽 2 bits User Clock Ratio为1:40时, 位宽4 bits	

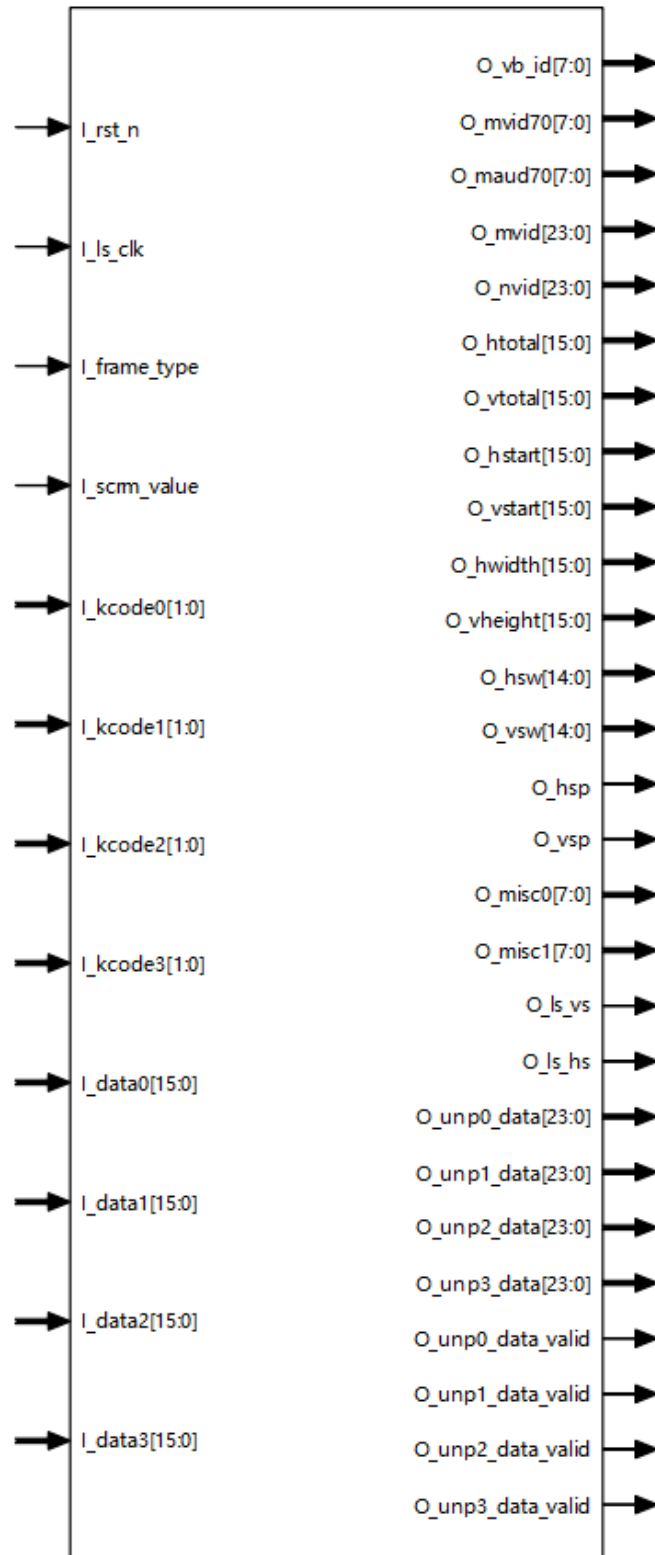
注!

Lanes Number 参数为 1 lane 时，输入单像素。Lanes Number 参数为 2 lane 时，输入双像素。Lanes Number 参数为 4 lane 时，输入四像素。

3.4.2 EDP Decoder 端口

Gowin EDP Decoder IP 的 IO 端口如图 3-12 所示。

图 3-12 EDP Decoder IO 端口示意图



根据配置参数不同，端口会略有不同。

Gowin EDP Decoder IP 的 IO 端口详细描述如表 3-5 所示。

表 3-5 Gowin EDP Decoder IP 的端口列表

序号	信号名称	方向	描述	备注
1	I_rst_n	I	复位信号，低有效。	所有信号输入输出方向均以 EDP Decoder IP 为参考。
2	I_ls_clk	I	输入链路时钟	
3	I_tps1_en	I	TPS1 训练数据使能 参数 Training Pattern TPS1 Enable 为 Yes 时有效	
4	I_tps2_en	I	TPS2 训练数据使能 参数 Training Pattern TPS2 Enable 为 Yes 时有效	
5	I_tps3_en	I	TPS3 训练数据使能 参数 Training Pattern TPS3 Enable 为 Yes 时有效	
6	I_frame_type	I	帧类型控制信号 0: 普通帧 1: 增强帧	
7	I_scrm_value	I	扰码复位初始值控制信号 0: 复位初始值 0xFFFF 1: 复位初始值 0xFFFE	
8	O_vb_id	O	VB-ID参数	
9	O_mvid70	O	MSA中Mvid参数低8位	
10	O_maud70	O	音频Maud参数低8位	
11	O_mvid	O	MSA 中 Mvid 参数	
12	O_nvid	O	MSA 中 Nvid 参数	
13	O_htotal	O	MSA 中水平总点数参数	
14	O_vtotal	O	MSA 中垂直总行数参数	
15	O_hstart	O	MSA 中水平有效开始点数参数	
16	O_vstart	O	MSA 中垂直有效开始行数参数	
17	O_hwidth	O	MSA 中水平有效点数参数	
18	O_vheight	O	MSA 中垂直有效行数参数	
19	O_hsw	O	MSA中水平同步信号宽度参数	
20	O_vsw	O	MSA中垂直同步信号宽度参数	
21	O_hsp	O	MSA中水平同步信号极性参数	
22	O_vsp	O	MSA中垂直同步信号极性参数	
23	O_misc0	O	MSA 中 MISC0 参数	
24	O_misc1	O	MSA 中 MISC1 参数	
25	O_ls_vs	O	链路时钟域场同步信号	

序号	信号名称	方向	描述	备注
26	O_ls_hs	O	链路时钟域行同步信号	
27	I_kcode0	I	输入 lane0 链路 K 码标志 0 User Clock Ratio 为 1:20 时, 位宽 2 bits User Clock Ratio 为 1:40 时, 位宽 4 bits	
28	I_data0	I	输入 lane0 链路数据 0 User Clock Ratio 为 1:20 时, 位宽 16 bits User Clock Ratio 为 1:40 时, 位宽 32 bits	
29	I_kcode1	I	输入 lane1 链路 K 码标志 1, 链路为 2/4 lane 时支持 User Clock Ratio 为 1:20 时, 位宽 2 bits User Clock Ratio 为 1:40 时, 位宽 4 bits	
30	I_data1	I	输入 lane1 链路数据 1, 链路为 2/4 lane 时支持 User Clock Ratio 为 1:20 时, 位宽 16 bits User Clock Ratio 为 1:40 时, 位宽 32 bits	
31	I_kcode2	I	输入 lane2 链路 K 码标志 2, 链路为 4 lane 时支持 User Clock Ratio 为 1:20 时, 位宽 2 bits User Clock Ratio 为 1:40 时, 位宽 4 bits	
32	I_data2	I	输入 lane2 链路数据 2, 链路为 4 lane 时支持 User Clock Ratio 为 1:20 时, 位宽 16 bits User Clock Ratio 为 1:40 时, 位宽 32 bits	
33	I_kcode3	I	输入 lane3 链路 K 码标志 3, 链路为 4 lane 时支持 User Clock Ratio 为 1:20 时, 位宽 2 bits User Clock Ratio 为 1:40 时, 位宽 4 bits	
34	I_data3	I	输入 lane3 链路数据 3, 链路为 4 lane 时支持 User Clock Ratio 为 1:20 时, 位	

序号	信号名称	方向	描述	备注
			宽 16 bits User Clock Ratio 为 1:40 时, 位宽 32 bits	
35	O_rx0_tps1_done	O	Lane0 TPS1 数据训练结束标志 参数 Training Pattern TPS1 Enable 为 Yes 时有效	
36	O_rx0_tps1_ok	O	Lane0 TPS1 数据训练成功标志 参数 Training Pattern TPS1 Enable 为 Yes 时有效	
37	O_rx0_tps2_done	O	Lane0 TPS2 数据训练结束标志 参数 Training Pattern TPS2 Enable 为 Yes 时有效	
38	O_rx0_tps2_ok	O	Lane0 TPS2 数据训练成功标志 参数 Training Pattern TPS2 Enable 为 Yes 时有效	
39	O_rx1_tps1_done	O	Lane1 TPS1 数据训练结束标志 参数 Training Pattern TPS1 Enable 为 Yes 时有效	
40	O_rx1_tps1_ok	O	Lane1 TPS1 数据训练成功标志, 链路为 2/4 lane 时支持 参数 Training Pattern TPS1 Enable 为 Yes 时有效	
41	O_rx1_tps2_done	O	Lane1 TPS2 数据训练结束标志 参数 Training Pattern TPS2 Enable 为 Yes 时有效	
42	O_rx1_tps2_ok	O	Lane1 TPS2 数据训练成功标志, 链路为 2/4 lane 时支持 参数 Training Pattern TPS2 Enable 为 Yes 时有效	
43	O_rx2_tps1_done	O	Lane2 TPS1 数据训练结束标志 参数 Training Pattern TPS1 Enable 为 Yes 时有效	
44	O_rx2_tps1_ok	O	Lane2 TPS1 数据训练成功标志, 链路为 4 lane 时支持 参数 Training Pattern TPS1 Enable 为 Yes 时有效	
45	O_rx2_tps2_done	O	Lane2 TPS2 数据训练结束标志 参数 Training Pattern TPS2 Enable 为 Yes 时有效	
46	O_rx2_tps2_ok	O	Lane2 TPS2 数据训练成功标志, 链路为 4 lane 时支持 参数 Training Pattern TPS2 Enable 为 Yes 时有效	

序号	信号名称	方向	描述	备注
47	O_rx3_tps1_done	O	Lane3 TPS1 数据训练结束标志 参数 Training Pattern TPS1 Enable 为 Yes 时有效	
48	O_rx3_tps1_ok	O	Lane3 TPS1 数据训练成功标志, 链路为 4 lane 时支持 参数 Training Pattern TPS1 Enable 为 Yes 时有效	
49	O_rx3_tps2_done	O	Lane3 TPS2 数据训练结束标志 参数 Training Pattern TPS2 Enable 为 Yes 时有效	
50	O_rx3_tps2_ok	O	Lane3 TPS2 数据训练成功标志, 链路为 4 lane 时支持 参数 Training Pattern TPS2 Enable 为 Yes 时有效	
51	O_unp0_data	O	输出 lane0 解包数据 User Clock Ratio 为 1:20 时, 格式{B,G,R} User Clock Ratio 为 1:40 时, 格式{B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }	
52	O_unp0_data_valid	O	输出 lane0 解包数据有效信号	
53	O_unp1_data	O	输出 lane1 解包数据, 链路为 2/4 lane 时支持 User Clock Ratio 为 1:20 时, 格式{B,G,R} User Clock Ratio 为 1:40 时, 格式{B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }	
54	O_unp1_data_valid	O	输出 lane1 解包数据有效信号, 链路为 2/4 lane 时支持	
55	O_unp2_data	O	输出 lane2 解包数据, 链路为 4 lane 时支持 User Clock Ratio 为 1:20 时, 格式{B,G,R} User Clock Ratio 为 1:40 时, 格式{B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }	
56	O_unp2_data_valid	O	输出 lane2 解包数据有效信号, 链路为 4 lane 时支持	
57	O_unp3_data	O	输出 lane3 解包数据, 链路为 4 lane 时支持 User Clock Ratio 为 1:20 时, 格式{B,G,R} User Clock Ratio 为 1:40 时, 格式{B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }	
58	O_unp3_data_valid	O	输出 lane3 解包数据有效信号, 链	

序号	信号名称	方向	描述	备注
	lid		路为 4 lane 时支持	

注！

- User Clock Ratio 参数为 1:20 时，每 lane 输出数据单像素，User Clock Ratio 参数为 1:40 时，每 lane 输出数据双像素。
- 输出解包数据有效信号 unp_data_valid 每行非连续信号，与 DE 信号不同。

3.5 参数配置

3.5.1 EDP Encoder 参数

表 3-6 EDP Encoder 参数

序号	参数名称	允许范围	默认值	描述
1	User Clock Ratio	1:20/1:40	1:20	用户时钟与串行化时钟比例
2	Lanes Number	1/2/4	1	主链路 lane 数
3	Bits Per Pixel	24	24	每像素 bit 数
4	TX Line Buffer Depth	2048/4096/8092	4096	发送行缓存深度
5	Active Symbols Per TU Almost Equal To TU	勾选/不勾选	不勾选	若 User Clock Ratio 为 1:20, l_avs_per_tu== l_tu_size-2, 必须勾选；若 User Clock Ratio 为 1:40, l_avs_per_tu== l_tu_size-4, 必须勾选。
6	Double Pixels Per Lane	勾选/不勾选	不勾选	每 lane 输入双像素使能控制
7	Training Pattern TPS1 Enable	勾选/不勾选	勾选	训练 Pattern TPS1 使能控制
8	Training Pattern TPS2 Enable	勾选/不勾选	勾选	训练 Pattern TPS2 使能控制
9	Training Pattern TPS3 Enable	勾选/不勾选	勾选	训练 Pattern TPS3 使能控制

3.5.2 EDP Decoder 参数

表 3-7 EDP Decoder 参数

序号	参数名称	允许范围	默认值	描述
1	User Clock Ratio	1:20/1:40	1:20	用户时钟与串行化时钟比例
2	Lanes Number	1/2/4	1	主链路 lane 数
3	Bits Per Pixel	24	24	每像素 bit 数
4	RX Deskew Enable	勾选/不勾选	勾选	接收解偏移使能控制，如 EDP PHY 启用 RX Channel Bonding 功能，可关闭接收解偏移模块 勾选为 Yes，不勾选为 No
5.	Training Pattern TPS1 Enable	勾选/不勾选	勾选	训练 Pattern TPS1 使能控制 勾选为 Yes，不勾选为 No

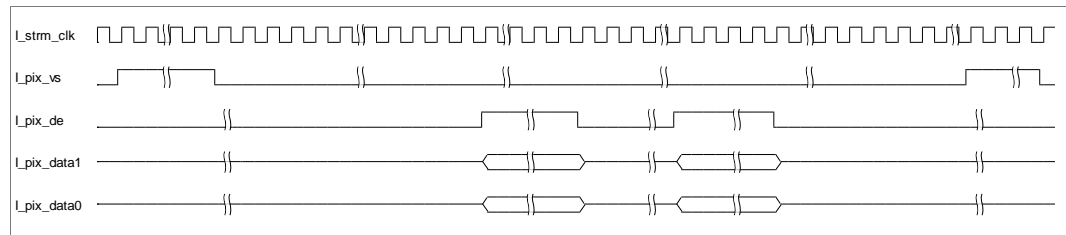
序号	参数名称	允许范围	默认值	描述
6	Training Pattern TPS2 Enable	勾选/不勾选	勾选	训练 Pattern TPS2 使能控制 勾选为 Yes, 不勾选为 No
7	Training Pattern TPS3 Enable	勾选/不勾选	勾选	训练 Pattern TPS3 使能控制 勾选为 Yes, 不勾选为 No

3.6 时序说明

本节介绍 Gowin EDP Encoder Decoder IP 的时序情况。

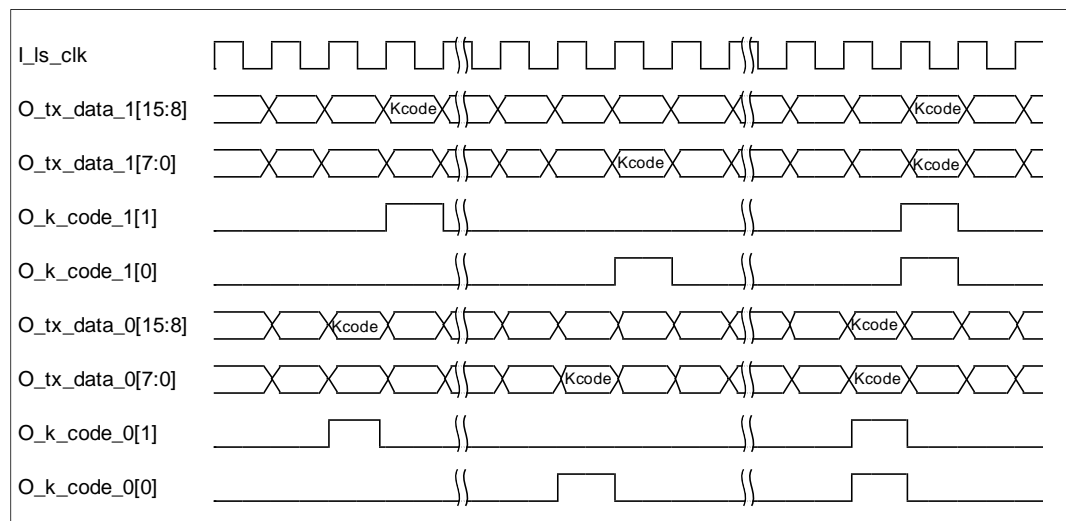
EDP Encoder 视频接口时序示意图（2 lanes）如图 3-13 所示。

图 3-13 EDP Encoder 视频接口时序示意图(2lanes)



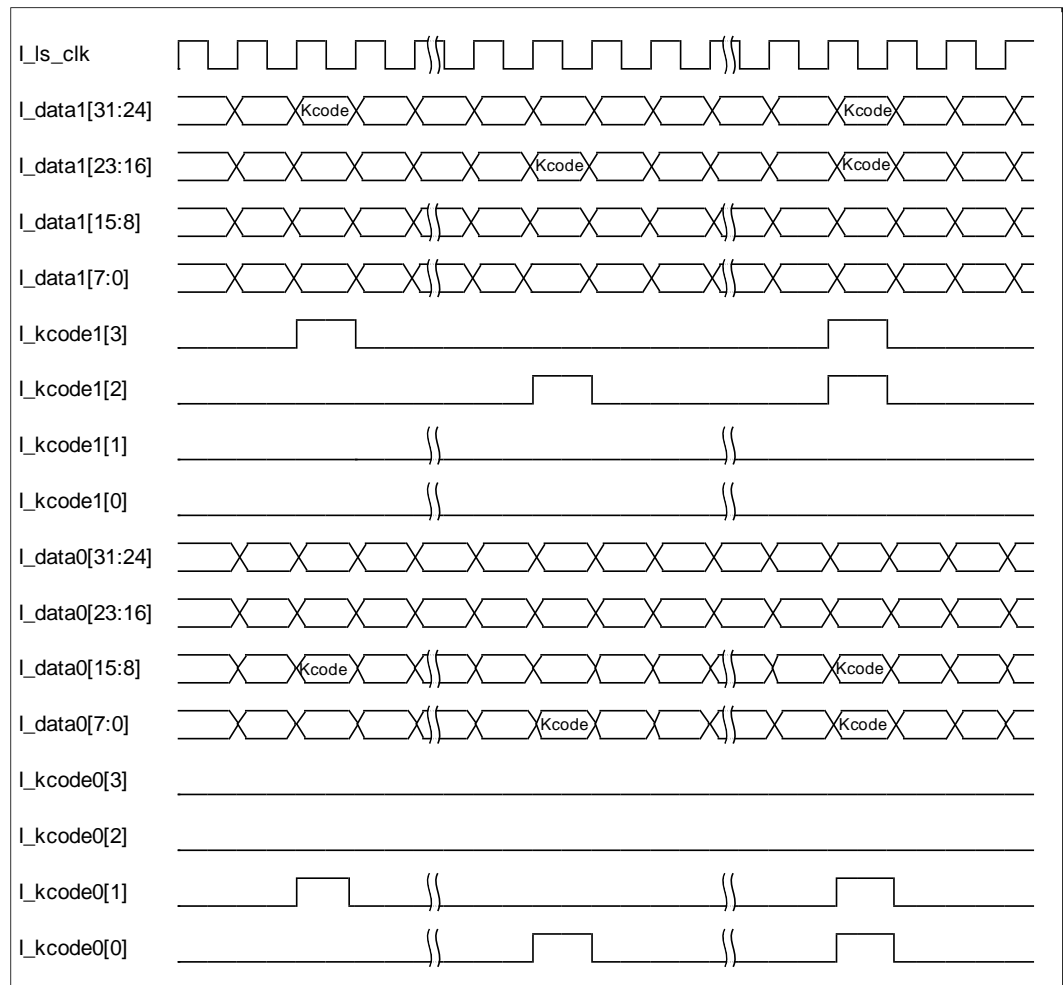
EDP Encoder 输出接口时序示意图（2 lanes）如图 3-14 所示，数据位宽以 16bit 为例。

图 3-14 EDP Encoder 输出接口时序示意图(2lanes)



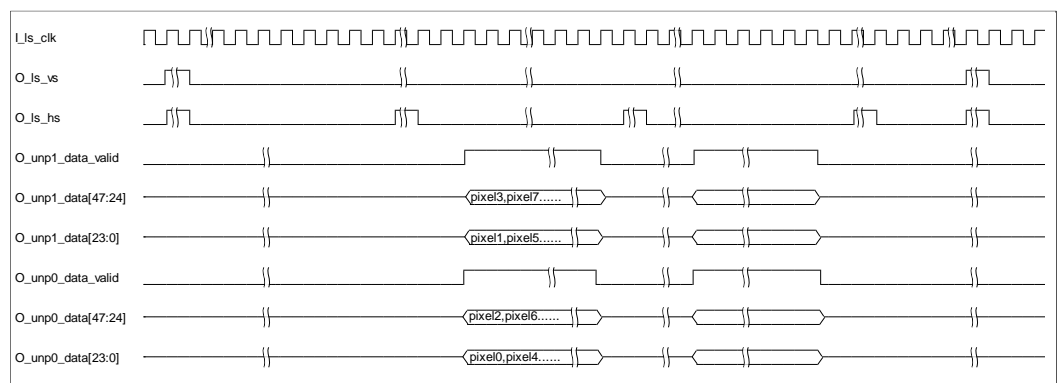
EDP Decoder 输入接口时序示意图（2 lanes）如图 3-15 所示，数据位宽以 32 bits 为例。

图 3-15 EDP Decoder 输入接口时序示意图(2lanes)



EDP Decoder 输出接口时序示意图（2 lanes）如图 3-16 所示，像素数据位宽以 48 bits 为例。

图 3-16 EDP Decoder 输出接口时序示意图(2lanes)



注！

User Clock Ratio 为 1:40 时，Lanes Number 为 2 或 4lanes 时，每 lane 输出 48 bits 像素数据非顺序输出，顺序如上图所示。

3.7 EDP Encoder 端口参数计算

本文以三个例子说明端口参数计算方法。

示例一

3840x2160@60Hz 分辨率 eDP 屏, 串行速率 5.4Gbps, lanes=4, 视频流像素时钟频率 $f_Strm_Clk = 533.280\text{MHz}$, 链路时钟频率 $f_LS_Clk = 540\text{MHz}$, 视频时序参数 $htotal = 4000$, $vtotal = 2222$, $hstart = 48$, $vstart = 6$, $hwidth = 3840$, $vheight = 2160$, $hsw = 8$, $vsw = 2$, $hsp = 0$, $vsp = 0$, $misc0 = 0x20$, $misc1 = 0x00$, BPP(Bits Per Pixel)=24, User Clock Ratio=1:40。

其余端口参数计算过程。

1. Nvid 取 32768, Mvid= Nvid * (f_Strm_Clk/f_LS_Clk)=32360。
2. 计算每 lane 链路时钟域一行总字节数(Hbytes), 利用一行总时间相等计算, $Hbytes = htotal/f_Strm_Clk * f_LS_Clk = 4050$ (向下取整)。
3. Transfer Unit 选取, 如 $I_tu_size = 32$ 。
4. Average valid symbols per TU 计算。如 $I_avs_per_tu = f_Strm_Clk * BPP / 8 / lanes / f_LS_Clk * I_tu_size = 24$ (实际 23.7), 如果 User Clock Ratio 为 1:20, 向上取邻近 2 的倍数, 如果 User Clock Ratio 为 1:40, 向上取邻近 4 的倍数。
5. 每 lane 有效字节数(Bla)。如每行 3840 个像素, 对应每行有效字节数 $= 3840 * BPP / 8 = 11520\text{bytes}$, 分为 4 个 lane 传输, 每 lane 有效字节数 $Bla = 11520 / 4 = 2880\text{bytes/lane}$ 。
6. 每 lane 一行 TU 数($Bla / I_avs_per_tu$)。举例: $2880 / 24 = 120$ 个 TU, 如果不整除, 整数部分为完整 TU 数, 小数部分对应数据在最后一个 TU 传输。
7. 每 lane 一行 TU 总占字节数, 最后一个 TU 只有数据, 无填充 0。如所有 TU 包含总 byte 数 $= 119 * 32 + 24 = 3832$ 。
8. 计算每 lane 一行总字节数 Hbytes, 如果 User Clock Ratio 为 1:20, 需为 2 的倍数, 如果 User Clock Ratio 为 1:40, 需为 4 的倍数。将一行总字节数值扩大到相邻值。如 4050 不是 4 的倍数, 向上取 4052。
9. 每 lane 每行 LS clock 数, 如果 User Clock Ratio 为 1:20, 则 Hbytes 除 2, 如果 User Clock Ratio 为 1:40, 则 Hbytes 除 4。如 $I_lsck_htotal = 4052 / 4 = 1013$ 。
10. 每 lane 每行消隐占 LS clock 数, 如果 User Clock Ratio 为 1:20, 则 (Hbytes-每 lane 一行 TU 总占字节数)除 2, 如果 User Clock Ratio 为 1:40, 则 (Hbytes-每 lane 一行 TU 总占字节数)除 4。如 $I_lsck_hblank = (4052 - 3832) / 4 = 55$ 。
11. 再次计算 Mvid, 公式 $Mvid / Nvid = Htotal / Hbytes$ 。如 $Mvid = 4000 / 4052 * 32768 = 32347$ 。

示例二

1280x800@60Hz 分辨率 eDP 屏, 串行速率 2.7Gbps, lanes=2, 视频流像素时钟频率 $f_Strm_Clk = 72.484\text{MHz}$, 链路时钟频率 $f_LS_Clk = 270\text{MHz}$, 视频时序参数 $htotal = 1452$, $vtotal = 832$, $hstart = 48$, $vstart = 6$, $hwidth = 1280$, $vheight = 800$, $hsw = 8$, $vsw = 2$, $hsp = 0$, $vsp = 0$, $misc0 = 0x20$, $misc1 = 0x00$ 。BPP(Bits Per Pixel)=24。User Clock Ratio=1:40。

其余端口参数计算过程。

1. Nvid 取 32768, $Mvid = Nvid * (f_Strm_Clk / f_LS_Clk) = 8797$ 。
2. 计算每 lane 链路时钟域一行总字节数(Hbytes), 利用一行总时间相等计算, $Hbytes = htotal / f_Strm_Clk * f_LS_Clk = 5408$ (向下取整)。
3. Transfer Unit 选取。如 $I_tu_size = 32$ 。
4. Average valid symbols per TU 计算。如 $I_avs_per_tu = f_Strm_Clk * BPP / 8 / lanes / f_LS_Clk * I_tu_size = 16$ (实际 12.89), 如果 User Clock Ratio 为 1:20, 向上取邻近 2 的倍数, 如果 User Clock Ratio 为 1:40, 向上取邻近 4 的倍数。
5. 每 lane 有效字节数(Bla)。如每行 1280 个像素, 对应每行有效字节数 $= 1280 * BPP / 8 = 3840\text{bytes}$, 分为 2 个 lane 传输, 每 lane 有效字节数 $Bla = 3840 / 2 = 1920\text{bytes/lane}$ 。
6. 每 lane 一行 TU 数($Bla / I_avs_per_tu$)。如 $1920 / 16 = 120$ 个 TU, 如果不整除, 整数部分为完整 TU 数, 小数部分对应数据在最后一个 TU 传输。
7. 每 lane 一行 TU 总占字节数, 最后一个 TU 只有数据, 无填充 0。如所有 TU 包含总 byte 数 $= 119 * 32 + 16 = 3824$ 。
8. 计算每 lane 一行总字节数 Hbytes, 如果 User Clock Ratio 为 1:20, 需为 2 的倍数, 如果 User Clock Ratio 为 1:40, 需为 4 的倍数。将一行总字节数值扩大到相邻值。如 5408 是 4 的倍数, 就取 5408。
9. 每 lane 每行 LS clock 数, 如果 User Clock Ratio 为 1:20, 则 Hbytes 除 2, 如果 User Clock Ratio 为 1:40, 则 Hbytes 除 4。如 $I_lsck_htotal = 5408 / 4 = 1352$ 。
10. 每 lane 每行消隐占 LS clock 数, 如果 User Clock Ratio 为 1:20, 则 $(Hbytes - \text{每 lane 一行 TU 总占字节数}) / 2$, 如果 User Clock Ratio 为 1:40, 则 $(Hbytes - \text{每 lane 一行 TU 总占字节数}) / 4$ 。如 $I_lsck_hblank = (5408 - 3824) / 4 = 396$ 。
11. 再次计算 Mvid, 公式 $Mvid / Nvid = Htotal / Hbytes$ 。如 $Mvid = 1452 / 5408 * 32768 = 8797$ 。

示例三

1920x1080@59.954Hz 分辨率 DP 显示器, 串行速率 1.62Gbps, lanes=4, 视频流像素时钟频率 $f_Strm_Clk = 148.386\text{MHz}$, 链路时钟频率 $f_LS_Clk = 162\text{MHz}$, 视频时序参数 $htotal = 2200$, $vtotal = 1125$, $hstart = 192$, $vstart = 41$, $hwidth = 1920$, $vheight = 1080$, $hsw = 44$, $vsw = 5$, $hsp = 0$, $vsp = 0$,

misc0=0x20, misc1=0x00。BPP(Bits Per Pixel)=24。User Clock Ratio=1:40。

其余端口参数计算过程。

1. Nvid 取 32768, Mvid= Nvid * (f_Strm_Clk/f_LS_Clk)=30014。
2. 计算每 lane 链路时钟域一行总字节数(Hbytes), 利用一行总时间相等计算, $Hbytes = Htotal / f_Strm_Clk * f_LS_Clk = 2401$ (向下取整)。
3. Transfer Unit 选取。如 $I_tu_size = 64$ 。
4. Average valid symbols per TU 计算。如 $I_avs_per_tu = f_Strm_Clk * BPP / 8 / lanes / f_LS_Clk * I_tu_size = 44$ (实际 43.966), 如果 User Clock Ratio 为 1:20, 向上取邻近 2 的倍数, 如果 User Clock Ratio 为 1:40, 向上取邻近 4 的倍数。
5. 每 lane 有效字节数(Bla)。如每行 1920 个像素, 对应每行有效字节数 $= 1920 * BPP / 8 = 5760$ bytes, 分为 4 个 lane 传输, 每 lane 有效字节数 $Bla = 5760 / 4 = 1440$ bytes/lane。
6. 每 lane 一行 TU 数($Bla / I_avs_per_tu$)。如 $1440 / 44 = 32.73$ 个 TU, 如果不整除, 整数部分为完整 TU 数, 传输 $32 * 44 = 1408$ bytes, 小数部分对应数据在最后一个 TU 传输, 传输 $1440 - 1408 = 32$ bytes。
7. 每 lane 一行 TU 总占字节数, 最后一个 TU 只有数据, 无填充 0。如所有 TU 包含总 byte 数 $= 32 * 64 + 32 = 2080$ 。
8. 计算每 lane 一行总字节数 Hbytes, 如果 User Clock Ratio 为 1:20, 需为 2 的倍数, 如果 User Clock Ratio 为 1:40, 需为 4 的倍数。将一行总字节数值扩大到相邻值。如 2401 不是 4 的倍数, 向上取 2404。
9. 每 lane 每行 LS clock 数, 如果 User Clock Ratio 为 1:20, 则 Hbytes 除 2, 如果 User Clock Ratio 为 1:40, 则 Hbytes 除 4。如 $I_lsck_htotal = 2404 / 4 = 601$ 。
10. 每 lane 每行消隐占 LS clock 数, 如果 User Clock Ratio 为 1:20, 则 $(Hbytes - \text{每 lane 一行 TU 总占字节数}) / 2$, 如果 User Clock Ratio 为 1:40, 则 $(Hbytes - \text{每 lane 一行 TU 总占字节数}) / 4$ 。如 $I_lsck_hblank = (2404 - 2080) / 4 = 81$ 。
11. 再次计算 Mvid, 公式 $Mvid / Nvid = Htotal / Hbytes$ 。如 $Mvid = 2200 / 2404 * 32768 = 29987$ 。

4 界面配置

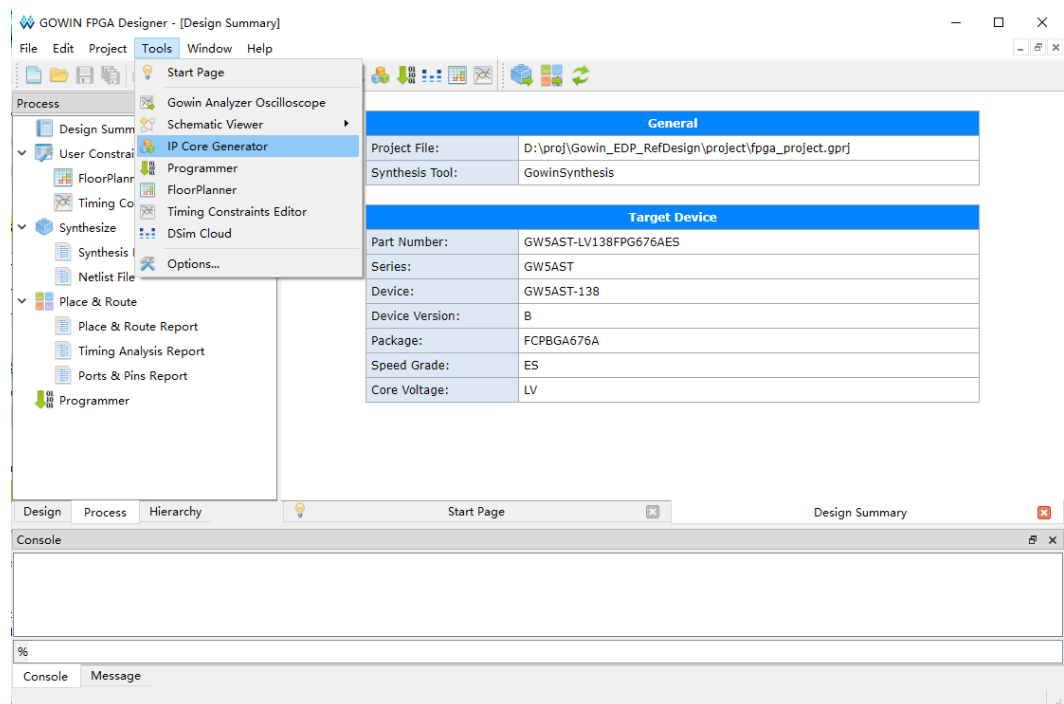
用户可用高云半导体云源软件中的 IP 内核生成器工具调用和配置高云 EDP Encoder 和 Decoder IP。

4.1 EDP Encoder IP 配置

1. 打开 IP Core Generator

用户建立工程后，单击左上角“Tools”选项卡，下拉单击“IP Core Generator”选项，即可打开 Gowin IP Core Generator 如图 4-1 所示。

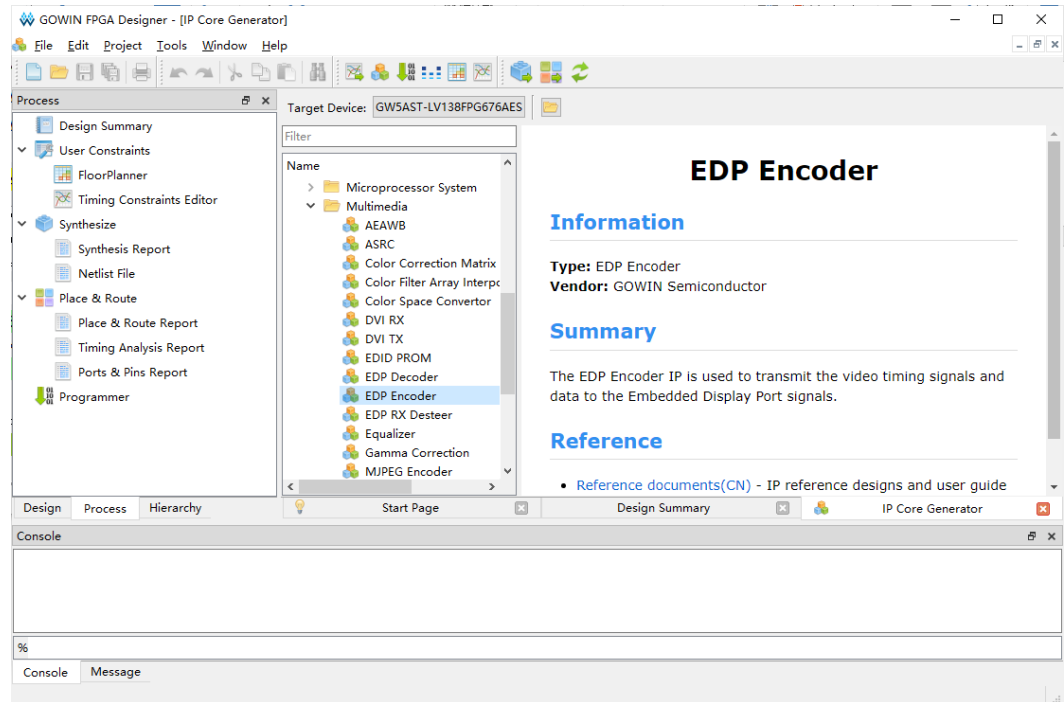
图 4-1 打开 IP Core Generator



2. 打开 EDP Encoder IP 核

单击“Multimedia”选项，双击“EDP Encoder”，打开 EDP Encoder IP 核的配置界面如图 4-2 所示。

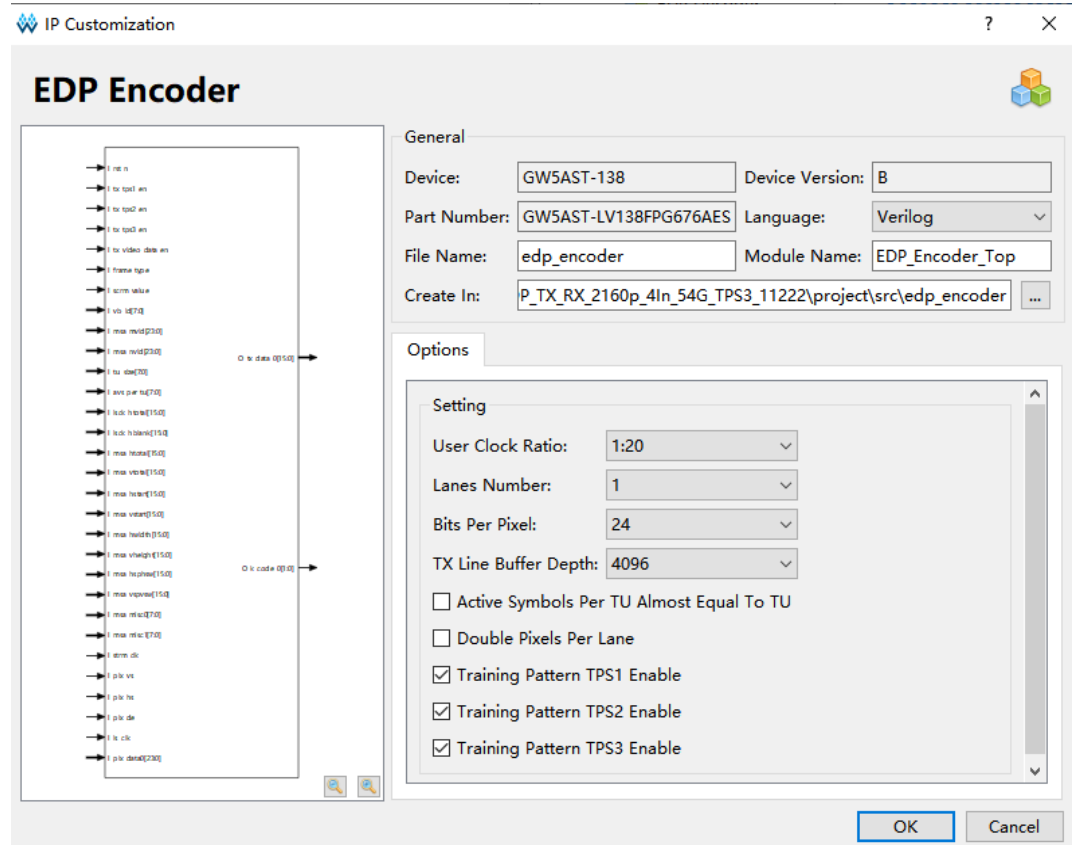
图 4-2 打开 EDP Encoder IP 核



3. EDP Encoder IP 核端口界面

配置界面左侧为 EDP Encoder IP 核的接口示意图如图 4-3 所示。

图 4-3 EDP Encoder IP 核接口示意图



4. 配置基本信息

在配置界面的上部分是工程基本信息配置界面,以 GW5AST-138 为例,封装选择 FPG676A。Module Name 选项后面是工程产生后顶层文件的名称,默认为“EDP_Encoder_Top”,用户可自行修改。“File Name”是 IP 核文件产生的文件夹,存放 EDP Encoder IP 核所需文件,默认为“edp_encoder”,用户可自行修改路径。Create In 选项是 IP 核文件夹产生路径,默认为“\工程路径\src\edp_encoder”,用户可自行修改路径。

图 4-4 基本信息配置界面

The screenshot shows a 'General' configuration window with the following fields:

- Device: GW5AST-138
- Device Version: B
- Part Number: GW5AST-LV138FPG676AES
- Language: Verilog
- File Name: edp_encoder
- Module Name: EDP_Encoder_Top
- Create In: D:\proj\Gowin_EDP_RefDesign\project\src\edp_encoder

5. Options 选项卡

在选项卡中,用户需要配置 EDP Encoder 所使用的参数信息。

图 4-5 Options 选项卡

The screenshot shows an 'Options' configuration window with the following settings:

- User Clock Ratio: 1:20
- Lanes Number: 1
- Bits Per Pixel: 24
- TX Line Buffer Depth: 4096
- Active Symbols Per TU Almost Equal To TU
- Double Pixels Per Lane
- Training Pattern TPS1 Enable
- Training Pattern TPS2 Enable
- Training Pattern TPS3 Enable

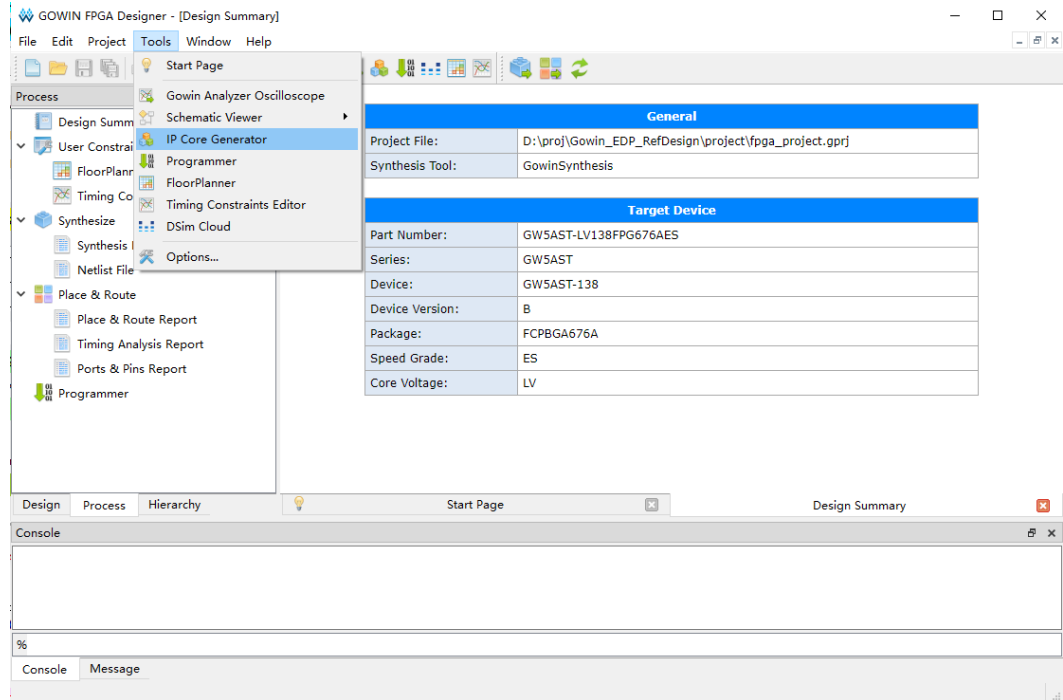
Buttons: OK, Cancel

4.2 EDP Decoder IP 配置

1. 打开 IP Core Generator

用户建立工程后，单击左上角“Tools”选项卡，下拉单击“IP Core Generator”选项，即可打开 Gowin IP Core Generator 如图 4-6 所示。

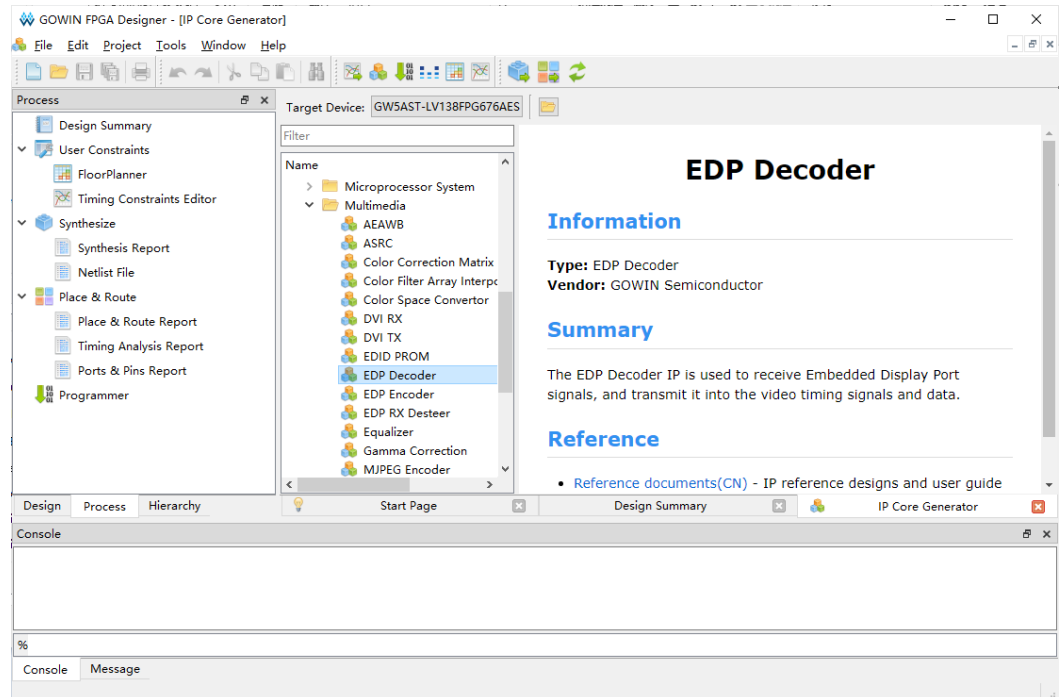
图 4-6 打开 IP Core Generator



2. 打开 EDP Decoder IP 核

单击“Multimedia”选项，双击“EDP Decoder”，打开 EDP Decoder IP 核的配置界面如图 4-7 所示。

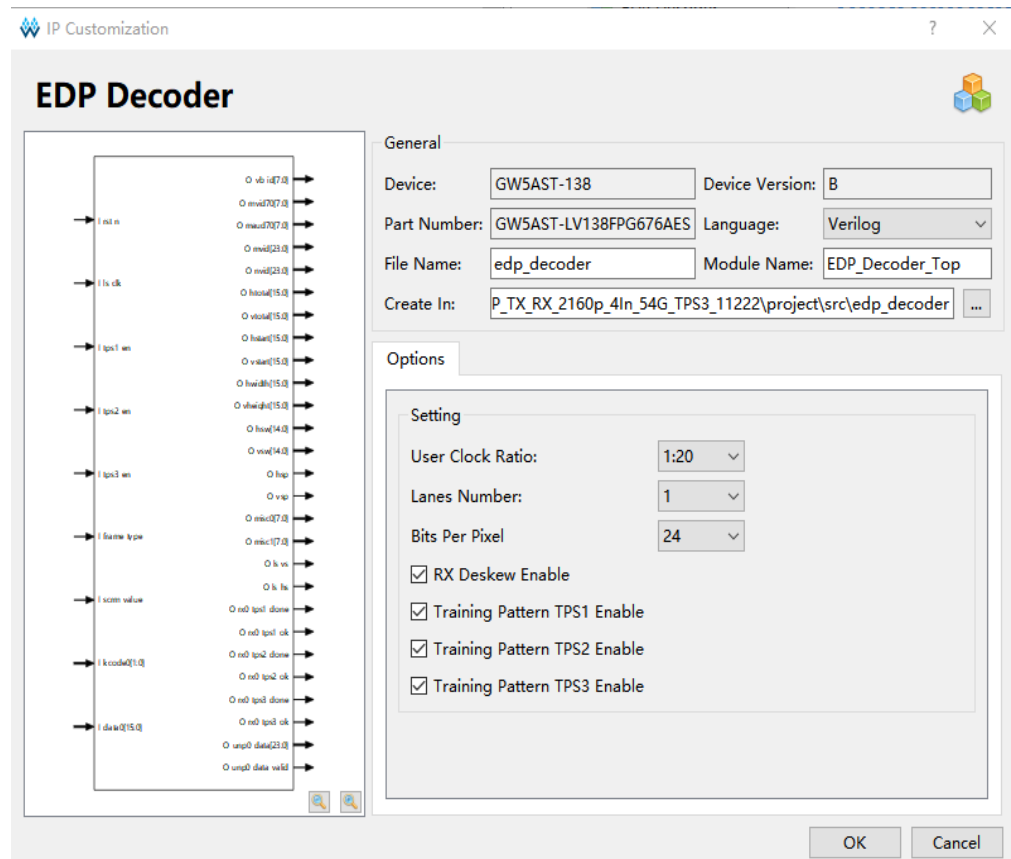
图 4-7 打开 EDP Decoder IP 核



3. EDP Decoder IP 核端口界面

配置界面左侧为 EDP Decoder IP 核的接口示意图如图 4-8 所示。

图 4-8 EDP Decoder IP 核接口示意图



4. 配置基本信息

在配置界面的上部分是工程基本信息配置界，以 GW5AST-138 为例，封装选择 FPG676A。Module Name 选项后面是工程产生后顶层文件的名称，默认为“EDP_Decoder_Top”，用户可自行修改。“File Name”是 IP 核文件产生的文件夹，存放 EDP Decoder IP 核所需文件，默认为“edp_decoder”，用户可自行修改路径。Create In 选项是 IP 核文件夹产生路径，默认为“\工程路径\src\edp_decoder”，用户可自行修改路径。

图 4-9 基本信息配置界面

The screenshot shows the 'General' configuration page with the following fields:

- Device: GW5AST-138
- Device Version: B
- Part Number: GW5AST-LV138FPG676AES
- Language: Verilog
- File Name: edp_decoder
- Module Name: EDP_Decoder_Top
- Create In: D:\proj\Gowin_EDP_RefDesign\project\src\edp_decoder

5. Options 选项卡

在选项卡中，用户需要配置 EDP Decoder 所使用的参数信息。

图 4-10 Options 选项卡

The screenshot shows the 'Options' configuration page with the following settings:

- User Clock Ratio: 1:20
- Lanes Number: 1
- Bits Per Pixel: 24
- RX Deskew Enable
- Training Pattern TPS1 Enable
- Training Pattern TPS2 Enable
- Training Pattern TPS3 Enable

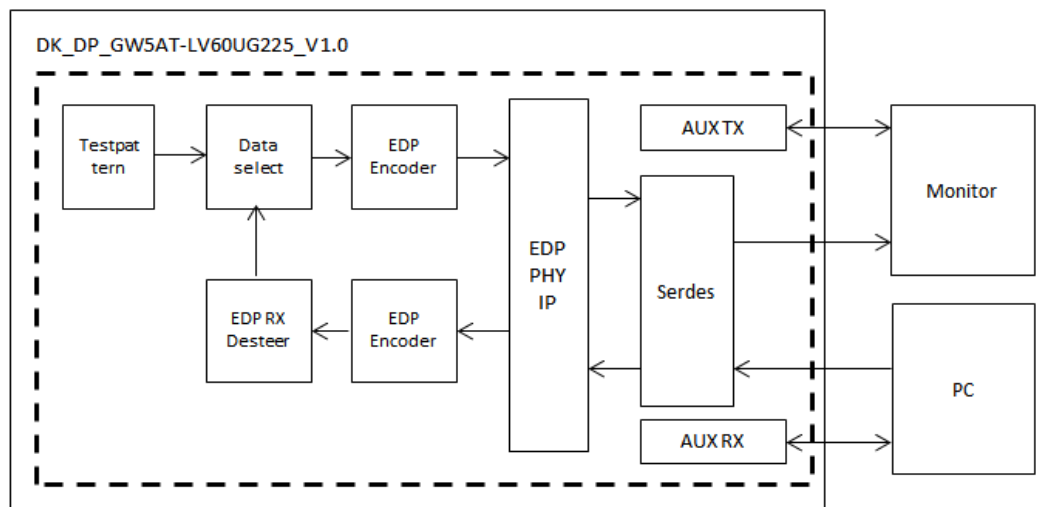
5 参考设计

本节主要介绍 Gowin EDP Encoder Decoder IP 的[参考设计](#)实例的搭建及使用方法。详细信息请参见高云半导体官网给出的相关参考设计。

设计实例

本参考设计以 DK_DP_GW5AT-LV60UG225_V1.0 开发板为例，参考设计基本结构框图如图 5-1 所示。开发板相关信息参考官方网站。

图 5-1 参考设计实例一基本结构框图



在参考设计中，分为 DP 发送部分和 DP 接收部分。DP 发送部分通过 Testpattern 模块产生测试图视频信号，经过 EDP Encoder 模块编码，输入到 EDP PHY IP 转成串行信号输出到 DP 显示器，DP 接收部分如未接收到数据则一直显示测试图。DP 接收部分由 PC 输出的 DP 信号经过 EDP PHY IP 接收转成并行信号，通过 EDP Decoder 模块解码，经过 EDP RX Desteer 模块格式转换，再输出到数据选择模块后到显示器显示。

6 文件交付

Gowin EDP Encoder Decoder IP 交付文件主要包含三个部分，分别为：文档、设计源代码和参考设计。

6.1 文档

文件夹主要包含用户指南 PDF 文档。

表 6-1 文档列表

名称	描述
IPUG1179, Gowin EDP Encoder Decoder IP 用户指南	高云 EDP Encoder Decoder IP 用户手册，即本手册。

6.2 设计源代码（加密）

加密代码文件夹包含 Gowin EDP Encoder Decoder IP 的 RTL 加密代码，供 GUI 使用，以配合高云云源软件产生用户所需的 IP 核。

表 6-2 Gowin EDP Encoder 设计源代码列表

名称	描述
edp_encoder.v	IP 核顶层文件，给用户接口信息，加密。

表 6-3 Gowin EDP Decoder 设计源代码列表

名称	描述
edp_decoder.v	IP 核顶层文件，给用户接口信息，加密。

6.3 参考设计

Gowin EDP RefDesign 文件夹主要包含 Gowin EDP Encoder Decoder IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 6-4 Gowin EDP RefDesign 文件夹内容列表

名称	描述
test_top.v	参考设计的顶层 module
fpga_project.cst	工程物理约束文件
fpga_project.sdc	工程时序约束文件

名称	描述
key_debounce.v	消抖模块文件
key_debounceN.v	消抖模块文件
serdes	EDP PHY IP 文件夹
testpatternX4.v	测试图产生模块
auxlink	辅助通道 AUX 通信文件夹
gowin_pll	PLL IP 文件夹
edp_decoder	EDP 接收模块文件夹
edp_encoder	EDP 发送模块文件夹
edp_rx_desteer	EDP 接收数据排序模块文件夹

