



# Gowin DDR3 PHY Interface IP

## 用户指南

IPUG1182-1.1,2024-03-29

版权所有 © 2024 广东高云半导体科技股份有限公司

**GOWIN高云**、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

## 版本信息

日期	版本	说明
2024/02/23	1.0	初始版本。
2024/03/29	1.1	更新用户接口时序图。

# 目录

目录 .....	i
图目录 .....	ii
表目录 .....	iii
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 相关文档 .....	1
1.3 术语、缩略语和简写 .....	1
1.4 技术支持与反馈 .....	2
<b>2 概述 .....</b>	<b>3</b>
2.1 介绍 .....	3
2.2 特征 .....	3
2.3 资源利用 .....	4
<b>3 功能描述 .....</b>	<b>5</b>
3.1 整体结构 .....	5
3.2 用户接口与时序描述 .....	6
3.2.1 用户接口 .....	6
3.2.2 写数据时序 .....	8
3.2.3 读数据时序 .....	12
3.2.4 Bank Active .....	13
3.2.5 EYE SCAN .....	13
3.2.6 温度自适应调整 .....	14
3.3 时钟、复位和 FIFO _stop .....	14
<b>4 端口列表 .....</b>	<b>15</b>
<b>5 调用及配置 .....</b>	<b>18</b>
5.1 IP 调用 .....	18
5.2 参数配置 .....	19

# 图目录

图 3-1 Gowin DDR3 PHY Interface IP 结构图 .....	5
图 3-2 初始化完成信号时序图 .....	6
图 3-3 OSER8 输出 O_ddr_cs_n 图示 .....	6
图 3-4 O_ddr_cs_n 输出时序图 .....	7
图 3-5 OSER8 输出 ddr_odt 图示 .....	7
图 3-6 当 CWL=5,AL=0 时, 写数据时序图 .....	9
图 3-7 当 CWL=6,AL=0 时, 写数据时序图 .....	10
图 3-8 当 CWL=7,AL=0 时, 写数据时序图 .....	11
图 3-9 当 CWL=8,AL=0 时, 写数据时序图 .....	12
图 3-10 当 CL=6,AL=0 时, 读数据时序图 .....	13
图 3-11 Active 时序图 .....	13
图 3-12 读写指令接口选择 .....	14
图 5-1 IP Core Generator 界面 .....	18
图 5-2 DDR3 PHY Interface 配置界面 .....	19

# 表目录

表 1-1 术语、缩略语 .....	1
表 2-1 Gowin DDR3 PHY Interface IP 概述 .....	3
表 2-2 资源利用 .....	4
表 4-1 DDR3 PHY Interface IP 的 I/O 端口列表 .....	15
表 5-1 IP 配置项 .....	19
表 5-2 DDR3 时间参数 .....	20

# 1 关于本手册

## 1.1 手册内容

Gowin DDR3 PHY Interface IP 用户指南主要内容包括功能描述、端口说明、时序说明、配置调用、参考设计，旨在帮助用户快速了解 Gowin DDR3 PHY Interface IP 的产品特性、特点及使用方法。本手册中的软件界面截图参考的是 1.9.9.01 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

## 1.2 相关文档

登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可以下载、查看以下相关文档：

- [SUG100, Gowin 云源软件用户指南](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [DS1104, GW5AST 系列 FPGA 产品数据手册](#)
- [DS1108, GW5AR 系列 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [DS971, GW2AN-18X &9X 器件数据手册](#)
- [DS976, GW2AN-55 器件数据手册](#)

## 1.3 术语、缩略语和简写

表 1-1 中列出了本手册中出现的术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	释义
DDR3 SDRAM	Double-Data-Rate Three Synchronous Dynamic Random Access Memory	第三代双倍速率同步动态随机存取存储器

术语、缩略语	全称	释义
FIFO	First Input First Output	先入先出队列
IP	Intellectual Property	知识产权
LUT	Look-up Table	查找表
MC	Memory Controller	控制器
PHY	Physical Layer	物理层
PLL	Phase-locked Loop	锁相环
REG	Register	寄存器

## 1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网站: [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

E-mail: [support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 概述

## 2.1 介绍

Gowin DDR3 PHY Interface IP 集成了 DQS 硬核等相关硬核资源，实现 DDR3 PHY 的功能，需要客户实现 MC 层对接 DDR3 PHY Interface IP，组合成完整的 MC+PHY IP。

**表 2-1 Gowin DDR3 PHY Interface IP 概述**

Gowin DDR3 PHY Interface IP	
逻辑资源	见表2-2
交付文件	
设计文件	Verilog(encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software (V1.9.9.01及以上)

注！

可登录[高云半导体网站](#)查看芯片支持信息。

## 2.2 特征

- 支持 GW2A-18、GW2AR-18、GW2A-55、GW5A(S)(T)-138、GW5A(R)-25 等 FPGA 器件
- 符合 JESD79-3F 标准
- 支持存储路径宽度为 8、16、24、32、40、48、56、64、72 位
- 支持单列 RDIMM、UDIMM 和 SODIMM 内存模块
- 支持 x8 和 x16 数据宽度的内存芯片
- BURST MODE 固定为 8
- Memory clk 与 User clk 时钟的频率比为 4:1

- 可配置的 CL、AL、CWL、t<sub>FAW</sub>、t<sub>RAS</sub>、t<sub>RCD</sub>、t<sub>RFC</sub>、t<sub>RRD</sub>、t<sub>RTP</sub>、t<sub>WTR</sub> 等参数配置
- 支持动态片上终端 ODT 控制

## 2.3 资源利用

Gowin DDR3 PHY Interface IP 采用 Verilog HDL 实现，因使用器件的密度、速度和等级的不同，其性能和资源利用情况可能不一致。以高云 GW5A(R)-25 为例，默认配置下资源利用情况如表 2-2 所示。关于其它器件的资源利用请参阅相关的后期发布信息。

**表 2-2 资源利用**

器件	编程语言	LUTs	REGs	ALUs	BSRAM
GW5A(R)-25	Verilog HDL	2240	3458	205	16

注！

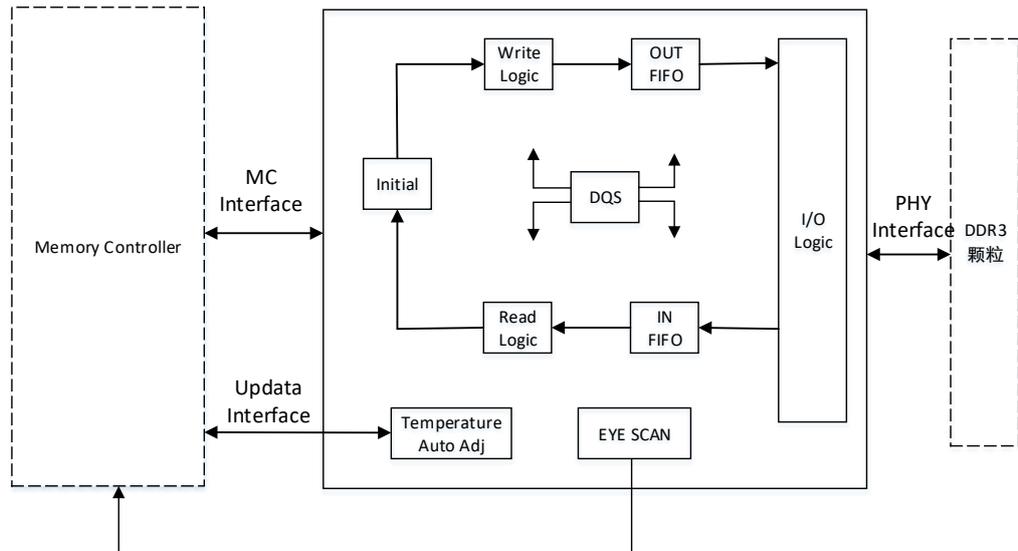
当前 GW5A(R)-25 系列 FPGA 的 SSRAM 资源不可用，所以 DDR3 PHY 的内部存储资源使用 BSRAM，后期会替换到 SSRAM。

# 3 功能描述

## 3.1 整体结构

Gowin DDR3 PHY Interface IP 主要由控制逻辑、I/O 逻辑与存储逻辑三部分组成，如图 3-1 所示。

图 3-1 Gowin DDR3 PHY Interface IP 结构图



- Memory Controller: 需要用户根据本文档自行设计实现
- Initial: 初始化模块，实现 Write Leveling 和 Read Calib 功能
- Write Logic、Read Logic: 实现读写控制逻辑
- OUT FIFO、IN FIFO: 用于读写数据及指令缓存
- EYE SCAN: 实现读数据窗口扫描功能，详见 3.2.5 EYE SCAN
- Temperature Auto Adj: 温度自适应功能模块，DDR3 PHY IP 支持-40°C~85°C

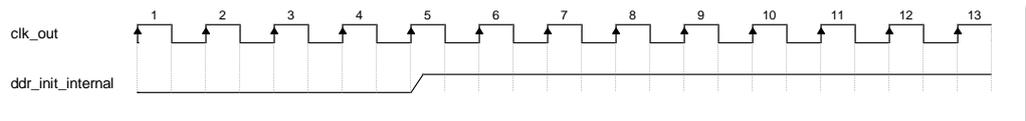
## 3.2 用户接口与时序描述

### 3.2.1 用户接口

#### 初始化完成接口

ddr\_init\_internal: DDR3 SDRAM 必须经过校准操作才能进行正常的写、读操作。因此上电后 IP 会对 DDR3 SDRAM 进行初始化校准操作，初始化完成后 ddr\_init\_internal 拉高，如图 3-2 所示。

图 3-2 初始化完成信号时序图

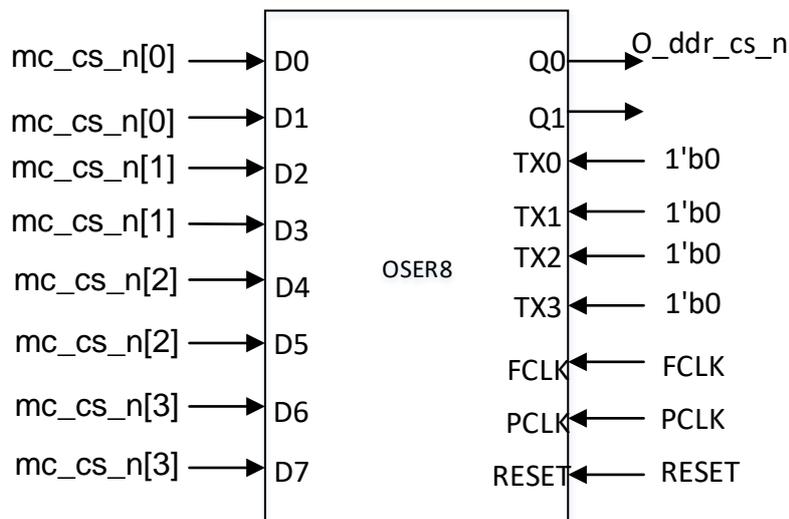


#### 控制信号与地址信号接口

mc\_cs\_n: 该信号是 4bit 信号，映射到 O\_ddr\_cs\_n 的 1bit 信号输出。这里之所以设置 4bit 宽度控制 1bit 的信号输出，主要是为了精确控制 O\_ddr\_cs\_n 的输出，即可以精确控制 O\_ddr\_cs\_n 在哪一个 O\_ddr\_clk 的时钟沿下输出。

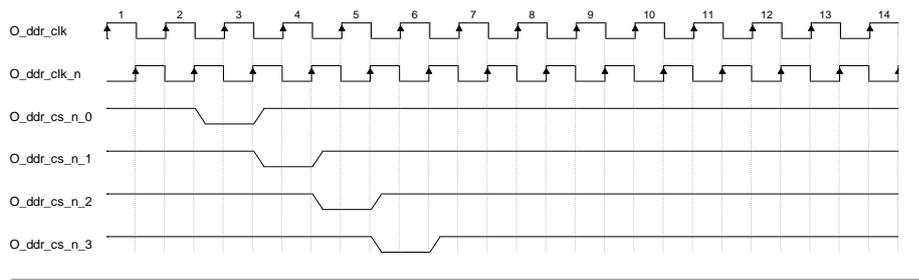
mc\_cs\_n 通过一系列逻辑之后由 OSER8 输出，如下图所示。

图 3-3 OSER8 输出 O\_ddr\_cs\_n 图示



当 mc\_cs\_n[3:0]=4'b1110 或 4'b1101 或 4'b1011 或 4'b0111 时，都可输出有效的 O\_ddr\_cs\_n。

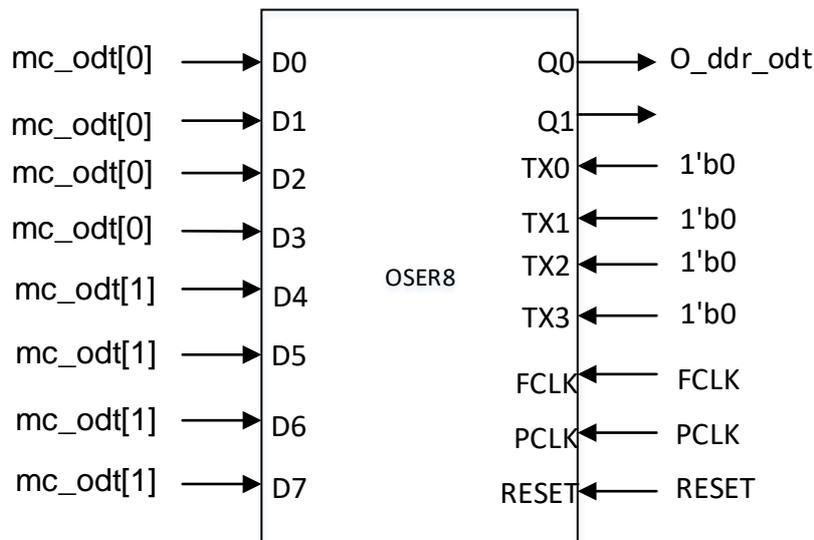
图 3-4 O\_ddr\_cs\_n 输出时序图



假如当  $mc\_cs\_n[3:0]=4'b1110$  时,  $O\_ddr\_cs\_n$  的输出为  $O\_ddr\_cs\_n\_0$  的波形, 那么  $mc\_cs\_n[3:0]=4'b1101$  时,  $O\_ddr\_cs\_n$  的输出为  $O\_ddr\_cs\_n\_1$  的波形, 以此类推,  $mc\_cs\_n[3:0]$  的二进制 bit0 每左移一位, 经 OSER8 输出后的  $O\_ddr\_cs\_n$  的低电平就会右移一个 clk 周期。

- $mc\_ras\_n$ 、 $mc\_cas\_n$ 、 $mc\_we\_n$ 、 $mc\_cke$ : 这些信号用法如同  $mc\_cs\_n$  信号, 这里不再进行描述。
- $mc\_odt$ : 该信号是 2bit 信号, 逻辑内部将  $mc\_odt$  转化为 4bit 并接入 OSER8。

图 3-5 OSER8 输出 ddr\_odt 图示



因此  $mc\_odt$  的值每变化 1bit, 实际输出的  $O\_ddr\_odt$  波形变化 2 个  $O\_ddr\_clk$  周期。

- $mc\_address$ : 该信号用于传递 ROW/Column 地址, 信号宽度为  $4 * ROW\_WIDTH$ <sup>[1]</sup>, 与上述  $mc\_cs\_n$  等信号用法相似, 但也存在不同点, 相同点为  $mc\_address$  通过 OSER8 发送, 且时序控制相同, 不同点为该信号经过 OSER8 发送之前进行了映射转化, 映射关系如下:

注!

<sup>[1]</sup>详见第 4 章端口列表注释[1]。

$$mc\_address\_tmp[j*ROW\_WIDTH+i] => mc\_address [i*4+j] \quad (i \geq 0, i <$$

ROW\_WIDTH,  $j \geq 0, j < 4$ )。

mc\_address\_tmp 为映射之后的地址。mc\_address\_tmp 每 4bit 决定 O\_ddr\_addr 的 1bit 输出，即 mc\_address\_tmp[3:0] 控制 O\_ddr\_addr[0] 信号的输出，mc\_address\_tmp[7:4] 控制 O\_ddr\_addr[1] 信号的输出，依次类推。

返回到 mc\_address 信号，j 取 0、1、2、3，当  $i=0$  时，对应的 mc\_address 的 4bit 决定 O\_ddr\_addr[0] 的输出，当  $i=1$  时，对应的 mc\_address 的 4bit 决定 O\_ddr\_addr[1] 的输出，以此类推，当  $i=ROW\_WIDTH-1$  时，对应的 mc\_address 的 4bit 决定 O\_ddr\_addr 最高 bit 地址的输出。

用户应将实际写入 MC 的地址进行映射后接入 mc\_address。

- mc\_bank: 该信号与 mc\_address 用法相同。

### 数据接口

- mc\_cmd\_wren: 因为控制线与地址线的时序是流水线发送的，因此该信号一直为高电平即可。
- mc\_wrd\_data: 该信号的值即为用户写入 MC 的原始的值。
- mc\_wrd\_data\_mask: 该信号是 mc\_wrd\_data 的屏蔽信号，1bit 对应 mc\_wrd\_data 的一个字节，低 bit 对应 mc\_wrd\_data 的低字节。
- mc\_wrd\_data\_en: 当 mc\_wrd\_data\_en 为 1 时，mc\_wrd\_data 和 mc\_wrd\_data\_mask 有效。
- phy\_rd\_data: 从 DDR3 颗粒读出的数据返回接口。
- phy\_rddata\_valid: 当该信号为 1 时，表示 phy\_rd\_data 有效。

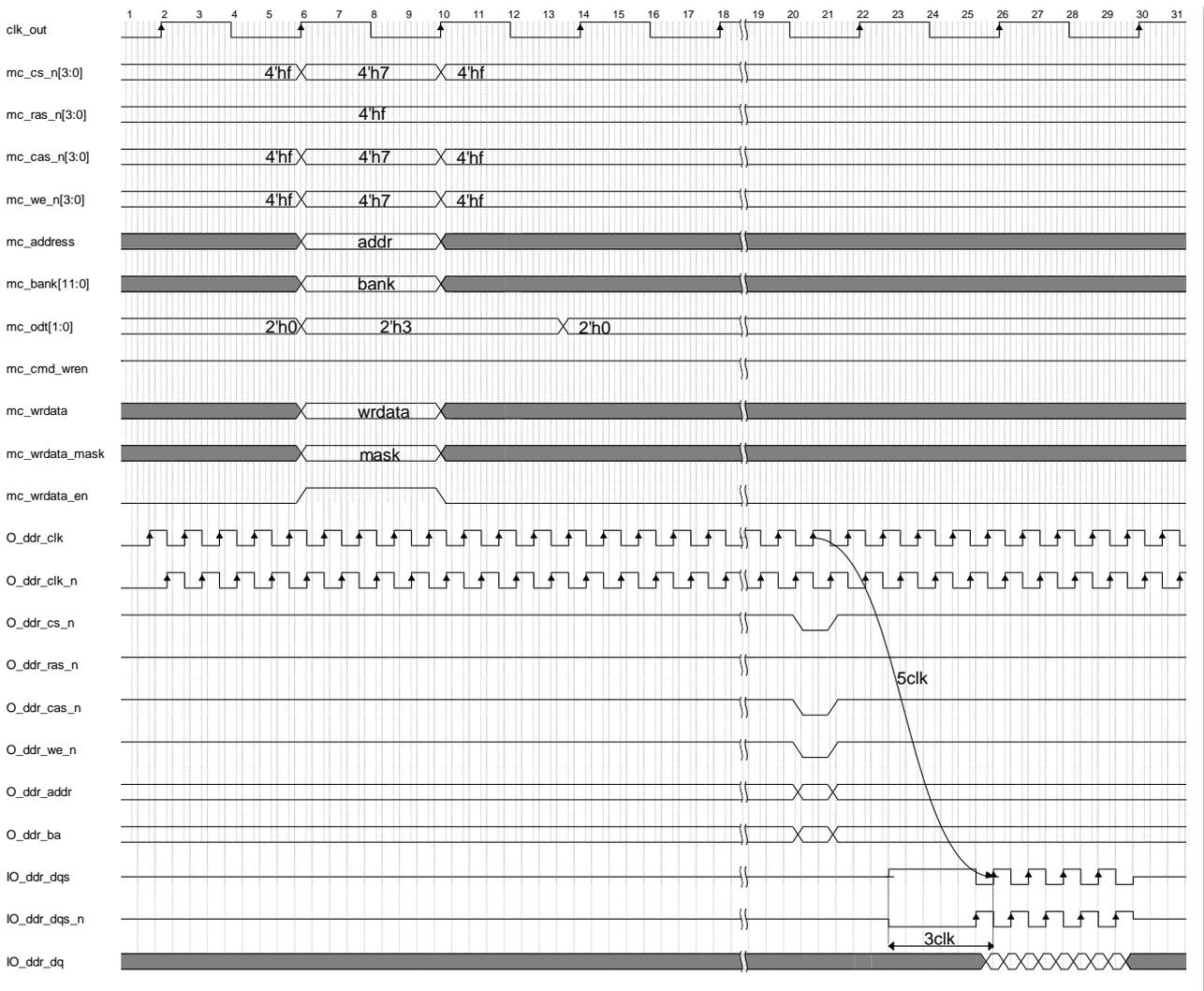
## 3.2.2 写数据时序

根据用户接口描述可知，通过改变 mc\_cs\_n、mc\_ras\_n、mc\_cas\_n 和 mc\_we\_n 的二进制数据 0 所在的 bit 位置，可以调节写命令和写数据的间隔 (CWL)。

IO\_ddr\_dqs 和 IO\_ddr\_dqs\_n 需要提前中断高阻态，这是根据 GW5A 系列器件的硬件特性做的适配。图 3-6、图 3-7、图 3-8、图 3-9 列举了不同 CWL 取值的写数据时序图，且图中 clk\_out 与 O\_ddr\_clk 速率比是 1: 4。

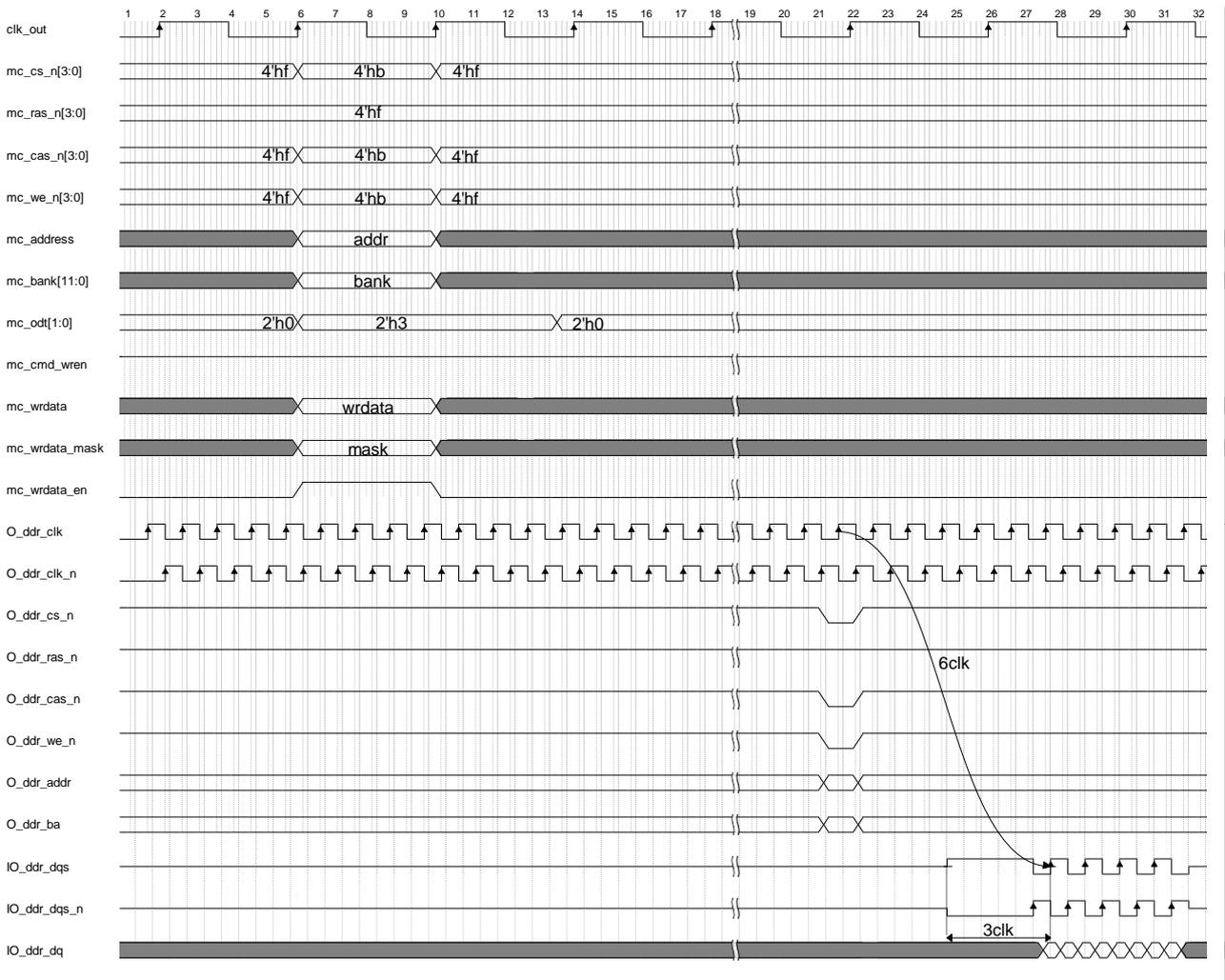
### 当 CWL=5,AL=0 时, 写数据时序

图 3-6 当 CWL=5,AL=0 时, 写数据时序图



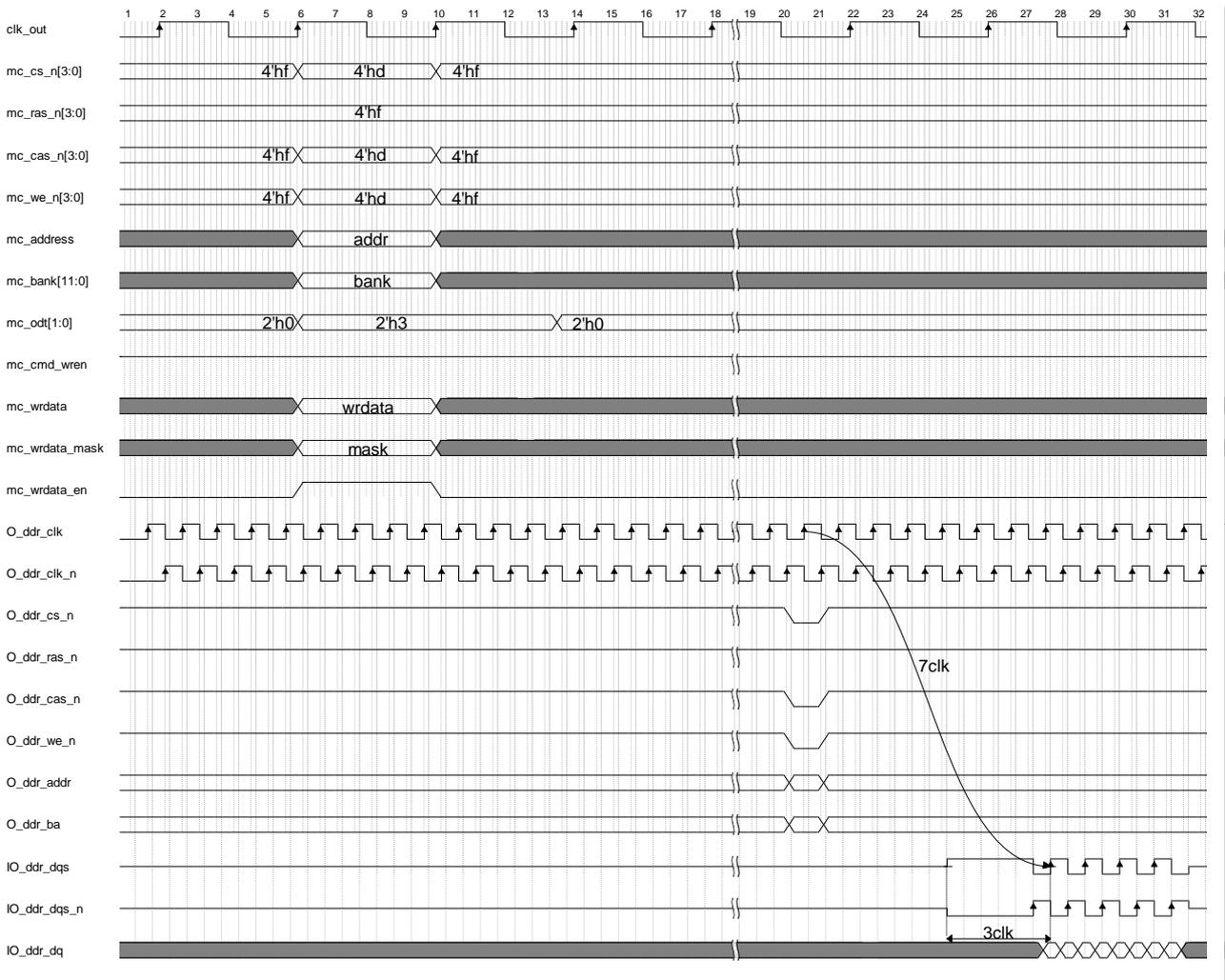
当 CWL=6,AL=0 时，写数据时序

图 3-7 当 CWL=6,AL=0 时，写数据时序图



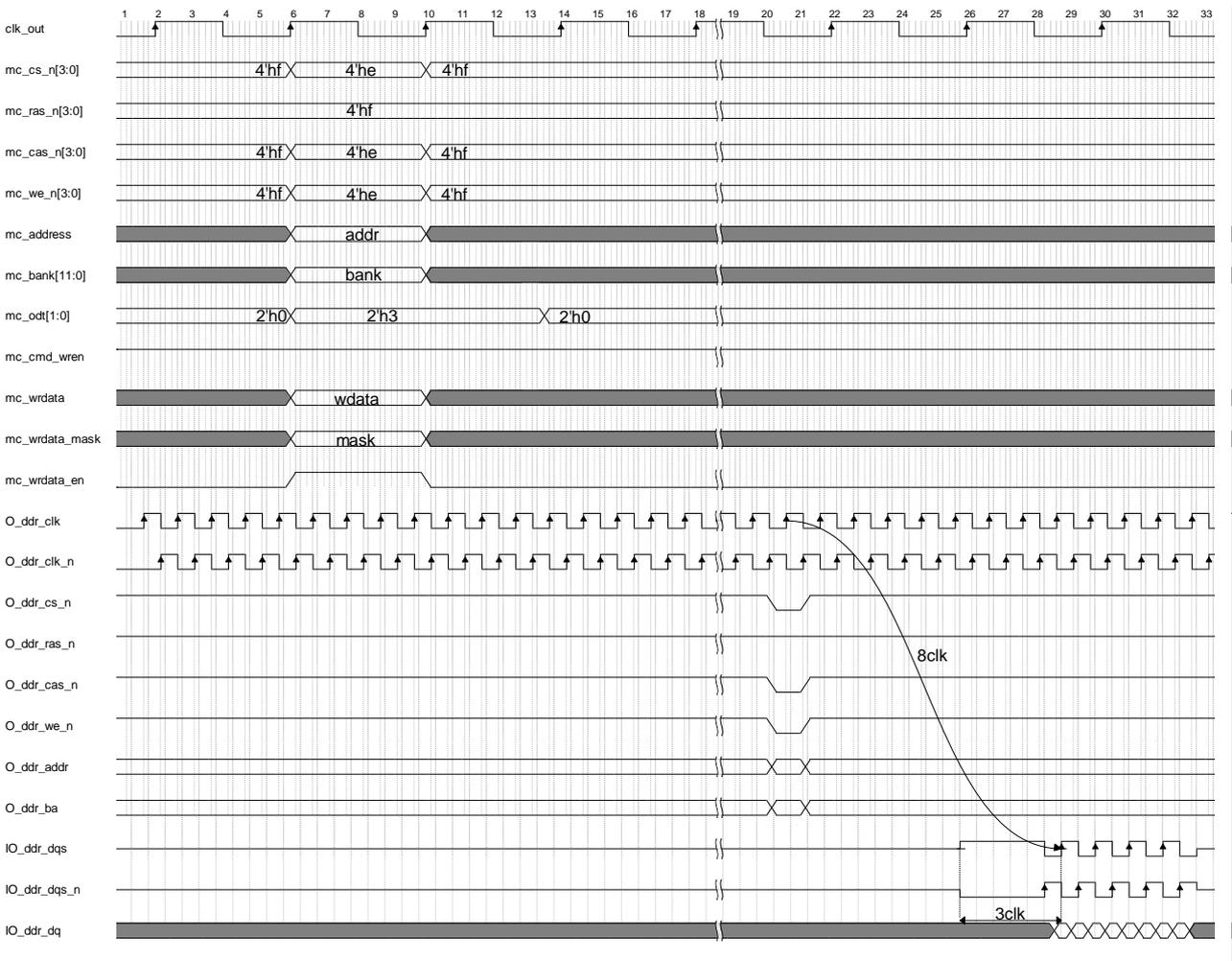
当 CWL=7,AL=0 时，写数据时序

图 3-8 当 CWL=7,AL=0 时，写数据时序图



当 CWL=8,AL=0 时，写数据时序

图 3-9 当 CWL=8,AL=0 时，写数据时序图



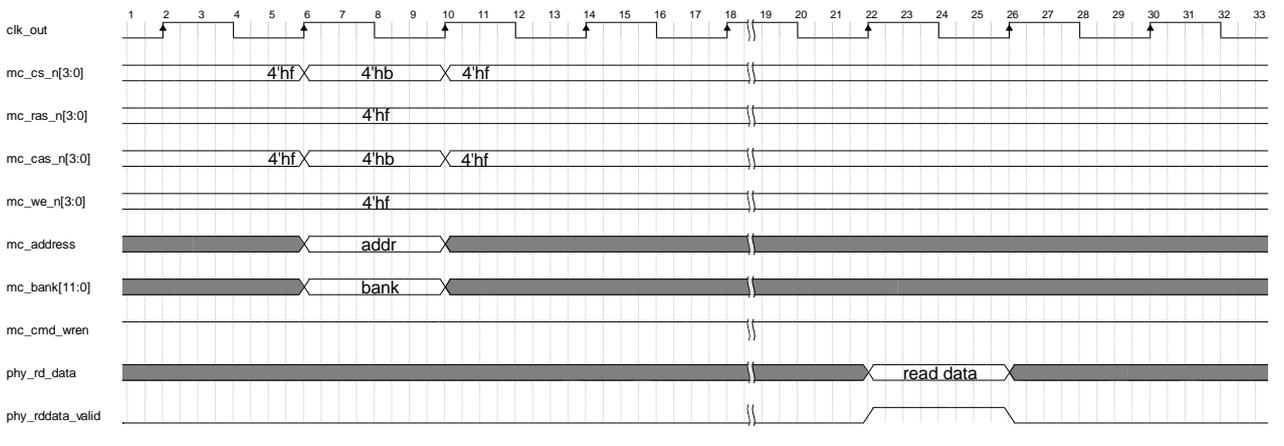
3.2.3 读数据时序

发送读指令时，理论上是不需要调整读指令和数据的间隔周期的，因为读取的数据是 DDR3 颗粒返回的，我们只需要完成 read calib 即可获取到 DDR3 颗粒返回的数据，但 DDR3 PHY IP 内部发送读写指令的逻辑有部分是复用的，所以 MC 接口的读数据的时序和写时序相似，比如当 CL = 6，AL=0 时，mc\_cs\_n[3:0]=4'hb，mc\_ras\_n[3:0]=4'hf，mc\_cas\_n[3:0]=4'hb，mc\_we\_n[3:0]=4'hf。因为 DDR3 PHY 的 clk ratio 是 4: 1，因此当 CL=10 时，与 CL=6 的读数据时序相同。读数据的时序只提供 CL=6 的情况，其他情况不再描述。

当 phy\_rddata\_valid=1 时，phy\_rd\_data 有效。

### 当 CL=6,AL=0 时，读数据时序

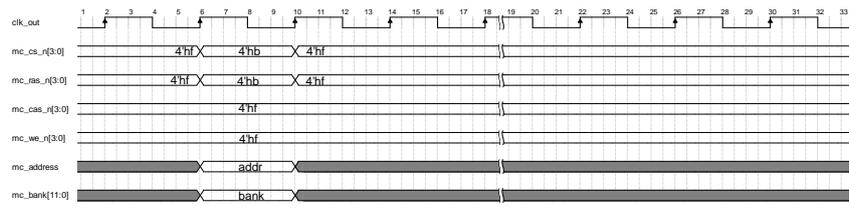
图 3-10 当 CL=6,AL=0 时，读数据时序图



## 3.2.4 Bank Active

MC 发送激活指令的时序如下图所示，用户可以根据用户接口的描述，调节激活指令与前后其他指令的时间间隔，提高数据读写效率。

图 3-11 Active 时序图



像 DDR3 的其他指令，如 Precharge、Refresh、ZQ Calibration 等指令，与上述指令的发送形式相同，本文档不再描述。

## 3.2.5 EYE SCAN

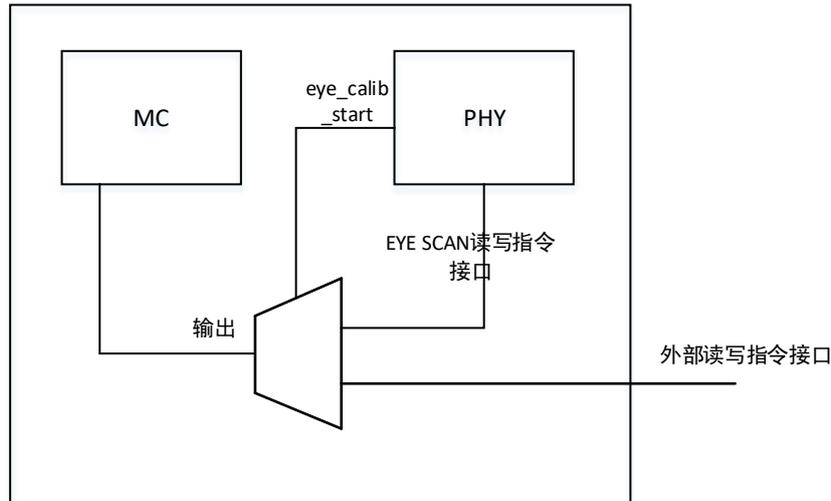
- **eye\_calib\_start**: 读数据窗口扫描功能开始的标志，在整个窗口扫描期间，该信号持续为高电平。
- **eye\_cmd\_rdy**: 当该信号为高电平时，表示 MC 可以接收 EYE SCAN 模块发送的 **eye\_app\_cmd\_en** 和 **eye\_app\_cmd**。
- **eye\_app\_cmd\_en**: 当该信号为高电平时，表示 **eye\_app\_cmd** 有效。
- **eye\_app\_addr**: 数据窗口扫描时，读写数据的地址。
- **eye\_wdf\_rdy**: 当该信号为高电平时，表示 MC 可以接收 **eye\_app\_wdf\_wren** 和 **eye\_app\_wdf\_wdata**。
- **eye\_app\_wdf\_wren**: 当该信号为高电平时，表示 **eye\_app\_wdf\_wdata** 有效。
- **eye\_app\_wdf\_wdata**: 数据窗口扫描时的写数据。

DDR3 PHY 支持读数据窗口扫描功能，以此来提高 IO LOGIC 采集 dq

数据的稳定性。EYE SCAN 模块借助 MC 层读写数据，DDR3 PHY 返回的数据直接进入 PHY IP 的 EYE SCAN 模块。EYE SCAN 模块每调整一次采样点，均会读写一组数据，然后通过读数据判断当前采样点是否可以采集到正确 dq 数据。当连续多个采样点都可以采集到正确数据时，IP 会将采样点移动到采样窗口的中间位置。

EYE\_SCAN 读写指令接口和外部读写指令接口需要进入选择器，当 eye\_calib\_start 有效时选择 EYE\_SCAN 读写指令信号接入 MC，否则选择外部读写指令信号接入 MC。

图 3-12 读写指令接口选择



### 3.2.6 温度自适应调整

- updata\_dqs\_req: 调整请求信号，高有效。
- updata\_dqs\_ack: 调整允许信号，表示当前允许 PHY 进入自适应调整状态机，高有效。
- updata\_dqs\_finished: 温度自适应调整结束，高有效。

Gowin DDR3 PHY Interface IP 支持温度自适应调整功能。当温度变化时，PHY 接口的 O\_dds\_clk 和 IO\_dds\_dqs 的相位关系及读数据时 dq 的采样点都会发生变化，整个系统的阻抗匹配也会发生变化，此时 PHY 会自动调节 O\_dds\_clk 和 IO\_dds\_dqs 的相位关系及读数据时 dq 的采样点，同时 MC 层也需要实现一种算法向 DDR3 颗粒发送 ZQ Calibration Long/Short 指令，重新对 DDR3 颗粒内部的端接电阻进行校准。温度自适应调整完整之前不允许向 DDR3 颗粒发送读写命令。

## 3.3 时钟、复位和 FIFO\_stop

详细信息可请参考文档 [IPUG281, Gowin DDR3 Memory Interface IP 用户指南](#)。

# 4 端口列表

表 4-1 Gowin DDR3 PHY Interface IP 的 I/O 端口列表

序号	信号名称	类型	位宽	描述
User Interface				
1	clk	Input	1	输入参考时钟，一般推荐晶振输入
2	pll_stop	Output	1	Memory_clk使能控制信号
3	memory_clk	Input	1	该时钟与DDR3颗粒接口时钟速率相同。使用GW2A器件时，该时钟接pll的输出或其他时钟；使用GW5A器件时，该时钟需接PLL的输出端口clkout2，见3.3 时钟、复位和FIFO_stop描述。
4	pll_lock	Input	1	当该信号为高时，表示memory_clk已经稳定。如果memory_clk接PLL的输出时钟，那么该接口接PLL的lock管脚。
5	rst_n	Input	1	系统复位信号，低电平有效
6	mc_cs_n	Input	4	映射到O_dds_cs_n信号的输出
7	mc_ras_n	Input	4	映射到O_dds_ras_n信号的输出
8	mc_cas_n	Input	4	映射到O_dds_cas_n信号的输出
9	mc_we_n	Input	4	映射到O_dds_we_n信号的输出
10	mc_address	Input	4*ROW_WIDTH <sup>[1]</sup>	映射到O_dds_addr信号的输出
11	mc_bank	Input	4*BANK_WIDTH <sup>[2]</sup>	映射到O_dds_bank信号的输出
12	mc_reset_n	Input	1	用户逻辑中一直保持此信号为高电平即可
13	mc_odt	Input	2	映射到O_dds_odt信号的输出
14	mc_cke	Input	4	映射到O_dds_cke信号的输出
15	mc_wrdta_en	Input	1	mc_wrdta写使能信号，高有效
16	mc_wrdta	Input	8*DQ_WIDTH <sup>[3]</sup>	存入memory的数据，映射到IO_dds_dq信号的输出
17	mc_wrdta_mask	Input	8*DM_WIDTH <sup>[4]</sup>	数据掩码输入，映射到O_dds_dqm信号的输出

序号	信号名称	类型	位宽	描述
18	mc_cmd_wren	Input	1	mc_cs_n、mc_ras_n、mc_cas_n、mc_we_n、mc_address、mc_bank、mc_odt和mc_cke信号的使能信号，高有效。用户在使用时需要保持此信号一直为高电平。
19	clk_out	Output	1	用户时钟，频率为memory_clk的1/4
20	ddr_rst	Output	1	IP的复位输出，一般不推荐将此复位信号作为用户逻辑复位
21	phy_rddata_valid	Output	1	phy_rd_data有效信号，高有效
22	phy_rd_data	Output	8*DQ_WIDTH	从DDR3读出的数据
23	ddr_init_internal	Output	1	初始化完成信号，高有效
24	updata_dqs_req	Output	1	温度自适应调整请求，高有效。用于实现高低温调节功能
25	updata_dqs_ack	Input	1	温度自适应调整回应，高有效。当MC同意updata_dqs_req请求，当前可以进行温度自适应调整。
26	updata_dqs_finished	output	1	温度自适应调整完成信号，高有效
27	eye_calib_start	output	1	扫描读数据窗口起始信号，高有效
28	eye_cmd_rdy	Input	1	当该信号有效时，表示MC可以接收eye_app_cmd和eye_app_addr
29	eye_app_cmd_en	Output	1	eye_app_cmd和eye_app_addr的使能信号，高有效
30	eye_app_cmd	Output	3	读写命令标志信号。3'b000：写，3'b001：读
31	eye_app_addr	Output	[ADDR_WIDTH <sup>[5]-1:0]</sup>	地址信号输入
32	eye_wdf_rdy	Input	1	当该信号有效时，表示MC可以接收eye_app_wdf_wren和eye_app_wdf_wdata
33	eye_app_wdf_wren	Output	1	eye_app_wdf_wdata的信号使能，高有效
34	eye_app_wdf_wdata	Output	[APP_DATA_WIDTH <sup>[6]-1:0]</sup>	扫描读数据窗口时写入的校准数据
<b>DDR3 SDRAM Interface</b>				
29	O_ddr_addr	Output	ROW_WIDTH	PHY接口信号，ROW/Column地址信号线
30	O_ddr_ba	Output	BANK_WIDTH	PHY接口信号，bank信号线
31	O_ddr_cs_n	Output	1	PHY接口信号，片选信号线
32	O_ddr_ras_n	Output	1	PHY接口信号，行地址选择信号线
33	O_ddr_cas_n	Output	1	PHY接口信号，列地址选择信号线

序号	信号名称	类型	位宽	描述
34	O_dds_we_n	Output	1	PHY接口信号, 写使能控制信号线
35	O_dds_clk	Output	1	PHY接口信号, clk差分信号线P端
36	O_dds_clk_n	Output	1	PHY接口信号, clk差分信号线N端
37	O_dds_cke	Output	1	PHY接口信号, 时钟使能信号线
38	O_dds_odt	Output	1	PHY接口信号, 端接电阻控制信号线
39	O_dds_reset_n	Output	1	PHY接口信号, 颗粒复位信号线
40	O_dds_dqm	Output	DM_WIDTH	PHY接口信号, dq数据屏蔽信号线
41	IO_dds_dq	Inout	DQ_WIDTH	PHY接口信号, dq信号线
42	IO_dds_dqs	Inout	DQS_WIDTH <sup>[7]</sup>	PHY接口信号, dqs信号线P端
43	IO_dds_dqs_n	Inout	DQS_WIDTH	PHY接口信号, dqs信号线N端

## 注!

- <sup>[1]</sup> ROW\_WIDTH: 内存行地址位宽。
- <sup>[2]</sup> BANK\_WIDTH: 内存 BANK 地址位宽。
- <sup>[3]</sup> DQ\_WIDTH: Dq 数据位宽。
- <sup>[4]</sup> DM\_WIDTH: Dqm 数据位宽(DQ\_WIDTH/8)。
- <sup>[5]</sup> ADDR\_WIDTH: 输入地址位宽(RANK\_WIDTH+BANK\_WIDTH+ROW\_WIDTH+COL\_WIDTH<sup>[8]</sup>)。
- <sup>[6]</sup> APP\_DATA\_WIDTH: 用户接口数据位宽(8\*DQ\_WIDTH)。
- <sup>[7]</sup> DQS\_WIDTH: Dqs 数据位宽(DQ\_WIDTH/8)。
- <sup>[8]</sup> COL\_WIDTH: 内存列地址位宽。

# 5 调用及配置

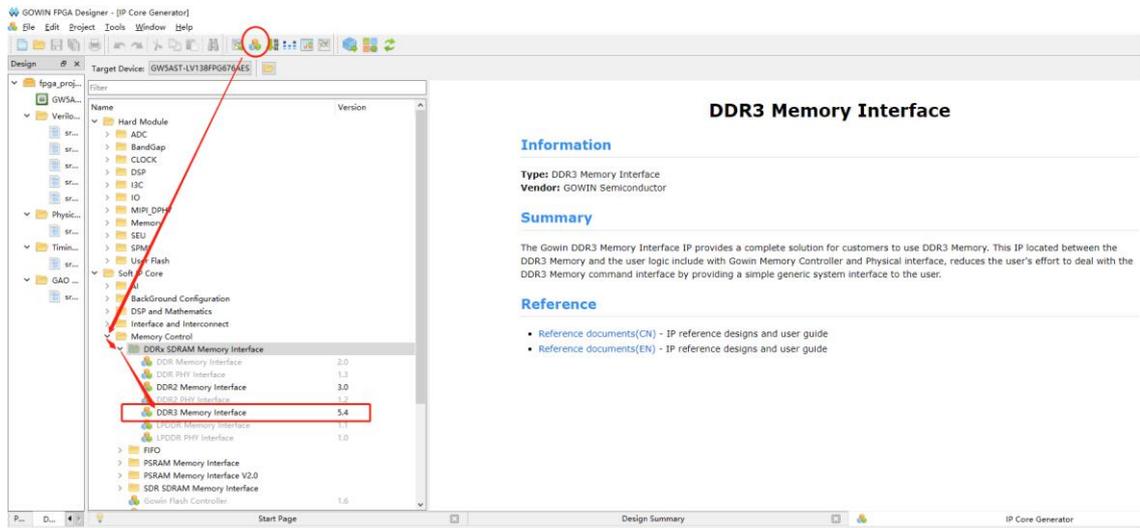
## 5.1 IP 调用

打开高云半导体云源软件，点击快捷栏“”或菜单栏“Tools > IP Core Generator”启动 IP Core Generator 工具，进行 IP 的调用及配置。

### 1. 打开 IP Core Generator

用户创建工程后，点击“IP Core Generator”，即可打开 Gowin 的 IP 核产生工具，如图 5-1 所示。

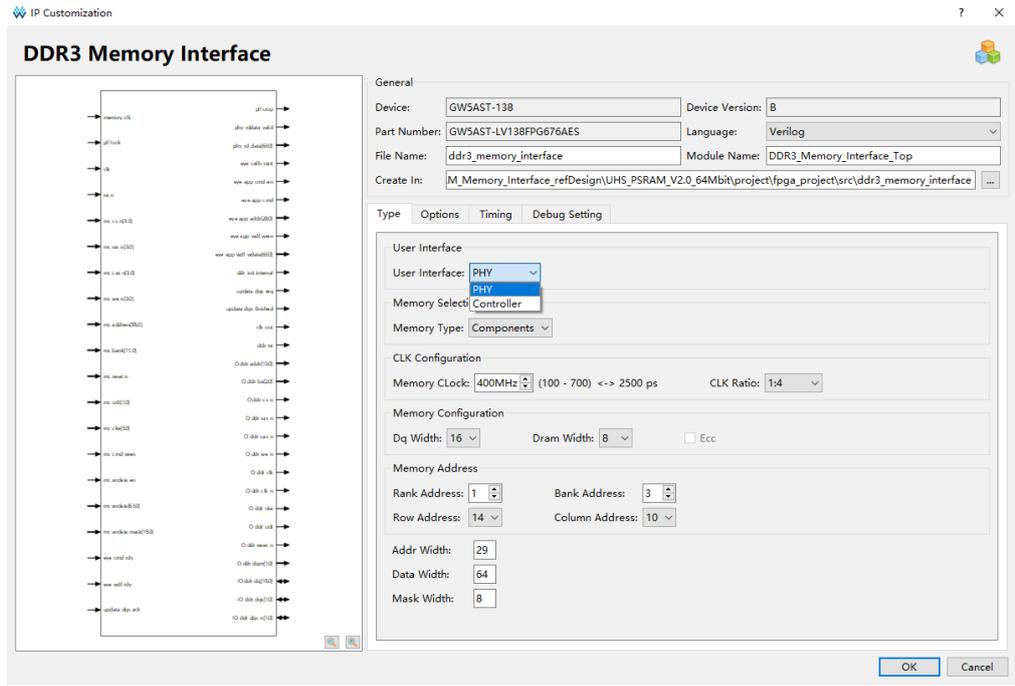
图 5-1 IP Core Generator 界面



### 2. 打开 IP

双击“Soft IP Core > Memory Control > DDRx SDRAM Memmory Interface > DDR3 Memory Interface”，打开 DDR3 Memory Interface IP 界面，如图 5-2 所示，“User Interface”选择“PHY”（图 5-2 中蓝色选项），即可打开该 IP。

图 5-2 DDR3 PHY Interface 配置界面



- 可通过修改“File Name”，配置产生的 IP 文件名称。
- 可通过修改“Module Name”，配置产生的 IP 顶层模块名称。
- 可通过修改“Options”选项，配置 IP 其他配置。

## 5.2 参数配置

表 5-1 IP 配置项

选项	描述	选项
Memory Type	颗粒类型	Components, RDIMMs, UDIMMs, SODIMMs
Memory Clock	颗粒接口时钟频率	根据颗粒工作时钟及需求写入
CLK Ratio	用户接口时钟频率与颗粒接口时钟频率比值	默认1:4
Dq Width	Dq数据位宽	8, 16, 24, 32, 40, 48, 56, 64, 72
Dram Width	单颗粒的数据位宽	8, 16
Rank Address	Rank地址	对于Single与Dual rank器件，位宽为1
Bank Address	内存BANK地址宽度	根据DDR3 SDRAM芯片选择
Column Address	内存列地址宽度	根据DDR3 SDRAM芯片选择
Burst Mode	颗粒突发模式	默认8
Burst Type	颗粒突发类型	“Sequential”，“Interleaved”
CAS Latency	CAS延迟时间	5, 6, 7, 8, 9, 10, 11, 12, 13, 14

选项	描述	选项
Additive Latency	附加延迟时间	0, CL-1, CL-2
CW Latency	CWL延迟时间	根据实际选择

表 5-2 DDR3 时间参数

选项	描述
T <sub>CK</sub>	Memory接口时钟周期(ps)
t <sub>CKE</sub>	CKE信号最小脉冲时间(ps)
t <sub>FAW</sub>	同一rank中允许同时发送大于四个行激活命令的间隔时间，因此最小值应该不小于t <sub>RRD</sub> 的四倍。
t <sub>RAS</sub>	ACTIVE到PRECHARGE时间
t <sub>RCD</sub>	ACTIVE到READ或WRITE时间
t <sub>REFI</sub>	内存刷新时间间隔
t <sub>RFC</sub>	REFRESH到ACTIVE/REFRESH间隔
t <sub>RP</sub>	PRECHARGE周期
t <sub>RRD</sub>	ACTIVE到ACTIVE时间间隔
t <sub>RTP</sub>	READ到PRECHARGE时间间隔
T <sub>WTR</sub>	WRITE到READ时间间隔
AL	Additive Latency
CL	CAS Latency

