



# Gowin DDR2 PHY Interface IP 用户指南

IPUG1183-1.1,2025-06-13

版权所有 © 2025 广东高云半导体科技股份有限公司

**GOWIN高云**、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

## 版本信息

日期	版本	说明
2024/03/29	1.0	初始版本。
2025/06/13	1.1	<ul style="list-style-type: none"><li>● 新增 CLK Ratio=1:2 说明;</li><li>● 更新参数配置描述。</li></ul>

# 目录

目录 .....	i
图目录 .....	ii
表目录 .....	iii
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 相关文档 .....	1
1.3 术语、缩略语和简写 .....	2
1.4 技术支持与反馈 .....	2
<b>2 概述 .....</b>	<b>3</b>
2.1 介绍 .....	3
2.2 特征 .....	3
2.3 资源利用 .....	4
<b>3 功能描述 .....</b>	<b>5</b>
3.1 整体结构 .....	5
3.2 用户接口与时序描述 .....	6
3.2.1 用户接口 .....	6
3.2.2 写数据时序 .....	9
3.2.3 读数据时序 .....	16
3.2.4 Bank Active .....	16
3.2.5 EYE SCAN .....	17
3.3 时钟、复位和 pll_stop .....	18
<b>4 端口列表 .....</b>	<b>19</b>
<b>5 调用及配置 .....</b>	<b>22</b>
5.1 IP 调用 .....	22
5.2 参数配置 .....	23

# 图目录

图 3-1 Gowin DDR2 PHY Interface IP 结构图 .....	5
图 3-2 初始化完成信号时序图 .....	6
图 3-3 OSER8 输出 O_ddr_cs_n 图示 .....	6
图 3-4 O_ddr_cs_n 输出时序图 .....	7
图 3-5 OSER4 输出 O_ddr_cs_n 图示 .....	7
图 3-6 CLK Ratio 为 1:2 时, O_ddr_cs_n 输出时序图 .....	7
图 3-7 OSER8 输出 ddr_odt 图示 .....	8
图 3-8 当 CL=3,AL=0 时, 写数据时序图 .....	10
图 3-9 当 CL=4,AL=0 时, 写数据时序图 .....	10
图 3-10 当 CL=5,AL=0 时, 写数据时序图 .....	11
图 3-11 当 CL=6,AL=0 时, 写数据时序图 .....	12
图 3-12 当 Burst Length=8, CL=3,AL=0 时, 写数据时序图 .....	13
图 3-13 当 Burst Length=8, CL=4,AL=0 时, 写数据时序图 .....	13
图 3-14 当 Burst Length=8, CL=5,AL=0 时, 写数据时序图 .....	14
图 3-15 当 Burst Length=8, CL=6,AL=0 时, 写数据时序图 .....	14
图 3-16 当 Burst Length=4, CL=6,AL=0 时, 写数据时序图 .....	15
图 3-17 数据掩码时序图 .....	15
图 3-18 当 CLK Ratio=1:4, CL=6,AL=0 时, 读数据时序图 .....	16
图 3-19 当 CLK Ratio=1:2, Burst Length=8, CL=6/4, AL=0 时, 读数据时序图 .....	16
图 3-20 CLK Ratio=1:4 时, Active 时序图 .....	17
图 3-21 读写指令接口选择 .....	18
图 5-1 IP Core Generator 界面 .....	22
图 5-2 DDR2 PHY Interface 配置界面 .....	23
图 5-3 WR=4 时的 WR 时序图 .....	24

# 表目录

表 1-1 术语、缩略语 .....	2
表 2-1 Gowin DDR2 PHY INTERFACE IP 概述 .....	3
表 2-2 资源利用 .....	4
表 4-1 Gowin DDR2 PHY Interface IP 的 I/O 端口列表 .....	19
表 5-1 DDR2 时间参数 .....	25

# 1 关于本手册

## 1.1 手册内容

Gowin DDR2 PHY Interface IP 用户指南主要内容包括功能描述、端口说明、时序说明、配置调用，旨在帮助用户快速了解 Gowin DDR2 PHY Interface IP 的产品特性、特点及使用方法。本手册中的软件界面截图参考的是 1.9.11.02 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

## 1.2 相关文档

登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可以下载、查看以下相关文档：

- [SUG100, Gowin 云源软件用户指南](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [DS1104, GW5AST 系列 FPGA 产品数据手册](#)
- [DS1108, GW5AR 系列 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [DS971, GW2AN-18X &9X 器件数据手册](#)
- [DS976, GW2AN-55 器件数据手册](#)

## 1.3 术语、缩略语和简写

表 1-1 中列出了本手册中出现的术语、缩略语及相关释义。

**表 1-1 术语、缩略语**

术语、缩略语	全称	释义
IP	Intellectual Property	知识产权
LUT	Look-up Table	查找表
PLL	Phase-locked Loop	锁相环
MC	Memory Controller	控制器
DDR2 SDRAM	Double-Data-Rate Two Synchronous Dynamic Random Access Memory	第二代双倍数据率同步动态随机存取存储器
ODT	On-die Termination	片上终端
PHY	Physical Layer	物理层
REG	Register	寄存器
FIFO	First Input First Output	先入先出队列

## 1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网站: [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

E-mail: [support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 概述

## 2.1 介绍

Gowin DDR2 PHY Interface IP 集成了 DQS 硬核等相关硬核资源，实现 DDR2 PHY 的功能，需要客户实现 MC 层对接 DDR2 PHY Interface IP，组合成完整的 MC+PHY IP。

**表 2-1 Gowin DDR2 PHY INTERFACE IP 概述**

Gowin DDR2 PHY Interface IP	
逻辑资源	见表2-2
交付文件	
设计文件	Verilog(encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software (V1.9.11.02及以上)

注！

可登录[高云半导体网站](#)查看芯片支持信息。

## 2.2 特征

- 支持晨曦家族器件
- 符合 JESD79-2F 标准
- 支持存储路径宽度为 8、16、24、32、40、48、56、64 位
- 支持单 Rank 下 RDIMM、UDIMM 和 SODIMM 内存模块
- 支持 x8 和 x16 数据宽度的内存芯片
- BURST MODE 为 4 或 8
- Memory clk 与 User clk 时钟的频率比为 4:1 或 2:1
- 可配置的 CL、AL、tFAW、tRAS、tRCD、tRFC、tRRD、tRTP、tWTR 等参数

- 支持片上终端 ODT 控制

## 2.3 资源利用

Gowin DDR2 PHY Interface IP 采用 Verilog HDL 实现，因使用器件的密度、速度和等级的不同，其性能和资源利用情况可能不一致。以高云 GW5A(R)-25 为例，默认配置下资源利用情况如表 2-2 所示。关于其它器件的资源利用请参阅相关的后期发布信息。

表 2-2 资源利用

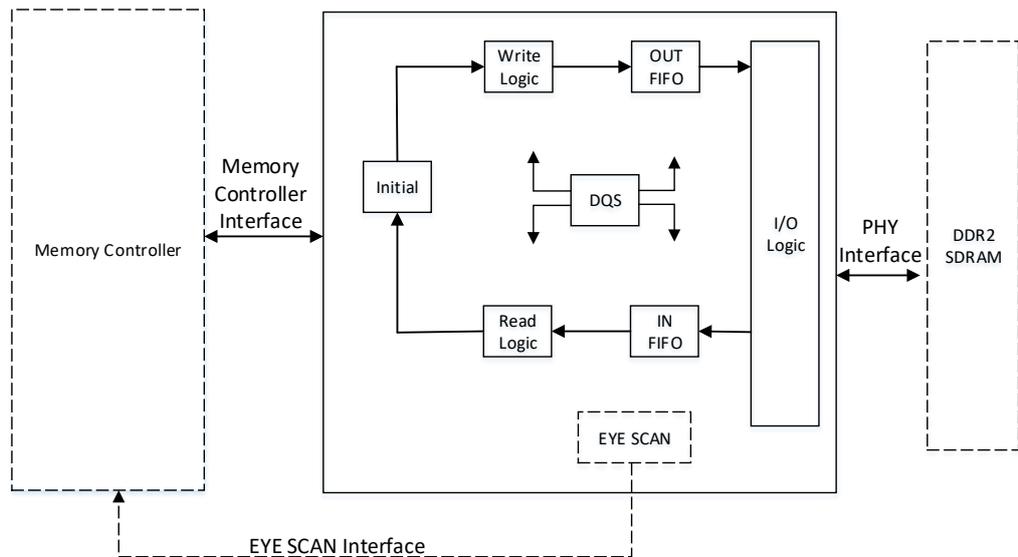
器件	编程语言	LUTs	REGs	ALUs	BSRAM
GW5A(R)-25	Verilog HDL	2817	3397	117	16

# 3 功能描述

## 3.1 整体结构

Gowin DDR2 PHY Interface IP 主要由控制逻辑、I/O 逻辑与存储逻辑三部分组成如图 3-1 所示。

图 3-1 Gowin DDR2 PHY Interface IP 结构图



- **Memory Controller:** 需要用户根据本文档自行设计实现。
- **Initial:** 初始化模块，实现 Read Calib 功能。
- **Write Logic、Read Logic:** 实现读写控制逻辑。
- **OUT FIFO、IN FIFO:** 用于读写数据及指令缓存。
- **EYE SCAN:** 实现读数据窗口扫描功能，详见 [3.2.5 EYE SCAN](#) 章节。

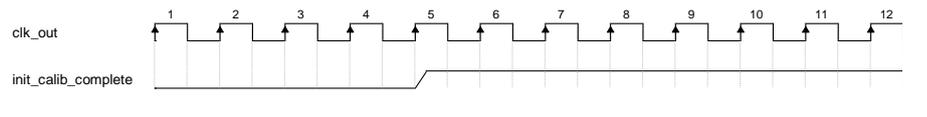
## 3.2 用户接口与时序描述

### 3.2.1 用户接口

#### 初始化完成接口

- **init\_calib\_complete**: DDR2 SDRAM 必须经过校准操作才能进行正常的写、读操作。因此上电后 IP 会对 DDR2 SDRAM 进行初始化校准操作，初始化完成后 **init\_calib\_complete** 拉高，如图 3-2 所示。

图 3-2 初始化完成信号时序图

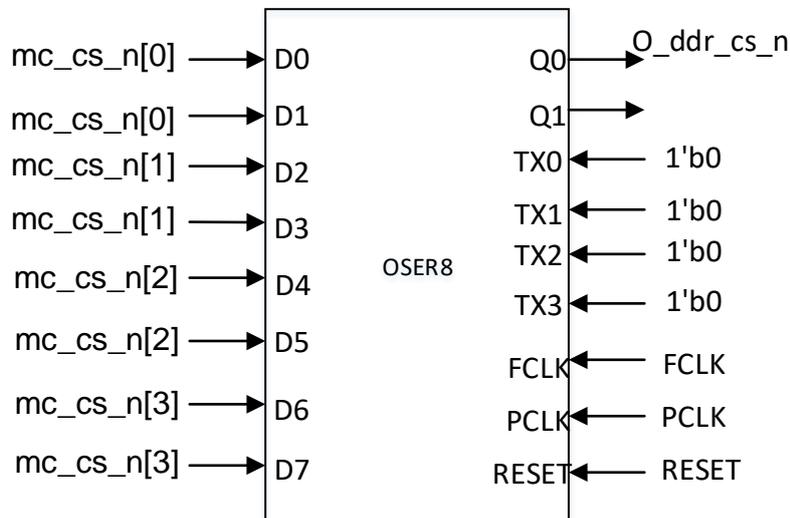


#### 控制信号与地址信号接口

- **mc\_cs\_n**: 该信号是 4 bits 或 2 bits 信号，映射到 **O\_ddr\_cs\_n** 的 1 bit 信号输出。这里之所以设置 4 bits 或 2 bits 宽度控制 1 bit 的信号输出，主要是为了精确控制 **O\_ddr\_cs\_n** 的输出，即可以精确控制 **O\_ddr\_cs\_n** 在哪一个 **O\_ddr\_clk** 的时钟沿下输出。

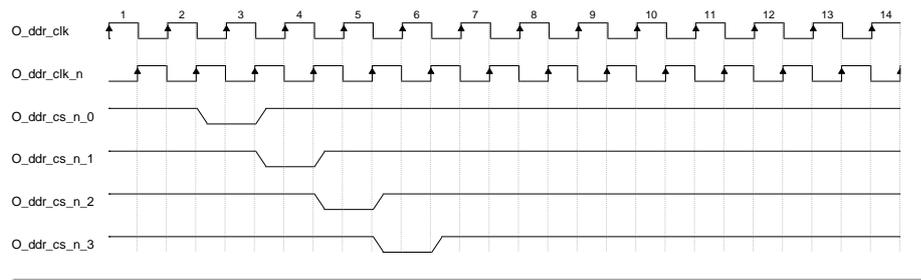
CLK Ratio 选择 1:4 时，**mc\_cs\_n** 位宽为 4 bits，**mc\_cs\_n** 由 OSER8 输出，如下图所示：

图 3-3 OSER8 输出 **O\_ddr\_cs\_n** 图示



当 **mc\_cs\_n[3:0]=4'b1110** 或 **4'b1101** 或 **4'b1011** 或 **4'b0111** 时，都可输出有效的 **O\_ddr\_cs\_n**。

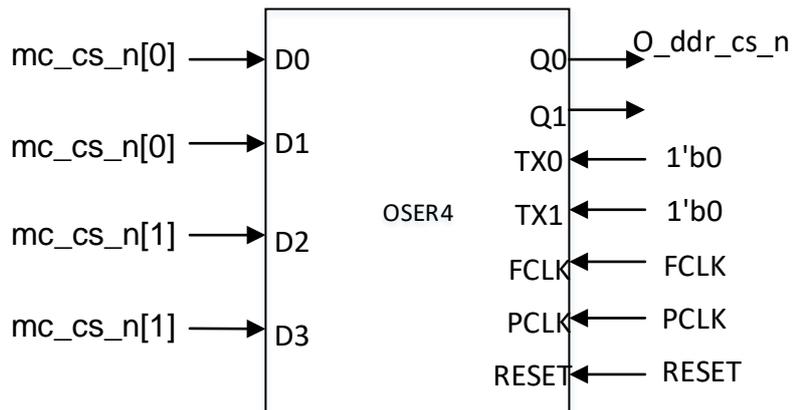
图 3-4 O\_ddr\_cs\_n 输出时序图



假如当  $mc\_cs\_n[3:0]=4'b1110$  时， $O\_ddr\_cs\_n$  的输出为  $O\_ddr\_cs\_n\_0$  的波形，那么  $mc\_cs\_n[3:0]=4'b1101$  时， $O\_ddr\_cs\_n$  的输出为  $O\_ddr\_cs\_n\_1$  的波形，以此类推， $mc\_cs\_n[3:0]$  的二进制 bit0 每左移一位，经 OSER8 输出后的  $O\_ddr\_cs\_n$  的低电平就会右移一个 clk 周期。

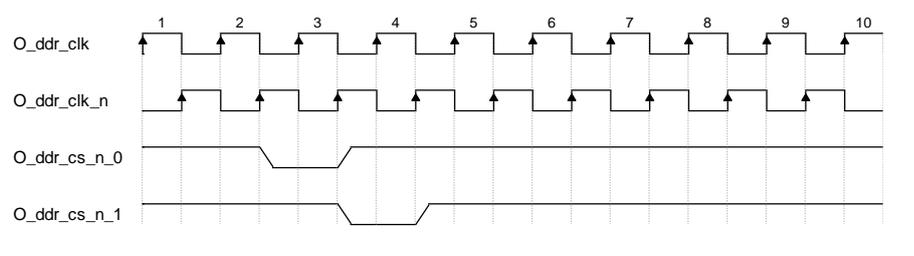
CLK Ratio 选择 1:2 时， $mc\_cs\_n$  位宽为 2 bits，由 OSER4 输出，如图 3-5 所示

图 3-5 OSER4 输出 O\_ddr\_cs\_n 图示



与 CLK Ratio 选择 1:4 时类似，当  $mc\_cs\_n[1:0]=2'b10$  或  $2'b01$  时，输出有效的  $O\_ddr\_cs\_n$ ， $mc\_cs\_n[1:0]$  的二进制 bit0 左移一位，经 OSER4 输出后的  $O\_ddr\_cs\_n$  的低电平就会右移一个 clk 周期，如图 3-6 所示

图 3-6 CLK Ratio 为 1:2 时，O\_ddr\_cs\_n 输出时序图

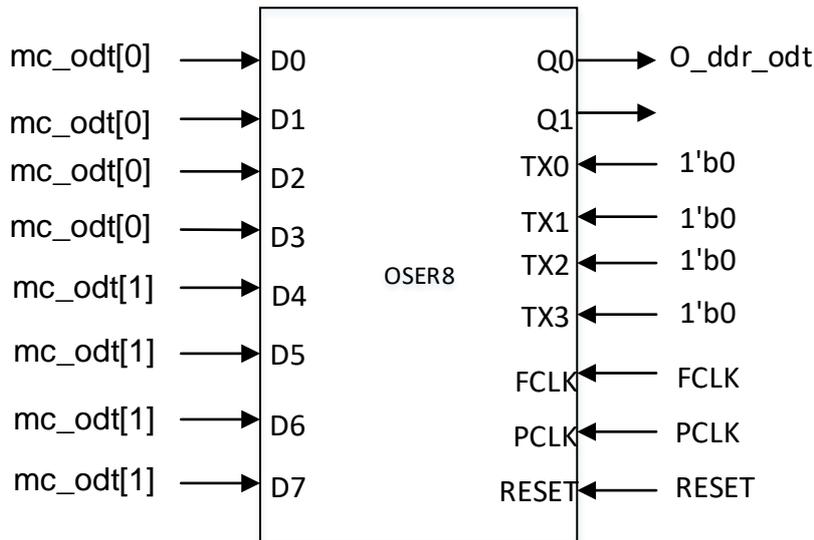


- $mc\_cas\_n$ 、 $mc\_we\_n$ 、 $mc\_cke$ : 这些信号用法如同  $mc\_cs\_n$  信号，

这里不再进行描述。

- **mc\_odt**: 该信号是 2 bits 信号, 当 CLK Ratio=1:4 时, 逻辑内部将 mc\_odt 转化为 4 bits 并接入 OSER8 输出, 如
- 图 3-7 所示。当 CLK Ratio=1:2 时, 该信号接入 OSER4 输出, 用法如同 mc\_cs\_n 信号。mc\_odt 的值每变化 1 bit, 实际输出的 O\_ddr\_odt 波形变化 2 个 O\_ddr\_clk 周期。

图 3-7 OSER8 输出 ddr\_odt 图示



因此 mc\_odt 的值每变化 1 bit, 实际输出的 O\_ddr\_odt 波形变化 2 个 O\_ddr\_clk 周期。

- **mc\_address**: 该信号用于传递 Row/Column 地址, 信号宽度为  $NCK \times ROW\_WIDTH$ 。ROW\_WIDTH 是 DDR2 颗粒的 Row Address 位宽。NCK 为时钟比例参数, 当 CLK Ratio 选择 1:4 时,  $NCK=4$ ; 当 CLK Ratio 选择 1:2 时,  $NCK=2$ 。mc\_address 与上述 mc\_cs\_n 等信号用法相似, 但也存在不同点, 相同点为 mc\_address 通过 OSER 发送, 且时序控制相同, 不同点为该信号经过 OSER 发送之前进行了映射转化, 映射关系如下:

$mc\_address[j \times ROW\_WIDTH + i] \Rightarrow mc\_address\_tmp[i \times NCK + j]$  ( $i \geq 0, i < ROW\_WIDTH, j \geq 0, j < NCK$ )。

mc\_address\_tmp 为映射之后的地址。mc\_address\_tmp 每 NCK 个 bit 决定 O\_ddr\_addr 的 1 bit 输出, 如  $NCK=4$  时, 即 mc\_address\_tmp[3:0] 控制 O\_ddr\_addr[0] 信号的输出, mc\_address\_tmp[7:4] 控制 O\_ddr\_addr[1] 信号的输出, 依次类推。

返回到 mc\_address 信号, 以  $NCK=4$  为例,  $j$  取 0、1、2、3, 当  $i=0$  时, 对应的 mc\_address 的 4 bits 决定 O\_ddr\_addr[0] 的输出, 当  $i=1$  时, 对应的 mc\_address 的 4bit 决定 O\_ddr\_addr[1] 的输出, 以此类推, 当  $i=ROW\_WIDTH-1$  时, 对应的 mc\_address 的 4bit 决定 O\_ddr\_addr 最高 bit 地址的输出。

用户应将实际写入 MC 的地址进行映射后接入 `mc_address`。

- `mc_bank`: 该信号与 `mc_address` 用法相同。

#### 数据接口

- `mc_cmd_wren`: 因为控制线与地址线的时序是流水线发送的, 因此该信号一直为高电平即可。
- `mc_wrd_data`: `init_calib_complete` 为 0、`eye_calib_start` 为 1 时, 该信号的值为 `eye_app_wdf_wdata`; `init_calib_complete` 为 1、`eye_calib_start` 为 0 时, 该信号的值为用户写入 MC 的原始的值。
- `mc_wrd_data_mask`: 该信号是 `mc_wrd_data` 的屏蔽信号, 1bit 对应 `mc_wrd_data` 的一个字节, 低 bit 对应 `mc_wrd_data` 的低字节。
- `mc_wrd_data_en`: 当 `mc_wrd_data_en` 为 1 时, `mc_wrd_data` 和 `mc_wrd_data_mask` 有效。
- `phy_rd_data`: 从 DDR2 颗粒读出的数据。
- `phy_rddata_valid`: 当该信号为 1 时, 表示 `phy_rd_data` 有效。

### 3.2.2 写数据时序

根据用户接口描述可知, 通过改变 `mc_cs_n`、`mc_cas_n` 和 `mc_we_n` 的二进制数据 0 所在的 bit 位置, 可以调节写命令和第一个有效写数据之间的时钟周期个数, 即 Write Latency(简称 WL,  $WL=CL+AL-1$ , CL 即 CAS Latency, AL 即 Additive Latency)。

使用 Arora V 器件, `IO_dds_dqs` 和 `IO_dds_dqs_n` 需要提前中断高阻态, 这是根据 Arora V 器件的硬件特性做的适配。本节列举了不同 CL 取值的写数据时序, 其中 `clk_out` 与 `O_dds_clk` 的时钟比值为 1: 4 或 1: 2。当 CLK Ratio 选择 1:4 时, 写时序如图 3-8、图 3-9、图 3-10、图 3-11 所示。

图 3-8 当 CL=3,AL=0 时, 写数据时序图

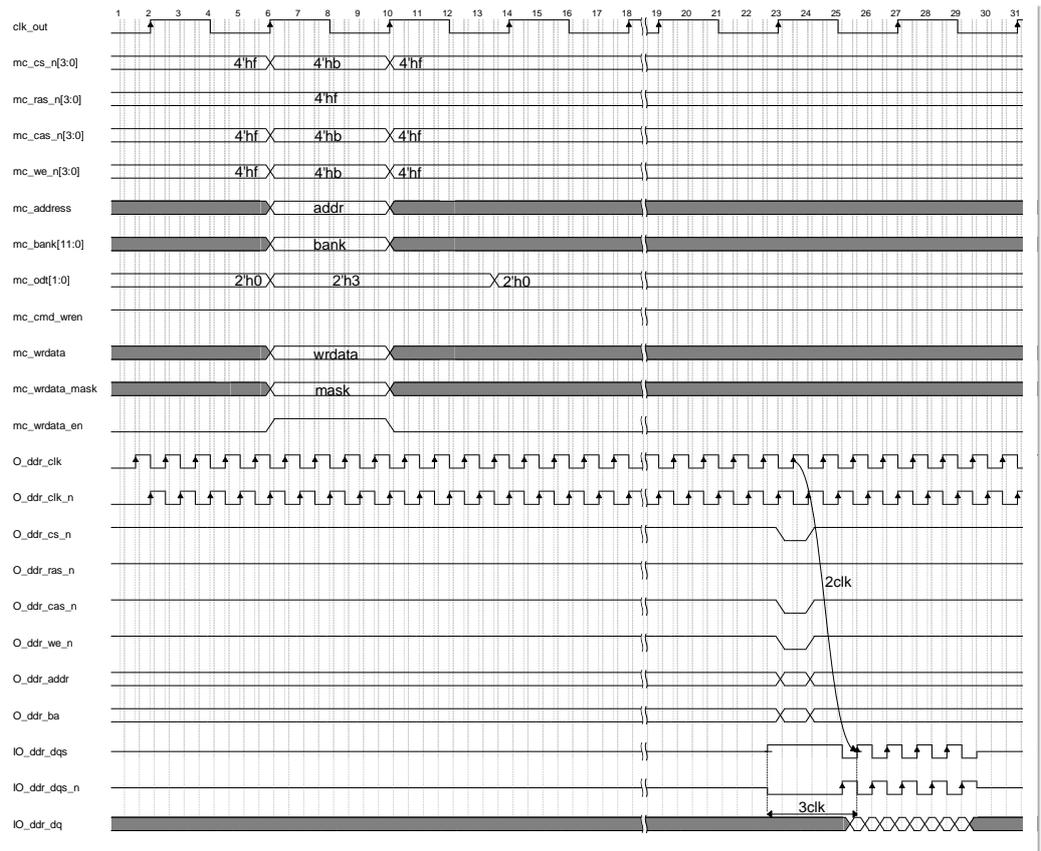


图 3-9 当 CL=4,AL=0 时, 写数据时序图



图 3-10 当 CL=5,AL=0 时, 写数据时序图

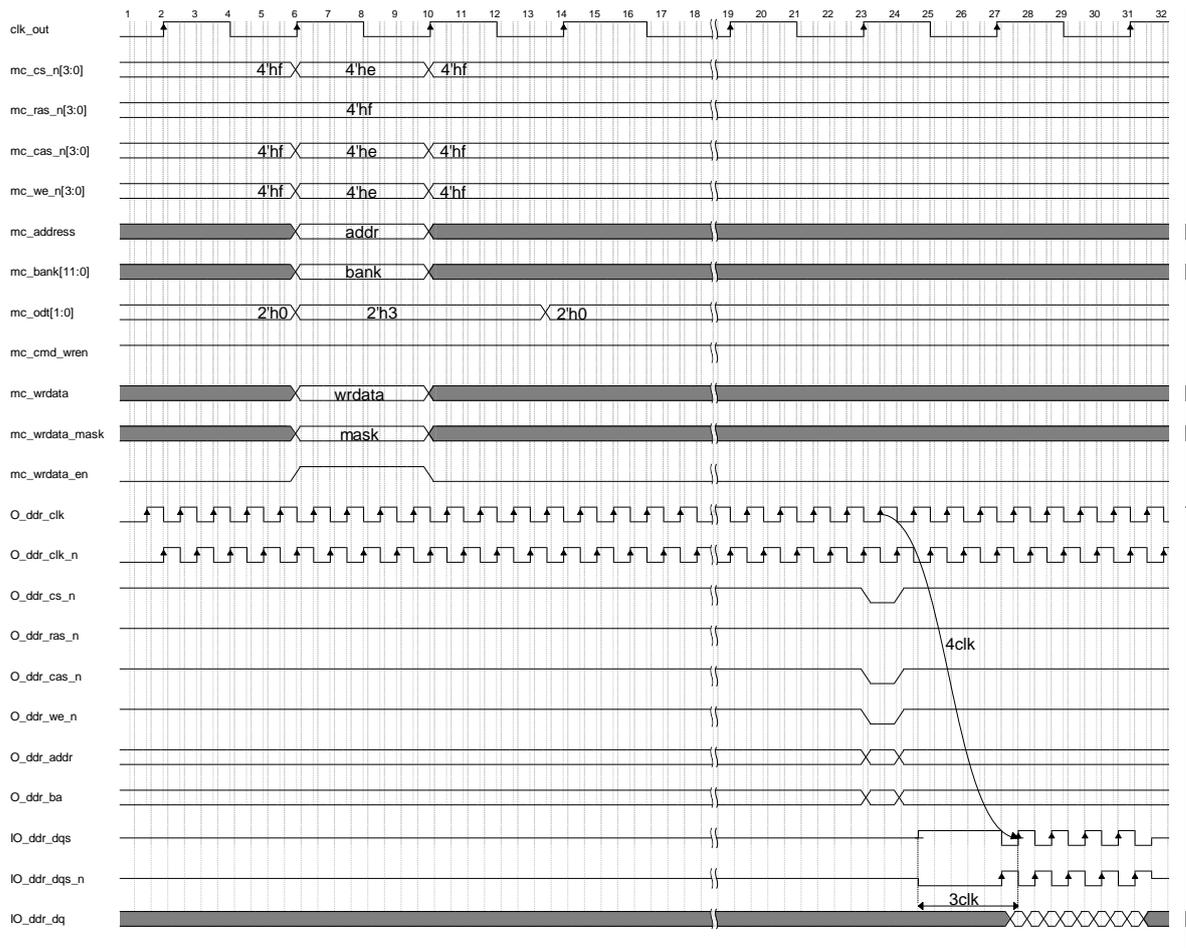
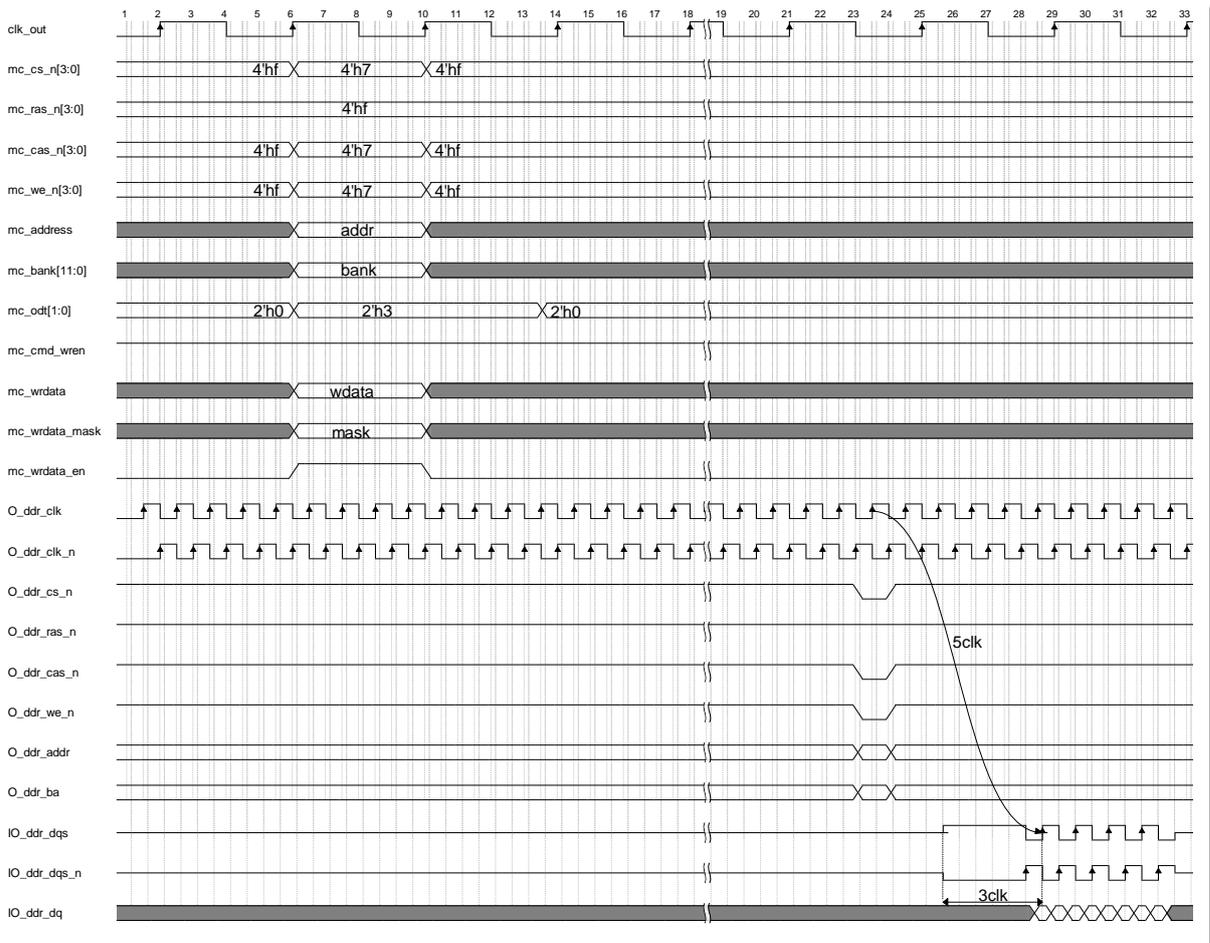


图 3-11 当 CL=6,AL=0 时, 写数据时序图



当 CLK Ratio 选择 1:2 时, 写数据时序如图 3-12、图 3-13、图 3-14、图 3-15、图 3-16 所示。

图 3-12 当 Burst Length=8, CL=3,AL=0 时, 写数据时序图

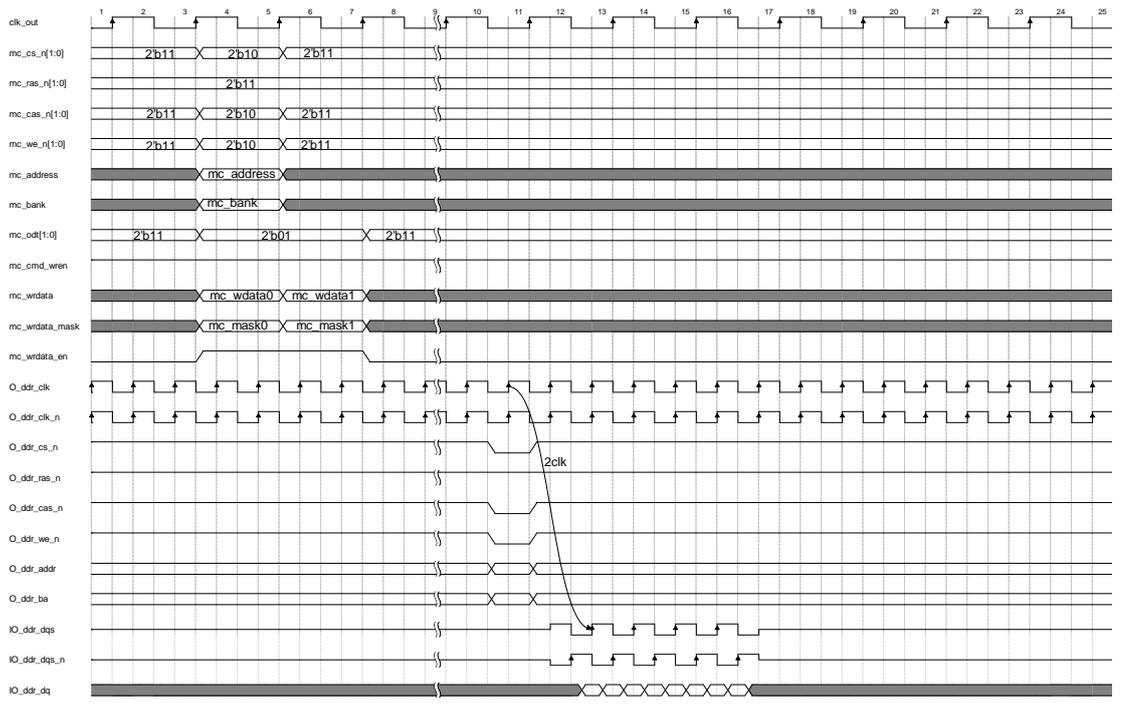


图 3-13 当 Burst Length=8, CL=4,AL=0 时, 写数据时序图

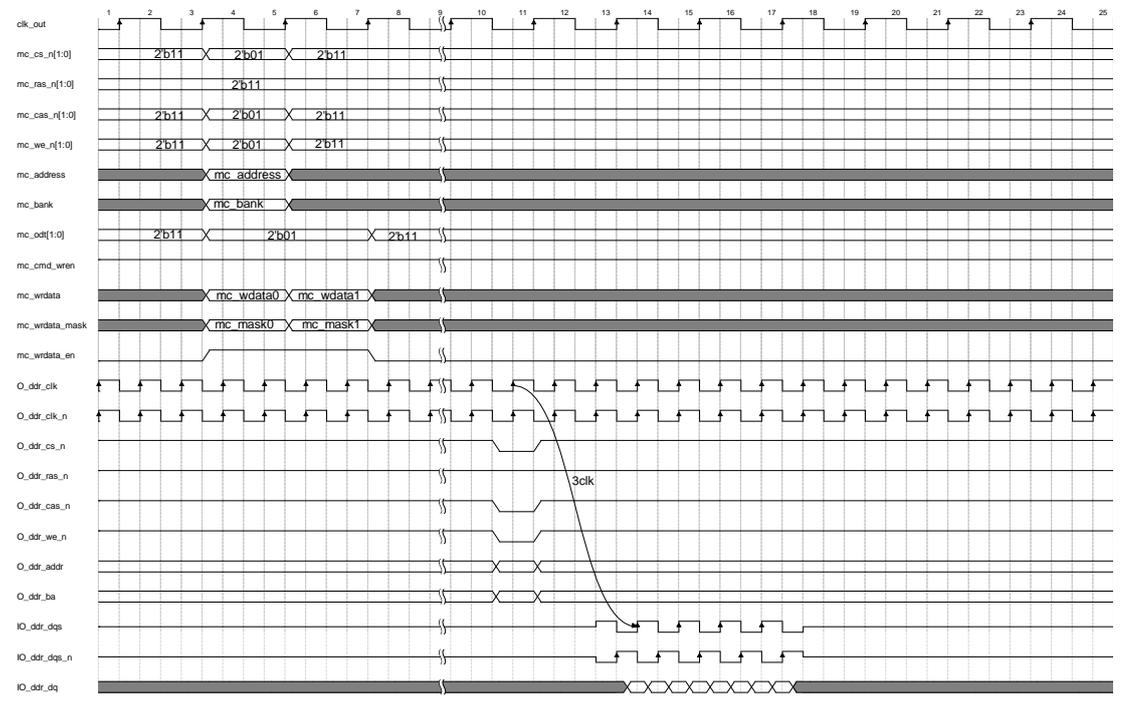


图 3-14 当 Burst Length=8, CL=5,AL=0 时, 写数据时序图

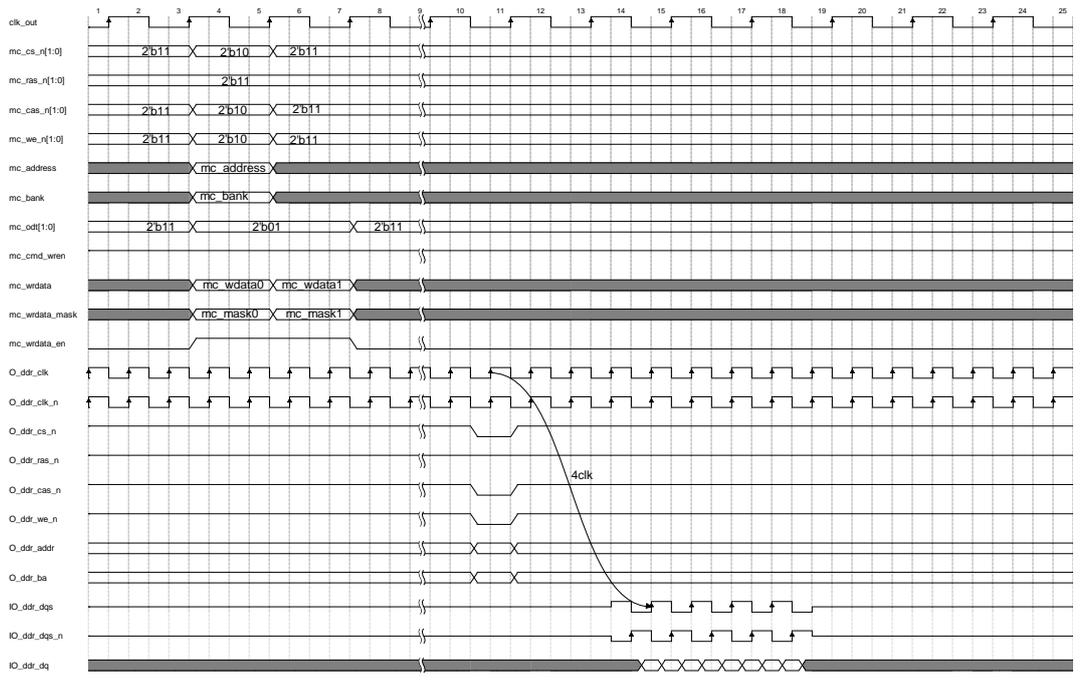
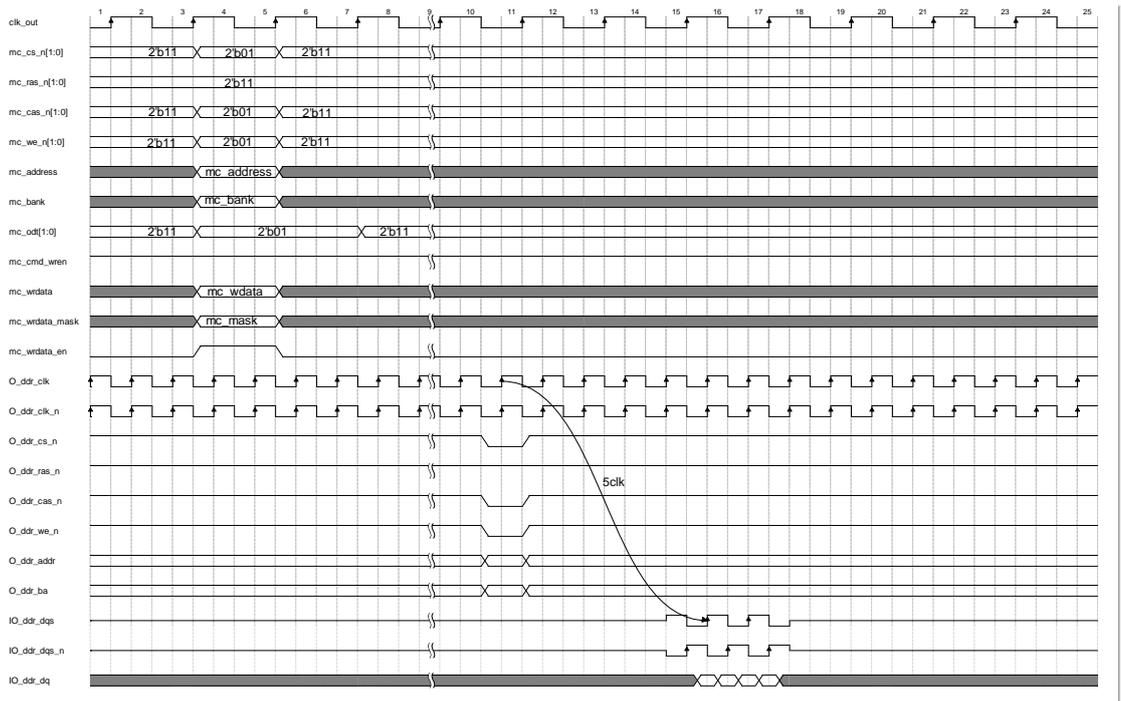


图 3-15 当 Burst Length=8, CL=6,AL=0 时, 写数据时序图



图 3-16 当 Burst Length=4, CL=6,AL=0 时, 写数据时序图

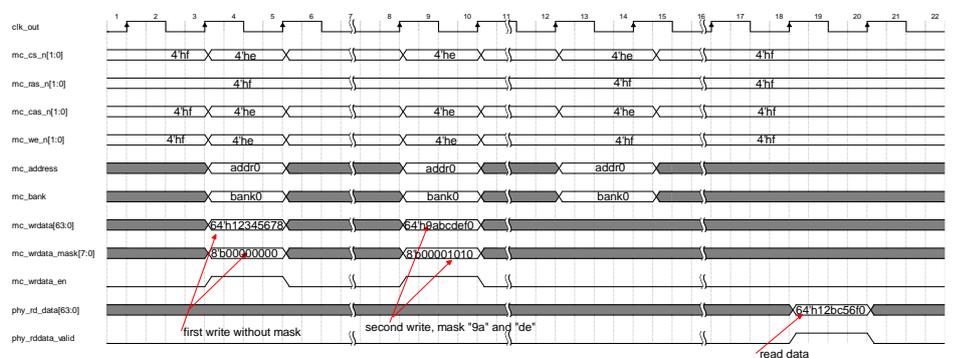


数据掩码

对于用户不需要的数据, 可以用数据掩码信号(mc\_wdata\_mask)进行屏蔽, mc\_wdata\_mask 的每 1 个 bit 控制 mc\_wdata 的 1 个字节, mc\_wdata\_mask[n]=1'b1 时, mc\_wdata 的第 n 字节被屏蔽。对应关系为 mc\_wdata\_mask[0]控制 mc\_wdata[7:0], mc\_wdata\_mask[1]控制 mc\_wdata[15:8], mc\_wdata\_mask[2]控制 mc\_wdata[23:16].....

如图 3-17 所示, 连续两次对 bank0、addr0 写访问, 第一次写入 mc\_wdata=64'h12345678, mc\_wdata\_mask=8'b00000000, 未进行任何屏蔽, 第二次写入 mc\_wdata=64'h9abcdef0, mc\_wdata\_mask=8'b00001010, 对第 2、4 字节进行了屏蔽。随后对 bank0、addr0 读访问, 读出的数据为 64'h12bc56f0。

图 3-17 数据掩码时序图



### 3.2.3 读数据时序

发送读指令时，理论上是不需要调整读指令和数据的间隔周期的，因为读取的数据是 DDR2 颗粒返回的，我们只需要完成 read calib 即可获取到 DDR2 颗粒返回的数据，DDR2 PHY IP 内部发送读写指令的逻辑有部分是复用的，所以 MC 接口的读数据的时序和写时序相似，比如当 CLK Ratio 选择 1:4，CL = 6，AL=0 时，读指令是 mc\_cs\_n[3:0]=4'h7，mc\_ras\_n[3:0]=4'hf，mc\_cas\_n[3:0]=4'h7，mc\_we\_n[3:0]=4'hf。因为 DDR2 PHY 的 clk ratio 是 4: 1，因此当 CL=2 时，与 CL=6 的读数据时序相同。读数据的时序只提供 CL=6 的情况，其他情况不再描述。当 phy\_rddata\_valid=1 时，phy\_rd\_data 有效。读时序如图 3-18、图 3-19 所示。

图 3-18 当 CLK Ratio=1:4，CL=6,AL=0 时，读数据时序图

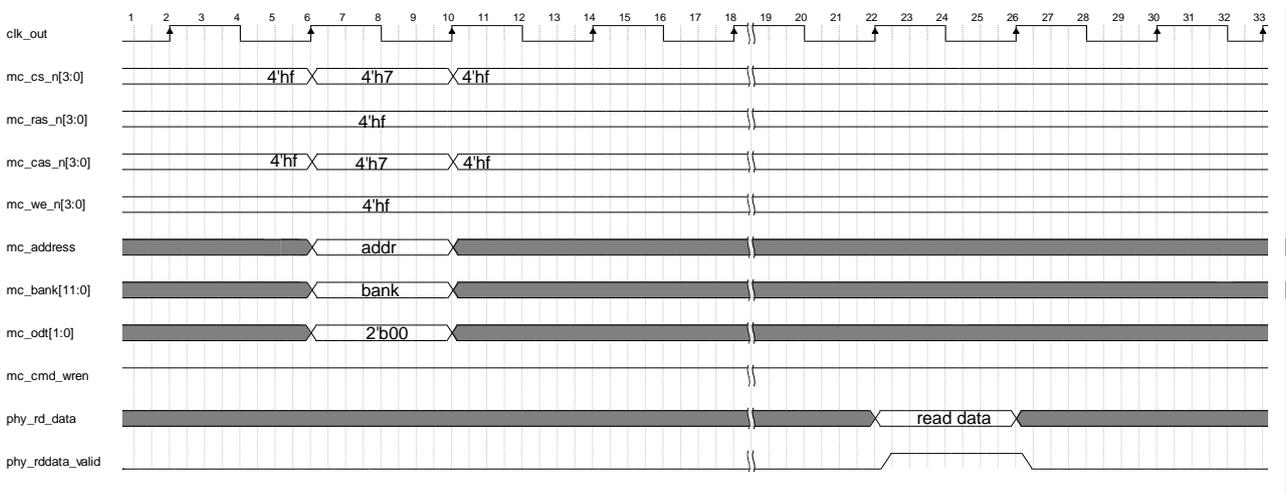
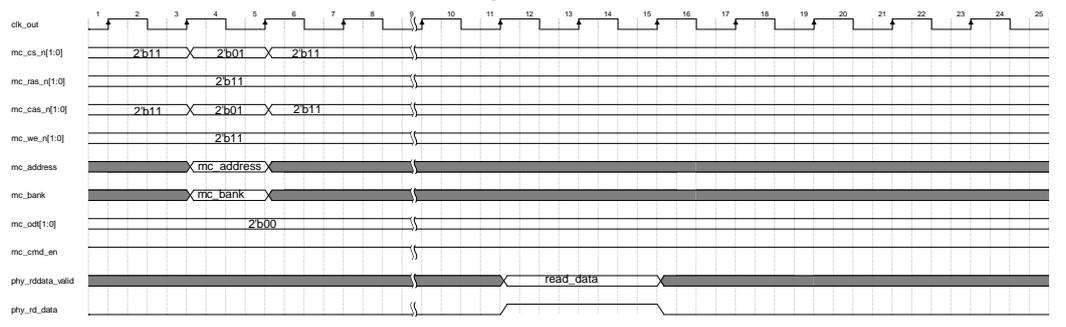


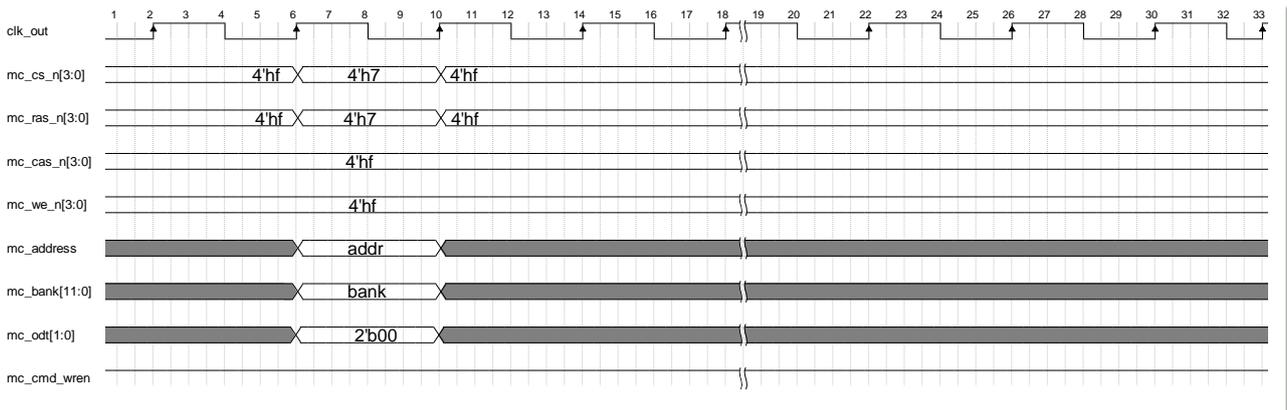
图 3-19 当 CLK Ratio=1:2，Burst Length=8，CL=6/4，AL=0 时，读数据时序图



### 3.2.4 Bank Active

MC 发送激活指令的时序如下图所示，用户可以通过 3.2.1 用户接口章节的描述，调节激活指令与前后其他指令的时间间隔，提高数据读写效率。

图 3-20 CLK Ratio=1:4 时, Active 时序图



像 DDR2 的其他指令，如 Precharge、Refresh 等指令，与上述指令的发送形式相同，本文档不再描述。

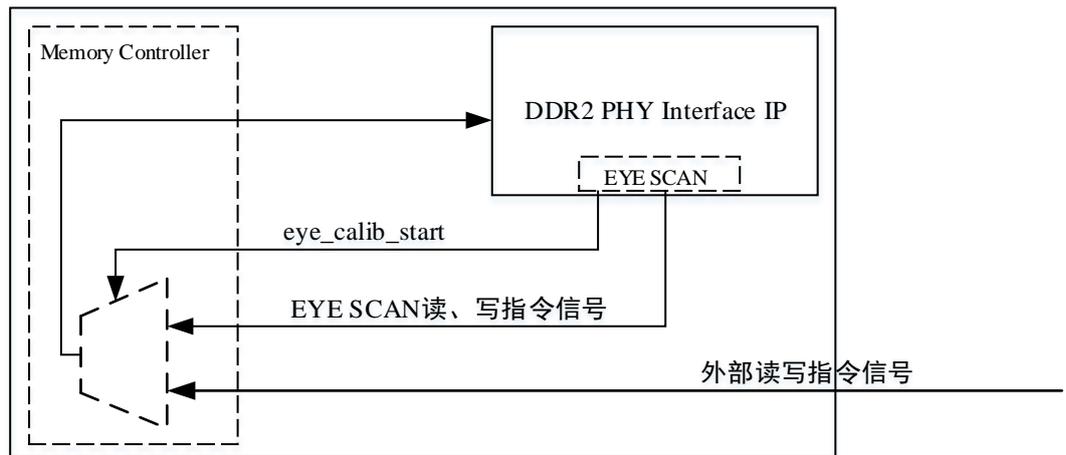
### 3.2.5 EYE SCAN

- **eye\_calib\_start**: 读数据窗口扫描功能开始的标志，在整个窗口扫描期间，该信号持续为高电平。
- **eye\_cmd\_rdy**: 当该信号为高电平时，表示 MC 可以接收 EYE SCAN 模块发送的 **eye\_app\_cmd\_en** 和 **eye\_app\_cmd**。
- **eye\_app\_cmd\_en**: 当该信号为高电平时，表示 **eye\_app\_cmd** 有效。
- **eye\_app\_addr**: 数据窗口扫描时，读写数据的地址。
- **eye\_wdf\_rdy**: 当该信号为高电平时，表示 MC 可以接收 **eye\_app\_wdf\_wren** 和 **eye\_app\_wdf\_wdata**。
- **eye\_app\_wdf\_wren**: 当该信号为高电平时，表示 **eye\_app\_wdf\_wdata** 有效。
- **eye\_app\_wdf\_wdata**: 数据窗口扫描时的写数据。

DDR2 PHY 支持读数据窗口扫描功能，以此来提高 IO LOGIC 采集 dq 数据的稳定性。EYE SCAN 模块借助 MC 层读写数据，DDR2 PHY 返回的数据直接进入 PHY IP 的 EYE SCAN 模块。EYE SCAN 模块每调整一次采样点，均会读写一组数据，然后通过读数据判断当前采样点是否可以采集到正确 dq 数据。当连续多个采样点都可以采集到正确数据时，IP 会将采样点移动到采样窗口的中间位置。

EYE\_SCAN 读写指令接口和外部读写指令接口需要进入选择器，当 **eye\_calib\_start** 有效时选择 EYE\_SCAN 读写指令信号接入 MC，否则选择外部读写指令信号接入 MC。

图 3-21 读写指令接口选择



### 3.3 时钟、复位和 pll\_stop

详细信息可参考文档 [IPUG506, Gowin DDR2 Memory Interface IP 用户指南](#)。

# 4 端口列表

表 4-1 Gowin DDR2 PHY Interface IP 的 I/O 端口列表

序号	信号名称	类型	位宽	描述
<b>User Interface</b>				
1	clk	Input	1	输入参考时钟，一般推荐晶振输入
2	pll_stop	Output	1	Memory_clk使能控制信号
3	memory_clk	Input	1	该时钟与DDR2颗粒接口时钟速率相同。使用GW2A器件时，该时钟接pll的输出或其他时钟；使用GW5A器件时，该时钟需接PLL的输出端口clkout2，见3.3 时钟、复位和pll_stop节描述。
4	pll_lock	Input	1	当该信号为高时，表示memory_clk已经稳定。如果memory_clk接PLL的输出时钟，那么该接口接PLL的lock管脚。
5	rst_n	Input	1	系统复位信号，低电平有效
6	mc_cs_n	Input	NCK <sup>[1]</sup>	映射到O_ddr_cs_n信号的输出
7	mc_ras_n	Input	NCK	映射到O_ddr_ras_n信号的输出
8	mc_cas_n	Input	NCK	映射到O_ddr_cas_n信号的输出
9	mc_we_n	Input	NCK	映射到O_ddr_we_n信号的输出
10	mc_address	Input	NCK *ROW_WIDTH <sup>[1]</sup>	映射到O_ddr_addr信号的输出
11	mc_bank	Input	NCK *BANK_WIDTH <sup>[2]</sup>	映射到O_ddr_bank信号的输出
12	mc_reset_n	Input	1	用户逻辑中一直保持此信号为高电平即可。
13	mc_odt	Input	2	映射到O_ddr_odt信号的输出
14	mc_cke	Input	4	映射到O_ddr_cke信号的输出
15	mc_wrdata_en	Input	1	mc_wrdata写使能信号，高有效
16	mc_wrdata	Input	NCK *2*DQ_WIDTH <sup>[3]</sup>	存入memory的数据，映射到IO_ddr_dq信号的输出

序号	信号名称	类型	位宽	描述
17	mc_wrdata_mask	Input	NCK *2*DM_WIDTH <sup>[4]</sup>	数据掩码输入，映射到O_ddr_dqm信号的输出
18	mc_cmd_wren	Input	1	mc_cs_n、mc_ras_n、mc_cas_n、mc_we_n、mc_address、mc_bank、mc_odt和mc_cke信号的使能信号，高有效。用户在使用时需要保持此信号一直为高电平。
19	clk_out	Output	1	用户时钟；CLK Ratio选择1:4时，频率为memory_clk的1/4。 CLK Ratio选择1:2时，频率为memory_clk的1/2。
20	ddr_rst	Output	1	IP的复位输出。一般不推荐将此复位信号作为用户逻辑复位。
21	phy_rddata_valid	Output	1	phy_rd_data有效信号，高有效。
22	phy_rd_data	Output	NCK *2*DQ_WIDTH	从DDR2读出的数据
23	init_calib_complete	Output	1	初始化完成信号，高有效。
24	eye_calib_start	output	1	窗口扫描使能、指令和数据信号，详见3.2.5 EYE SCAN。
25	eye_cmd_rdy	Input	1	
26	eye_app_cmd_en	Output	1	
27	eye_app_cmd	Output	3	
28	eye_app_addr	Output	[ADDR_WIDTH <sup>[5]</sup> -1:0]	
29	eye_wdf_rdy	Input	1	
30	eye_app_wdf_wren	Output	1	
31	eye_app_wdf_wdata	Output	[APP_DATA_WIDTH <sup>[6]</sup> -1:0]	
<b>DDR2 SDRAM Interface</b>				
29	O_ddr_addr	Output	ROW_WIDTH	PHY接口信号，ROW/Column地址信号线。
30	O_ddr_ba	Output	BANK_WIDTH	PHY接口信号，bank信号线。
31	O_ddr_cs_n	Output	1	PHY接口信号，片选信号线。
32	O_ddr_ras_n	Output	1	PHY接口信号，行地址选择信号线。
33	O_ddr_cas_n	Output	1	PHY接口信号，列地址选择信号线。
34	O_ddr_we_n	Output	1	PHY接口信号，写使能控制信号线。
35	O_ddr_clk	Output	1	PHY接口信号，clk差分信号线P端。
36	O_ddr_clk_n	Output	1	PHY接口信号，clk差分信号线N端。

序号	信号名称	类型	位宽	描述
37	O_ddr_cke	Output	1	PHY接口信号，时钟使能信号线。
38	O_ddr_odt	Output	1	PHY接口信号，端接电阻控制信号线。
39	O_ddr_reset_n	Output	1	PHY接口信号，颗粒复位信号线。
40	O_ddr_dqm	Output	DM_WIDTH	PHY接口信号，dq数据屏蔽信号线。
41	IO_ddr_dq	Inout	DQ_WIDTH	PHY接口信号，dq信号线。
42	IO_ddr_dqs	Inout	DQS_WIDTH <sup>[8]</sup>	PHY接口信号，dqs信号线P端。
43	IO_ddr_dqs_n	Inout	DQS_WIDTH	PHY接口信号，dqs信号线N端。

## 注！

- <sup>[1]</sup>NCK: 时钟比例参数，当 CLK\_Ratio 选择 1:4 时，NCK=4；当 CLK\_Ratio 选择 1:2 时，NCK=2。
- <sup>[2]</sup>ROW\_WIDTH: DDR2 颗粒的 Row 地址位宽。
- <sup>[3]</sup>BANK\_WIDTH: 内存 BANK 地址位宽。
- <sup>[4]</sup>DQ\_WIDTH: Dq 数据位宽。
- <sup>[5]</sup>DM\_WIDTH: Dqm 数据位宽(DQ\_WIDTH/8)。
- <sup>[6]</sup>ADDR\_WIDTH: 输入地址位宽(RANK\_WIDTH+BANK\_WIDTH+ROW\_WIDTH+COL\_WIDTH<sup>[9]</sup>，其中 RANK\_WIDTH=1)。
- <sup>[7]</sup>APP\_DATA\_WIDTH: 用户接口数据位宽(NCK\*2\*DQ\_WIDTH)。
- <sup>[8]</sup>DQS\_WIDTH: Dqs 数据位宽(DQ\_WIDTH/8)。
- <sup>[9]</sup>COL\_WIDTH: 内存列地址位宽。

# 5 调用及配置

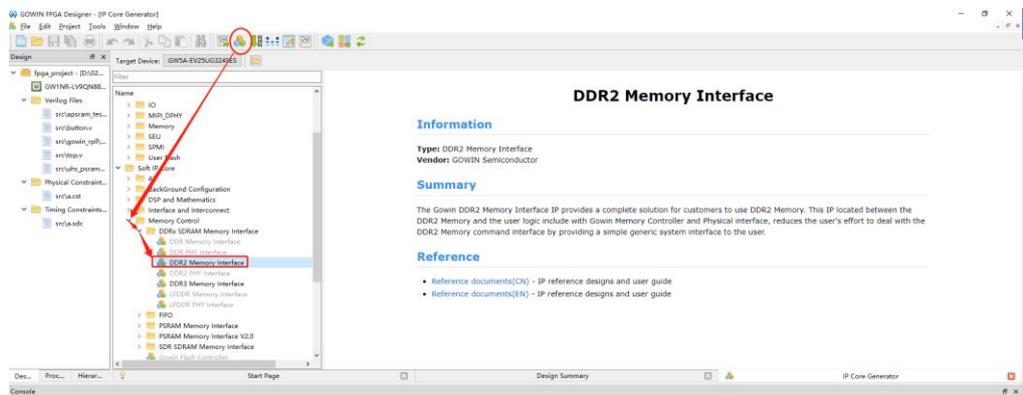
## 5.1 IP 调用

打开高云半导体云源软件，点击快捷栏“”或菜单栏“Tools > IP Core Generator”启动 IP Core Generator 工具，进行 IP 的调用及配置。

### 1. 打开 IP Core Generator

用户创建工程后，点击“IP Core Generator”，即可打开 Gowin 的 IP 核产生工具，如图 5-1 所示。

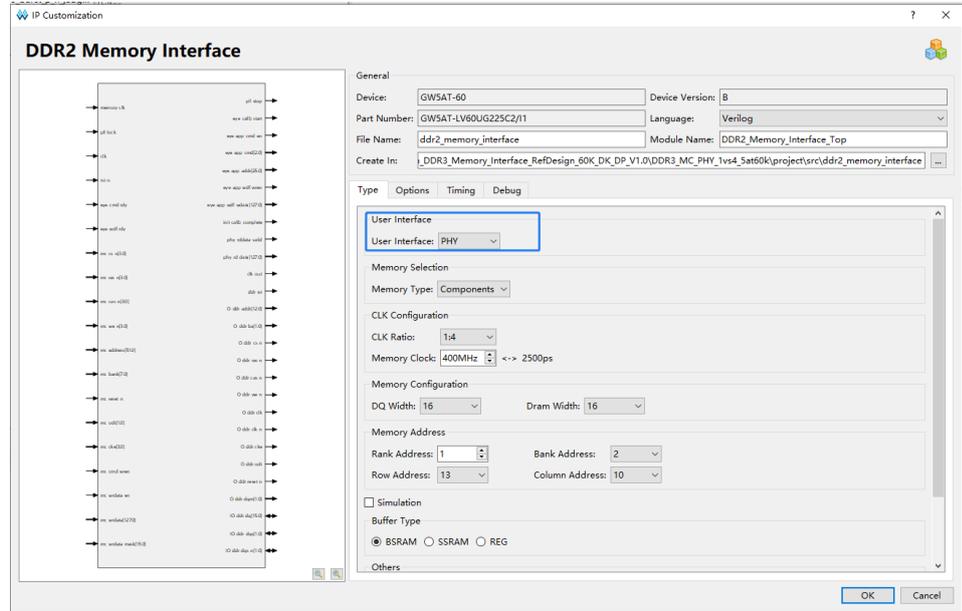
图 5-1 IP Core Generator 界面



## 2. 打开 IP

双击“Soft IP Core > Memory Control > DDRx SDRAM Memory Interface > DDR2 Memory Interface”，打开 DDR2 Memory Interface IP 界面，如图 5-2 所示，User Interface 选择 PHY(图 5-2 中蓝色选项)，即可打开该 IP。

图 5-2 DDR2 PHY Interface 配置界面



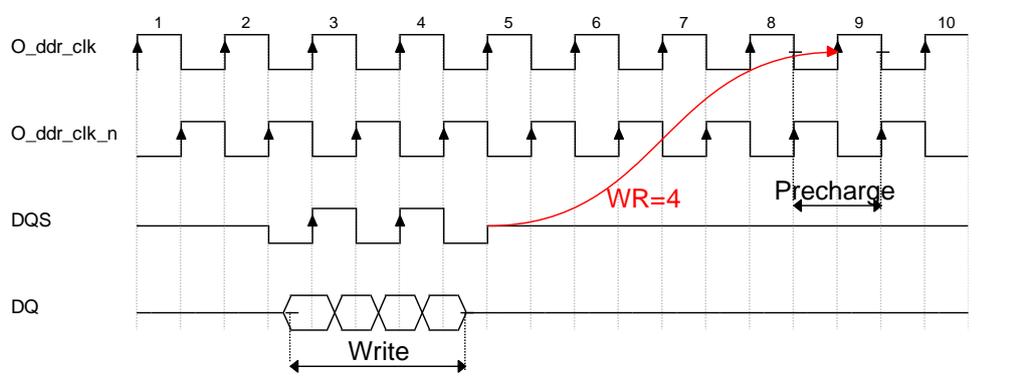
- 可通过修改“File Name”，配置产生的 IP 文件名称。
- 可通过修改“Module Name”，配置产生的 IP 顶层模块名称。
- 可通过修改“Options”选项，配置 IP 其他配置。

## 5.2 参数配置

- **Memory Type:** IP 支持的 memory 类型，支持 Components 和 DIMM(RDIMMs、UDIMMs、SODIMMs)，DIMM 仅支持单 Rank 下内存模块。
- **Memory Clock:** 颗粒接口时钟频率，根据颗粒工作时钟及需求写入。
- **CLK Ratio:** 用户接口时钟频率与颗粒接口时钟频率比值，支持 1:4 和 1:2。
- **DQ Width:** 总 DQ 位宽，支持 8、16、24、32、40、48、56、64。如用户使用 2 个颗粒，每个颗粒数据位宽为 16，DQ Width 应选择 32。
- **Dram Width:** 每个颗粒的数据位宽，支持 8 或 16。
- **Rank Address:** 固定为 1，IP 不支持 Rank 地址，该参数并不起作用。
- **Bank Address:** 颗粒 Bank 地址的宽度，支持 2 或 3。
- **Row Address:** 颗粒 Row 地址宽度，支持 12、13、14、15 或 16。

- **Column Address:** 颗粒 Column 地址宽度，支持 9 或 10。
- **Sim:** 仿真加速选择器，勾选时可加速仿真，板测时无需勾选。
- **Buffer Type:** IP 内部进行数据缓存时使用的硬件资源，支持 BSRAM、SSRAM 或 REG。
- **ADDR Width:** 用户接口地址宽度，只读。大小为 Rank Address+ Bank Address+ Row Address+ Column Address，用户不可设置。其中最高位 Rank\_Address 不可使用。用户在使用时 Rank\_Address 固定为 0 即可。
- **Data Width:** 用户接口数据宽度，CLK Ratio 选择 1:4 时，位宽为 8\*DQ Width；CLK Ratio 选择 1:2 时，位宽为 4\* DQ Width。
- **Mask Width:** 数据掩码位宽，为 Data Width/8。
- **Burst Mode:** 突发模式，CLK Ratio 选择 1:4 时，固定为 8(BL8)；CLK Ratio 选择 1:2 时，支持 4(BL4)或 8，相关用户接口时序见 [3.2.2 写数据时序](#)、[3.2.3 读数据时序](#)。
- **Burst Type:** 突发类型，可选 SEQ 或 INT。选择 SEQ 时，突发类型为 Sequential 突发；选择 INT 时，突发类型为 Interleave 突发。
- **CAS Latency:** 命令与数据之间的延时间隔，简称 CL，支持 2、3、4、5 或 6，用户需根据所选颗粒型号的 Datasheet 选择合适的 CL。
- **Additive Latency:** 附加时延，简称 AL，支持 0、1、2、3、4 或 5，DDR2 支持 Posted CAS 技术，当 Active 命令和 Read/Write 命令在时间上发送存在冲突时，可以提高效率， $AL=tRCD_{min}-1$ 。
- **Write Recovery:** 写恢复时间，以下简称 WR，支持 2、3、4、5 或 6，该参数含义为在一个激活的 Bank 中完成有效的写操作之后到发出预充电命令前，必须等待多少个时钟周期。如图 5-3 所示，例如当 WR=4 时，写操作完成之后必须等待 4 个时钟周期才可以发出 Precharge 命令。

图 5-3 WR=4 时的 WR 时序图



- **Rtt Nom:** 配置 DDR2 片内终端电阻的阻值，支持 OFF、75、150 和 50。从源(FPGA)到端(DDR2)颗粒的一条物理链路，理想情况下，我们

要求阻抗是连续的，所以  $R_{tt\_Nom}$  的阻值应该和 PCB 线路的特性阻抗相等。

- **OUTPUT DRV:** 输出驱动阻抗控制，支持 Full strength 或 Reduced strength。该参数用于配置 DDR2 颗粒的 DQS 和 DQ 信号输出强度。IP 默认配置为 Full strength。当配置 Reduced strength 时，DQS 和 DQ 信号的输出驱动强度相较于配置 Full strength 时要小。该配置会影响信号的完整性，当数据存在误码时，用户可以尝试调节该参数。
- **DDR2 DQSN Enable:** IO\_dds\_dqs\_n 端口使能。

**表 5-1 DDR2 时间参数**

选项	描述
t <sub>CKE</sub>	CKE信号最小脉冲时间(ps)
t <sub>FAW</sub>	同一rank中允许同时发送大于四个行激活命令的间隔时间，因此最小值应该不小于t <sub>RRD</sub> 的四倍。
t <sub>RAS</sub>	ACTIVE到PRECHARGE时间
t <sub>RCD</sub>	ACTIVE到READ或WRITE时间
t <sub>REFI</sub>	内存刷新时间间隔
t <sub>RFC</sub>	REFRESH到ACTIVE/REFRESH间隔
t <sub>RP</sub>	PRECHARGE周期
t <sub>RRD</sub>	不同Bank之间，ACTIVE到ACTIVE时间间隔
t <sub>RTP</sub>	READ到PRECHARGE时间间隔
t <sub>WTR</sub>	WRITE到READ时间间隔
t <sub>RC</sub>	同Bank下，ACTIVE到ACTIVE时间间隔
t <sub>DLLK</sub>	DLL锁定时间

