



Gowin USB 3.0 PHY IP

用户指南

IPUG1187-1.1,2025-01-17

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2024/05/17	1.0	初始版本。
2025/01/17	1.1	新增信号 ref_clk。

目录

目录 i
 图目录 ii
 表目录 iii
 1 关于本手册 1
 1.1 手册内容 1
 1.2 相关文档 1
 1.3 术语、缩略语 1
 1.4 技术支持与反馈 2
 2 功能简介 3
 2.1 概述 3
 2.2 特性 3
 2.3 资源占用 4
 3 功能描述 5
 3.1 USB 3.0 PHY 5
 3.2 USB 电源管理 6
 3.3 USB 接收状态（RxStatus） 6
 3.3.1 接收检测 6
 3.3.2 时钟公差补偿 7
 3.3.3 错误检测 7
 3.3.4 环回模式 7
 4 信号定义 8
 5 界面配置 11
 6 参考设计 16

图目录

图 3-1 USB 3.0 PHY 功能框图	5
图 3-2 接收检测时序图	6
图 4-1 Gowin USB 3.0 PHY IP 端口图	8
图 5-1 IP Core Generator 选项	11
图 5-2 SerDes IP 核	12
图 5-3 SerDes 配置界面	13
图 5-4 PHY Configuration 选项页	13
图 5-5 USB 3.0 PHY 生成	15

表目录

表 1-1 术语、缩略语	1
表 2-1 Gowin USB 3.0 PHY IP 概述	3
表 2-2 资源占用	4
表 3-1 电源状态	6
表 4-1 信号定义	8
表 4-2 RxStatus 定义	9
表 4-3 PowerDown 定义	10

1 关于本手册

1.1 手册内容

Gowin USB 3.0 PHY IP 用户指南主要内容包括功能简介、信号定义、功能描述、界面配置，用于帮助用户快速了解 Gowin USB 3.0 PHY IP 的产品特性、特点及使用方法。本手册中的软件界面截图参考的是 1.9.11 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档。

- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1104, GW5AST 系列 FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
CDR	Clock and Data Recovery	时钟数据恢复
IP	Intellectual Property	知识产权
LFPS	Low Frequency Periodic Signaling	低频周期信号
PIPE	Physical Interface for PCI Express	PCIE 物理接口
USB	Universal Serial Bus	通用串行总线

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

2 功能简介

2.1 概述

通用串行总线（Universal Serial Bus），通常称为 USB，是一种外部总线，用于规范电脑和外部设备的连接与通讯。Gowin USB 3.0 PHY IP 是一个基于 USB 3.0 协议的 USB 3.0 底层收发器，支持 5Gbps 的数据接收与发送。

表 2-1 Gowin USB 3.0 PHY IP 概述

Gowin USB 3.0 PHY IP	
逻辑资源	请参见表2-2
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software（V1.9.9.01及以上）

注！

可登录[高云半导体网站](#)查看芯片支持信息。

2.2 特性

Gowin USB 3.0 PHY IP 特性包括：

- 支持 5Gbps 模式
- 支持数据串并转换
- 支持 8B/10B 编解码

- 支持接收器检测
- 支持 LFPS 检测与发送
- 支持 PIPE 3.0 接口

2.3 资源占用

通过 Verilog 语言实现 Gowin USB 3.0 PHY IP。因使用器件的密度、速度和等级不同，其资源利用情况可能不同。以 GW5AST-138 和 GW5AT-60 为例，Gowin USB 3.0 PHY IP 资源利用情况如表 2-2。

表 2-2 资源占用

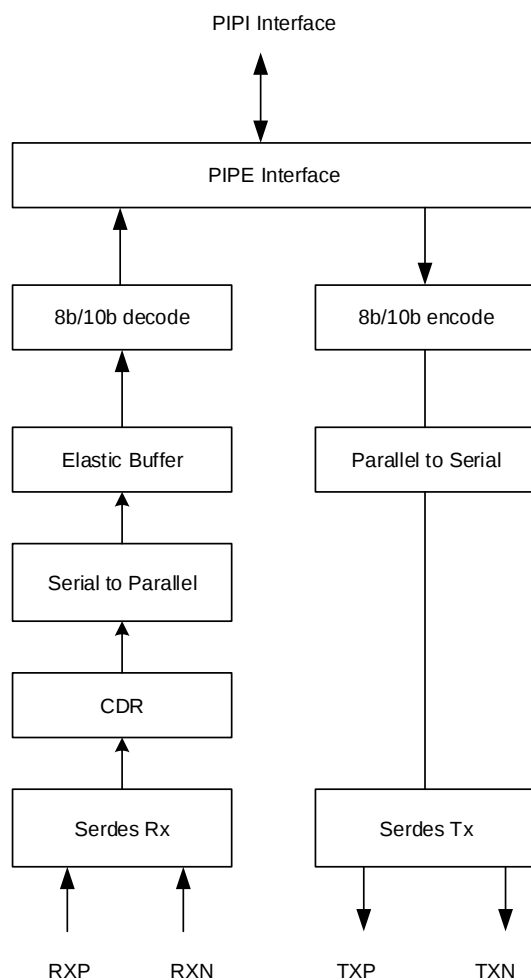
器件系列	速度等级	器件名称	资源利用
GW5AST-138	ES	LUT	2341
		REG	1041
		ALU	20
		BSRAM	1
GW5AT-60	C1/I0	LUT	2139
		REG	1002
		ALU	20
		BSRAM	1

3 功能描述

3.1 USB 3.0 PHY

USB 3.0 PHY 位于 Link Layer 与对端 PHY 之间，负责 Physical layer 的数据收发，下图为 USB 3.0 PHY 功能框图。

图 3-1 USB 3.0 PHY 功能框图



3.2 USB 电源管理

USB 3.0 规范定义了 U0、U1、U2 和 U3 四种电源状态，PIPE 规范定义了 P0、P1、P2 和 P3 四种电源状态。PowerDown 状态映射到 LTSSM 状态关系如表 3-1 所示。对于所有的电源状态转换，链路层控制器不得开始任何操作序列或进一步的电源状态转换，直到 PhyStatus 指示内部状态转换完成。

表 3-1 电源状态

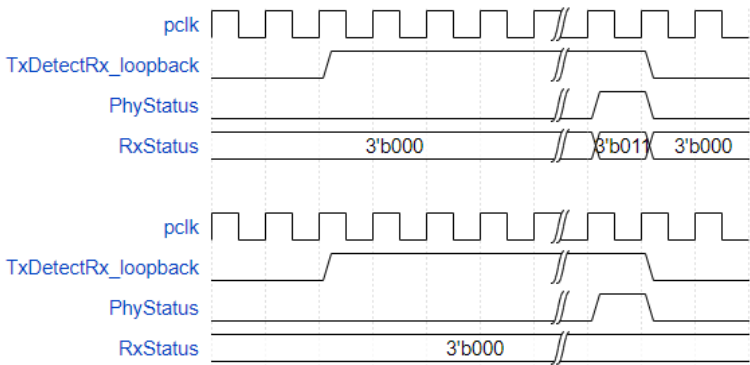
PIPE电源状态	USB电源状态	PCLK	PLL	TX	RX	PhyStatus
P0	U0, 其他状态	正常	正常	正常	正常	一个时钟周期脉冲
P1	U1	正常	正常	空闲, LFPS	空闲	一个时钟周期脉冲
P2	U2, RxDetect, SS.inactive	正常	正常	空闲, LFPS, RxDetect	空闲	一个时钟周期脉冲
P3	U3, SS.disable	无	无	LFPS, RxDetect	空闲	拉低

3.3 USB 接收状态（RxStatus）

3.3.1 接收检测

当 PHY 工作在 P2、P3 状态时，用户可通过拉高 TxDetectRx_loopback 信号，当 PHY 检测完成时，PhyStatus 信号会拉高一个时钟周期，若检测到对端存在 USB 3.0，则 RxStatus 被编码成 3'b011，若对端不存在 USB3.0，则 RxStatus 为 3'b000。

图 3-2 接收检测时序图



3.3.2 时钟公差补偿

PHY 接收器包含一个弹性缓冲器，用于补偿链路两端比特率之间的频率差异。弹性缓冲区必须能够容纳足够的符号，以处理 SKP 有序集之间最坏情况下的频率差异和最坏情况间隔，当 PHY 从数据流中添加 SKP 有序集时，RxStatus 会编码为 3'b001，持续一个时钟周期，当 PHY 从数据流中删除 SKP 有序集时，RxStatus 会编码为 3'b010，持续一个时钟周期。

3.3.3 错误检测

PHY 负责检测几种类型的接收错误。这些错误通过 RxStatus 信号表示。当发生接收错误时，在数据流中最接近错误实际发生位置的点上断言一个时钟周期的错误代码。在 RxStatus 信号上存在四种错误条件。

- 8B/10B 解码错误
- 弹性缓冲区溢出
- 弹性缓冲器读空
- 极性偏差错误

如果在 SKP 有序集期间发生错误，使得 RxStatus 上的错误信令和 SKP 添加/删除的信令发生在同一个 CLK 上，则错误信令具有优先级。

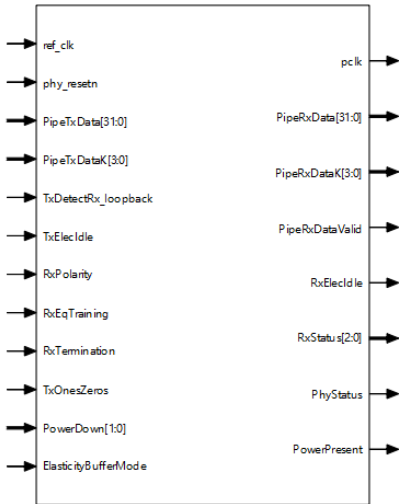
3.3.4 环回模式

当 TxDetectRx_loopback 拉高同时 TxElecidle 拉低时，PHY 开始环回操作。环回模式将停止从 PIPE tx 接口向 SerDes tx 通道传输数据，并开始在 SerDes tx 通道传输 SerDes rx 通道的数据。在环回操作中，接收到的数据仍然被发送到 PIPE rx 接口。当 TxDetectRx_loopback 拉低时将终止环回操作。

4信号定义

Gowin USB 3.0 PHY IP 端口图如下图 4-1 所示。

图 4-1 Gowin USB 3.0 PHY IP 端口图



Gowin USB 3.0 PHY IP 信号定义如下表 4-1 所示。

表 4-1 信号定义

序号	信号名称	方向	位宽	描述
1	phy_resetrn	输入	1	PHY 复位信号，低有效。
2	ref_clk	输入	1	RX 参考时钟，频率需要为 125 MHz。
3	pclk	输出	1	并行接口数据时钟，125MHz。
4	PipeTxData	输入	32	并行 USB 输入总线。32 位表示传输数据的 4 个符号，其中 PipeTxData [7:0]是第一个符号，PipeTxData [15:8]是第二个符号，PipeTxData [23:16]是第三个符号，PipeTxData [31:24]是第四个符号。
5	PipeTxDataK	输入	4	数据/控制传输数据的符号。PipeTxDataK[0]对应的

序号	信号名称	方向	位宽	描述
				PipeTxData [7:0];PipeTxDataK[1]对应的 PipeTxData [15:8]; PipeTxDataK[2]对应的 PipeTxData [23:16]; PipeTxDataK[3]对应的 PipeTxData [31:24]。
6	PipeRxData	输入	32	并行 USB 输出总线。32 位表示传输数据的 4 个符号，其中 PipeRxData [7:0]是第一个符号， PipeRxData [15:8]是第二个符号， PipeRxData [23:16]是第三个符号， PipeRxData [31:24]是第四个符号。
7	PipeRxDataK	输出	4	数据/控制传输数据的符号；PipeRxDataK[0]对应的 PipeRxData [7:0];PipeRxDataK[1]对应的 PipeRxData [15:8]; PipeRxDataK[2]对应的 PipeRxData [23:16];PipeRxDataK[3]对应的 PipeRxData [31:24]。
8	PipeRxDataValid	输出	1	传输数据有效指示，高有效。
9	TxDetectRx_loopback	输入	1	用于指示 PHY 启动接收器检测操作、开始环回，或在 USB 轮询状态的 P0 期间向 LFPS 发送信号。
10	TxElecIdle	输入	1	根据电源状态强制 TX 输出到电空闲，高有效。
11	RxPolarity	输入	1	通知 PHY 对接收到的数据进行极性反转；0 表示无极性反转，1 表示极性反转。
12	RxEqTraining	输入	1	指示接收器绕过正常操作进行均衡训练。在训练执行期间，PipeRxData 接口的状态为未定义。
13	RxTermination	输入	1	用于控制接收器终止，高有效。
14	RxElecIdle	输出	1	接收端检测到电空闲，表示检测到 LFPS。
15	RxStatus	输出	3	对接收数据流的接收端状态和错误码进行编码，详见表 4-2。
16	TxOnesZeros	输入	1	告知 PHY 发送 50-250 个 1 和 50-250 个 0 的交替序列。
17	PowerDown	输入	2	PHY 电源状态，详见表 4-3。
18	PhyStatus	输出	1	指示完成了几个 PHY 功能包括 Reset 之后的稳定 PCLK，电源管理状态转换，速率变化和接收器检测。
19	PowerPresent	输出	1	指示 VBUS 存在

表 4-2 RxStatus 定义

RxStatus [2]	RxStatus [1]	RxStatus [0]	描述
0	0	0	接收数据正常
0	0	1	添加一个 SKP 有序集
0	1	0	删除一个 SKP 有序集
0	1	1	检测到接收器

RxStatus [2]	RxStatus [1]	RxStatus [0]	描述
1	0	0	8B/10B 解码错误
1	0	1	弹性缓冲区溢出
1	1	0	弹性缓冲区空
1	1	1	接收极性错误

表 4-3 PowerDown 定义

PowerDown [1]	PowerDown [0]	描述
0	0	P0, 正常运行
0	1	P1, 短恢复时间延迟, 省电状态。
1	0	P2, 更长的恢复时间延迟, 更低的功耗状态。
1	1	P3, 最低功耗状态

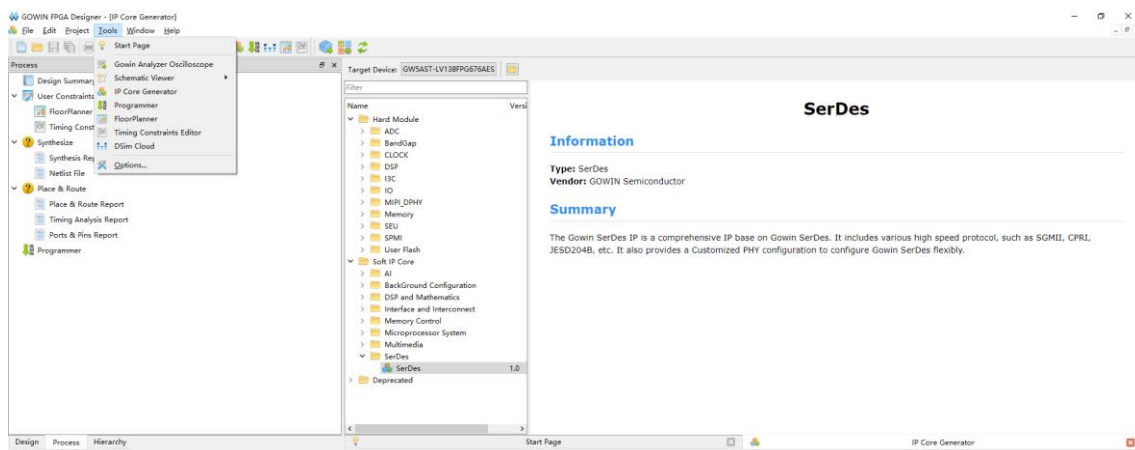
5 界面配置

在高云半导体云源软件界面菜单栏 **Tools** 下，可启动 IP Core Generator 工具，完成调用并配置 USB 3.0 PHY。

1. 打开 IP Core Generator。

建立工程后，点击左上角“Tools”选项卡，下拉单击“IP Core Generator”选项，就可打开 IP 核产生工具，如图 5-1 所示。

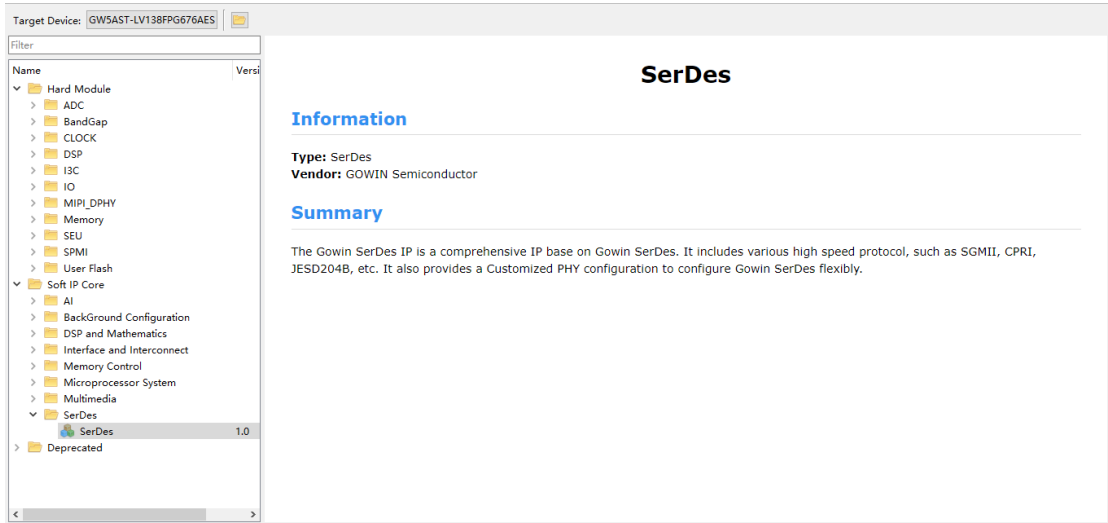
图 5-1 IP Core Generator 选项



2. 打开 SerDes IP 核。

在 IP Core Generator 中选择“SerDes”，打开 SerDes IP 配置界面，如图 5-2 所示：

图 5-2 SerDes IP 核



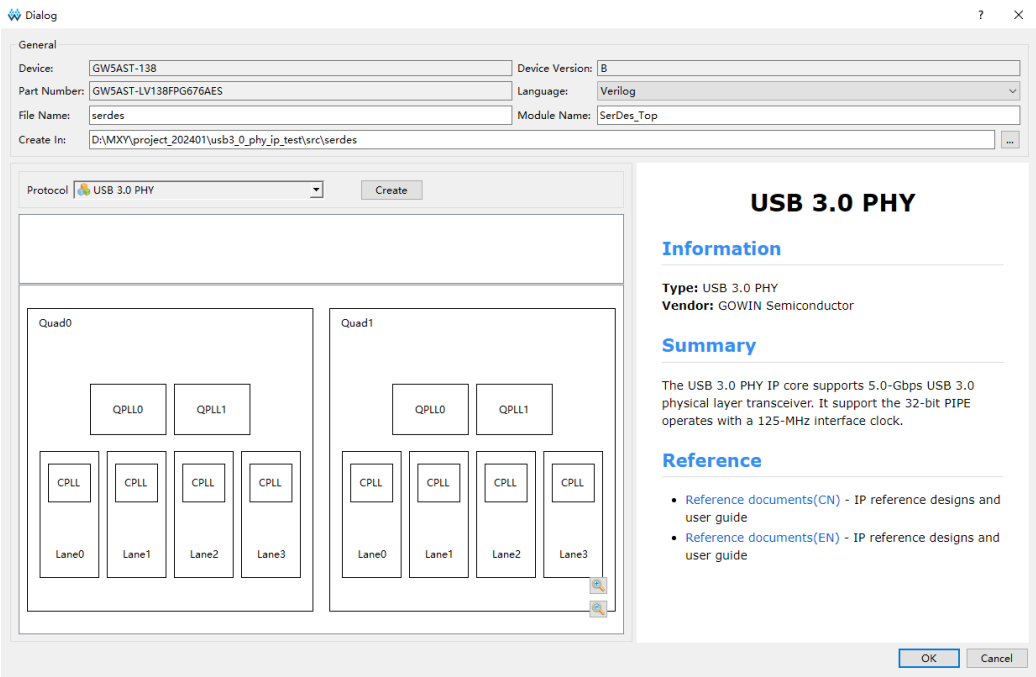
3. SerDes IP 核配置界面。

在 SerDes IP 界面中首先配置 “General” 选项组：

- Device、Device Version、Part Number 选项：芯片型号设置，由当前工程选择的芯片型号决定，用户无法设置；
- Language 选项：支持 Verilog 和 VHDL 两种选择，根据自身需要选择对应的语言类型，默认选择 Verilog；
- File Name、Module Name、Create In 选项：SerDes 的文件名、模块名和文件生成路径设置。

根据自身需要选择协议，其中 “Protocol” 选项可以选择需要的协议，点击右侧 “Create” 按钮可打开协议的配置界面；在 “Protocol” 选项下方显示当前 SerDes IP 已经支持的协议和对应的 Quad、PLL、Lane 使用情况，右侧显示当前 Protocol 选项选择协议的相关信息，包含 “Information”、“Summary” 和 “Reference” 三部分信息。

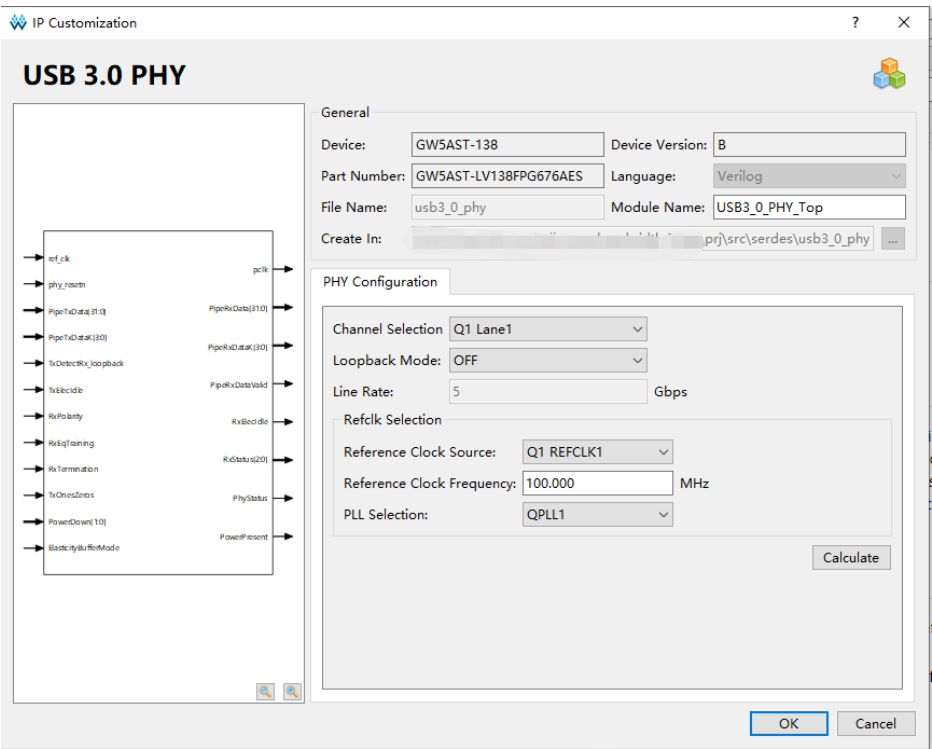
图 5-3 SerDes 配置界面



4. 打开 USB 3.0 PHY IP 界面配置。

在 Serdes IP 配置界面的“Protocol”选项中选择“USB 3.0 PHY”，点击右侧“Create”按钮打开 USB 3.0 PHY IP 配置界面，如图 5-4 所示。

图 5-4 PHY Configuration 选项页



配置界面左侧是 USB 3.0 PHY IP 的接口示意图，右侧是 USB 3.0 PHY IP 参数配置选项，其中包含 PHY Configuration 选项页。

- Channel Selection 选项：在下拉框内选择需要的通道，包含 Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2 和 Q1 Lane3 这 8 种通道，若某一通道已被使用，则不会显示；
- Loopback Mode 选项：环回模式，可选择 OFF、LB_NES、LB_FES 和 LB_ENC 这 4 种模式；
- Line Rate 选项：通道速率默认 5Gbps，无法配置；
- Reference Clock Source 选项：参考时钟源，可选择 Quad0 的 REFCLK0 和 REFCLK1，也可以选择 Quad1 的 REFCLK0 和 REFCLK1，用户根据实际情况进行选择；
- Reference Clock Frequency 选项：参考时钟频率，若选择参考时钟源已被使用，则此处显示被使用时的频率值；
- PLL Selection 选项：PLL 源，可选 QPLL0、QPLL1 和 CPLL。

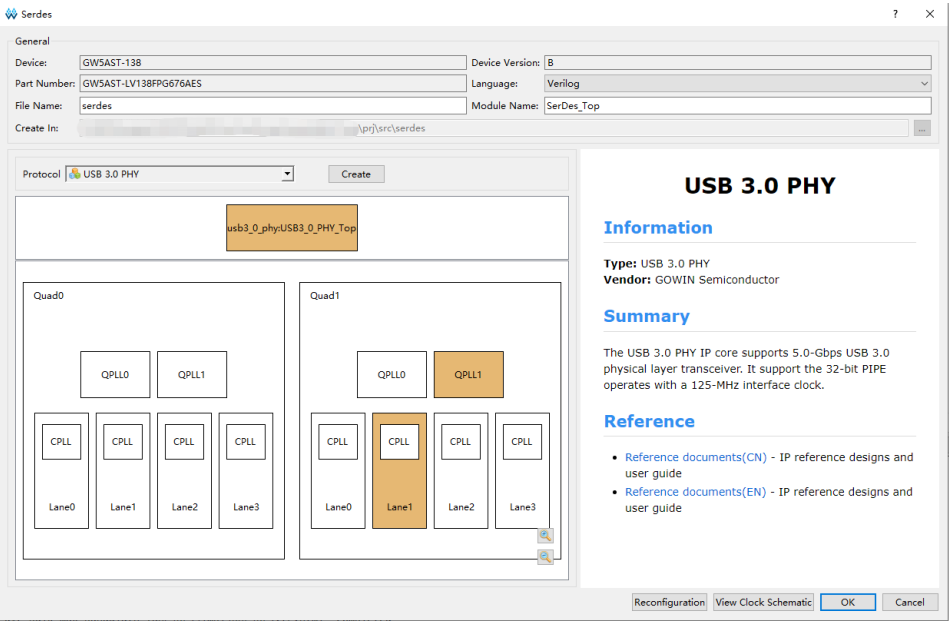
需注意线速率和参考时钟之间有限制关系，务必要确定该参考时钟能够生成上述线速率，也可通过 “Calculate” 按钮进行检测。

5. 生成 IP。

完成 USB 3.0 PHY IP 界面配置后，点击界面右下角的 “OK” 按钮，可生成 USB 3.0 PHY IP 相关文件，并返回到 SerDes IP 配置界面，此时 SerDes IP 配置界面中显示当前已经生成的 USB 3.0 PHY IP 及对应的 Quad、PLL 和 Lane 使用情况，如图 5-5 所示。

点击界面右下角的 “OK” 按钮，可生成 SerDes IP 相关文件，完成整个 USB 3.0 PHY IP 的生成过程。

图 5-5 USB 3.0 PHY 生成



6参考设计

详细信息请参见高云半导体官网 [Gowin USB3.0 PHY RefDesign](#) 参考设计。

