



Gowin RoraLink 8B10B IP 用户指南

IPUG1190-1.2,2025-03-07

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2024/06/28	1.0	初始版本。
2024/10/25	1.1	更新配置选项“Reference Clock Source”描述。
2025/03/07	1.2	新增配置选项“Channel Bonding”和“RX Clock Correction”。

目录

目录	i
图目录.....	iii
表目录.....	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 功能简介	3
2.1 概述	3
2.2 主要特性	3
2.3 资源利用	4
3 功能描述	5
3.1 系统框图	5
3.2 工作频率	5
3.3 工作原理	6
3.4 用户接口	7
3.5 端口列表	7
3.6 用户接口时序	12
3.6.1 用户数据发送接口时序图	12
3.6.2 用户数据接收接口时序图	13
3.6.3 NFC 流量控制接口时序图	14
3.6.4 UFC 流量控制接口时序图	15
3.6.5 CRC 接口时序图	16
4 界面配置	18
5 参考设计	26
5.1 应用	26
5.2 Gowin RoraLink 8B10B IP 参考设计工程	27

5.3 参考设计板测	28
6 文件交付	31
6.1 文档.....	31
6.2 设计源代码（加密）	31
6.3 参考设计	31

图目录

图 3-1 系统框图	5
图 3-2 结构框图	6
图 3-3 Gowin RoraLink 8B10B IP 端口图.....	8
图 3-4 帧数据发送方向接口时序图	13
图 3-5 流数据发送方向接口时序图	13
图 3-6 帧数据接收方向接口时序图	13
图 3-7 流数据接收方向接口时序图	14
图 3-8 NFC 流量控制发送接口时序图	15
图 3-9 NFC 流量控制接收接口时序图	15
图 3-10 UFC 流量控制发送方向接口时序图	16
图 3-11 UFC 流量控制接收方向接口时序图	16
图 3-12 CRC 接口时序图.....	17
图 4-1 SerDes IP 配置界面.....	18
图 4-2 Gowin RoraLink 8B10B IP 配置界面	19
图 4-3 IP 协议配置界面	20
图 4-4 SerDes 配置界面	21
图 4-5 AFE 配置界面	22
图 5-1 单条 Lane 单工数据传输.....	26
图 5-2 多条 Lane 单工数据传输.....	26
图 5-3 单条 Lane 全双工数据传输	27
图 5-4 多条 Lane 全双工数据传输	27
图 5-5 参考设计实例基本结构图.....	28
图 5-6 串口工具显示	30

表目录

表 1-1 术语、缩略语 1

表 2-1 Gowin RoraLink 8B10B IP 概述 3

表 2-2 Gowin RoraLink 8B10B IP 占用资源 4

表 3-1 Gowin RoraLink 8B10B IP 端口列表 8

表 3-2 NFC 流量控制数据含义 14

表 3-3 UFC 流量控制数据含义 15

表 4-1 Gowin RoraLink 8B10B IP 配置界面参数 22

表 5-1 参考设计寄存器列表 29

表 6-1 文档列表 31

表 6-2 Gowin RoraLink 8B10B IP 设计源代码列表 31

表 6-3 Gowin RoraLink 8B10B IP RefDesign 文件夹内容列表 31

1 关于本手册

1.1 手册内容

Gowin RoraLink 8B10B IP 用户指南主要包括功能简介、功能描述、界面配置和参考设计，旨在帮助用户快速了解 Gowin RoraLink 8B10B IP 的特性及使用方法。本手册中的软件界面截图参考的是 1.9.11.01 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [SUG100, Gowin 云源软件用户指南](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1239, GW5AST 系列 FPGA 产品数据手册](#)

1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
CB	Channel Bonding	信道绑定
CC	Clock Compensation	时钟补偿
CRC	Cyclic Redundancy Code	循环冗余编码
ECP	End of Channel PDU	通道数据结尾位置
FPGA	Field Programmable Gate Array	现场可编程门阵列
IP	Intellectual Property	知识产权
NFC	Native Flow Control	本机流量控制
PCS	Physical Coding Sublayer	物理编码子层
PDU	Protocol Data Unit	协议数据单元
PMA	Physical Medium Attachment	物理介质子层

术语、缩略语	全称	含义
SCP	Start of Channel PDU	通道数据起始位置
UFC	User Flow Control	用户流量控制

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 功能简介

2.1 概述

Gowin RoraLink 8B10B IP 为用户提供可扩展、轻量级的传输解决方案，使用 8B/10B 编解码方式，提供便于用户使用的数据接口和流量控制接口。

表 2-1 Gowin RoraLink 8B10B IP 概述

Gowin RoraLink 8B10B IP	
逻辑资源	参见表 2-2
交付文件	
设计文件	Verilog(encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software（V1.9.10 及以上）

注！
可登录[高云半导体网站](#)查看芯片支持信息。

2.2 主要特性

- 支持 1~8 路
- 支持单工或全双工
- 支持 8B/10B 编解码
- 支持接收通道绑定对齐和时钟调整
- 支持串行数据加扰和解扰
- 支持大端或小端
- 支持 CRC32 或 CRC16
- 提供便于用户使用的数据接口和流量控制接口

2.3 资源利用

通过 Verilog 语言实现 Gowin RoraLink 8B10B IP。因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。以高云 GW5AT 系列 FPGA 为例，Gowin RoraLink 8B10B IP 资源利用情况如表 2-2 所示。

表 2-2 Gowin RoraLink 8B10B IP 占用资源

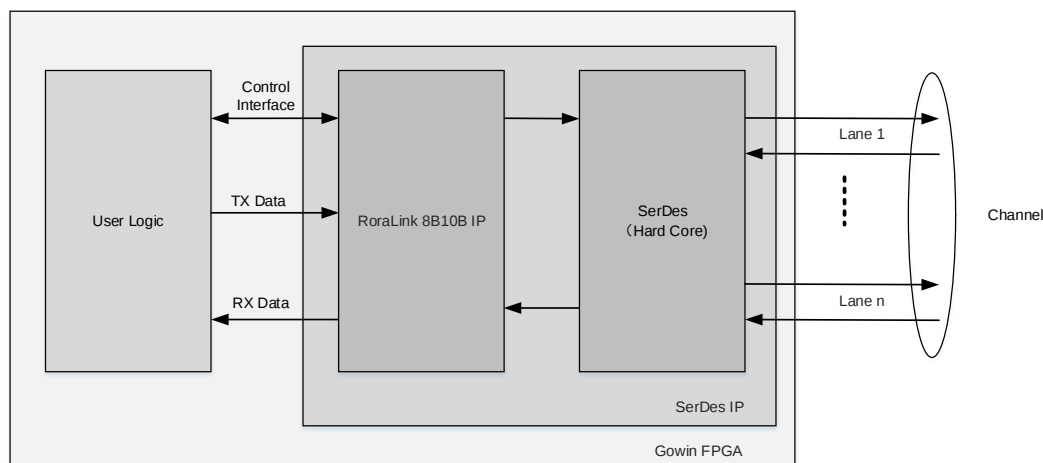
Lane Width	Dataflow Mode	Data Width Per Lane	Interface	Resource Utilization		
				REG	LUT	BSRAM
1	Duplex	2	Framing	1033	527	2
			Streaming	923	478	2
		4	Framing	1472	849	2
			Streaming	1134	645	2
	RX-only Simplex	2	Framing	705	354	2
			Streaming	662	341	2
		4	Framing	1089	652	2
			Streaming	856	491	2
	TX-only Simplex	2	Framing	356	132	0
			Streaming	289	100	0
		4	Framing	408	150	0
			Streaming	301	113	0
2	Duplex	2	Framing	1805	1010	4
			Streaming	1471	809	4
		4	Framing	2667	1792	4
			Streaming	1956	1166	4
	RX-only Simplex	2	Framing	1346	763	4
			Streaming	1115	604	4
		4	Framing	1979	1479	4
			Streaming	1530	924	4
	TX-only Simplex	2	Framing	457	183	0
			Streaming	354	145	0
		4	Framing	681	240	0
			Streaming	415	175	0

3 功能描述

3.1 系统框图

Gowin RoraLink 8B10B IP 的系统框图如图 3-1 所示。IP 包含 SerDes 硬核部分和 IP 软核部分，SerDes 硬核实现 8B10B 编解码、接收通道绑定对齐等功能，IP 软核实现加解扰、链路初始化和数据传输。SerDes 模块传输 8B/10B 编码后的数据，用户可使用 1~8 条 Lane 与对端设备连接，使用多条 Lane 传输 1 个信道（Channel）的数据。

图 3-1 系统框图



3.2 工作频率

Gowin RoraLink 8B10B IP 的工作频率与 SerDes 线速率和 GUI 选项 Data Width Per Lane 有关。

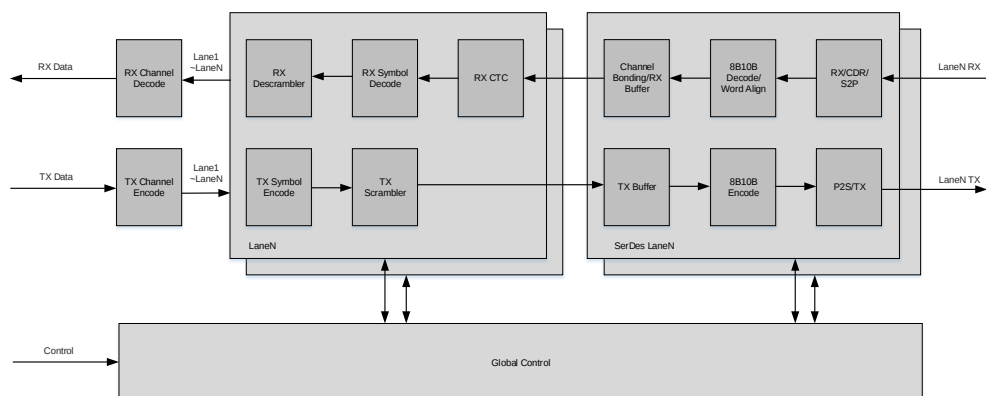
- GUI 选项 Data Width Per Lane 选择 “2” Bytes，则工作时钟频率 $\text{clock} = \text{line rate} / 20 \text{ bits}$ 。例如单条 Lane 的线速率为 3.125Gbps，则工作时钟频率 $\text{clock} = 3.125\text{Gbps} / 20 \text{ bits} = 156.25\text{MHz}$ 。
- GUI 选项 Data Width Per Lane 选择 “4” Bytes，则工作时钟频率 $\text{clock} = \text{line rate} / 40 \text{ bits}$ 。例如单条 Lane 的线速率为 3.125Gbps，则工作时钟频率 $\text{clock} = 3.125\text{Gbps} / 40 \text{ bits} = 78.125\text{MHz}$ 。

3.3 工作原理

Gowin RoraLink 8B10B IP 的结构框图如图 3-2 所示。各个模块功能介绍如下：

- **Global Control:** 全局控制模块，管理 IP 的 SerDes 通道、IP 初始化、监控链路、复位等。
- **数据发送方向:** 用户输入数据，IP 进行数据处理和流量控制、数据加扰、SerDes 8B10B 编码后将数据发送出去。
 - **TX Channel Encode:** 对发送用户数据、流量控制数据进行处理，包含接口转换、流量控制、大小端转换、添加 CRC 字段等。CRC 计算公式和 GUI 选项 Data Width Per Lane 有关。当 GUI 选项 Data Width Per Lane 选择“2”Bytes 时，CRC16 使用公式为: $G(X) = X^{16} + X^{12} + X^5 + 1$; 当 GUI 选项 Data Width Per Lane 选择“4”Bytes 时，CRC32 使用公式为: $G(X) = X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ 。
 - **TX Symbol Encode:** TX 通道编码 (TX Channel Encode) 输出的数据会被输入到多个通道 (Lane) 中，并且在这些数据中添加控制符号。
 - **TX Scrambler:** 发送加扰模块，使用公式: $G(X) = X^{16} + X^5 + X^4 + X^3 + 1$ 对数据进行加扰。只对数据进行加扰。
- **数据接收方向:** IP 接收 SerDes 数据，IP 进行变速箱 (Gearbox) 处理、接收 Block 同步、接收解扰、接收时钟补偿 (Clock Compensation)、接收通道绑定对齐 (Channel Bonding)、接收数据处理后发送给用户。
 - **RX Descrambler:** 接收解扰模块，仅对数据进行解扰。
 - **RX CTC:** 接收时钟调整模块。
 - **RX Symbol Decode:** 接收并处理控制符号。
 - **RX Channel Decode:** 接收数据进行处理后发送给用户，数据处理包含去除 CRC 字段、大小端转换、接口转换等。

图 3-2 结构框图



3.4 用户接口

Gowin RoraLink 8B10B 提供的用户侧接口描述如下：

- 时钟接口：用户输入 IP Core 的工作时钟
- 复位接口：用户对 IP Core 进行复位操作，同时 IP 输出对用户侧模块的复位信号
- 发送数据接口：用户发送数据接口
- 接收数据接口：用户接收数据接口
- 发送方向流量控制（Native Flow Control, NFC）接口：用户进行 NFC 模式流量控制的发送接口，用于接收端控制数据传输速率
- 接收方向 NFC 接口：用户进行 NFC 模式流量控制的接收接口
- 发送方向流量控制（User Flow Control, UFC）接口：用户进行 UFC 的发送接口，用于传输高优先级的控制消息
- 接收方向 UFC 接口：用户进行 UFC 的接收接口
- 状态接口：包含 IP 内部错误状态、lane 建链状态、channel 建链状态和 CRC 校验状态
- SerDes 相关接口：SerDes 复位及 SerDes 状态接口

3.5 端口列表

Gowin RoraLink 8B10B IP 的详细端口图如图 3-3 所示。

图 3-3 Gowin RoraLink 8B10B IP 端口图

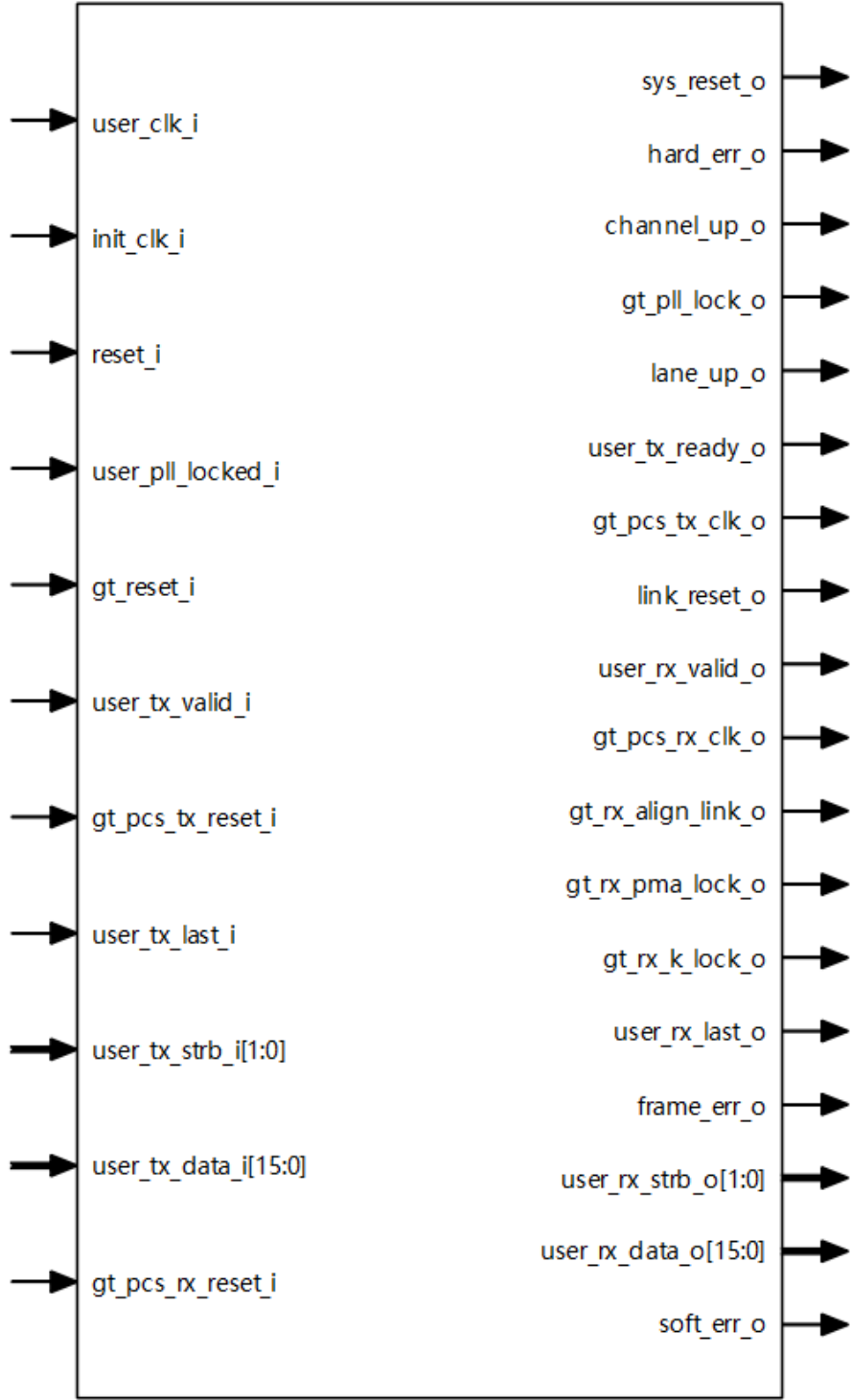


表 3-1 Gowin RoraLink 8B10B IP 端口列表

端口名称	I/O	位宽	描述
时钟与复位			
reset_i	input	1	输入复位信号，高电平有效。
user_clk_i	input	1	输入工作时钟，时钟频率详见 3.2 工作频率描述。
init_clk_i	input	1	输入本地晶振 50MHz 时钟

端口名称	I/O	位宽	描述
user_pll_locked_i	input	1	输入工作时钟对应 PLL 锁定状态，高电平有效。
link_reset_o ^[3]	output	1	输出接收链路复位信号，高电平有效。
sys_reset_o	output	1	输出系统复位信号，高电平有效。
用户数据发送接口			
user_tx_data_i ^[2]	input	$[(8n^{[1]}-1):0]$ or $[0:(8n^{[1]}-1)]$	发送用户数据
user_tx_valid_i ^[2]	input	1	发送用户数据有效指示，高电平有效。
user_tx_ready_o ^[2]	output	1	发送用户数据的握手信号，当 user_tx_ready_o 为高电平且 user_tx_valid_i 为高电平时，总线上的数据有效。
user_tx_strb_i ^[2]	input	$[(n^{[1]}-1):0]$ or $[0:(n^{[1]}-1)]$	发送用户数据帧尾字节有效使能。例如 user_tx_strb_i 为 8'h1f，则表示对应的 user_tx_data_i 的[39:0]数据有效，user_tx_data_i 的[63:40]数据无效。该信号仅在 user_tx_valid_i 为高电平、user_tx_ready_o 为高电平且 user_tx_last_i 为高电平时有效。 注！ 仅在 GUI 选项 Interface 为“Framing”时端口有效。
user_tx_last_i ^[2]	input	1	发送用户数据帧尾有效指示，表示每组数据帧的结尾，当 user_tx_ready_o 为高电平、user_tx_valid_i 为高电平且 user_tx_last_i 为高电平时，总线上的数据为每帧的最后一个数据。 注！ 仅在 GUI 选项 Interface 为“Framing”时端口有效。
用户数据接收接口			
user_rx_data_o ^[3]	output	$[(8n^{[1]}-1):0]$ or $[0:(8n^{[1]}-1)]$	接收用户数据
user_rx_valid_o ^[3]	output	1	接收用户数据有效指示，该信号为高电平表示总线上的数据有效。
user_rx_strb_o ^[3]	output	$[(n^{[1]}-1):0]$ or $[0:(n^{[1]}-1)]$	接收用户数据帧尾字节有效使能。例如 user_rx_strb_o 为 8'h1f，则表示对应的 user_rx_data_o 的[39:0]数据有效，user_rx_data_o 的[63:40]数据无效。该信号仅在 user_rx_valid_o 为高电平且 user_rx_last_o 为高电平时有效。 注！ 仅在 GUI 选项 Interface 为“Framing”时端口有效。
user_rx_last_o ^[3]	output	1	接收用户数据帧尾有效指示，表示每组数据帧的结尾，当 user_rx_valid_o 为高电平且 user_rx_last_o 为高电平时，总线上的数据为每帧的最后一个数据。 注！ 仅在 GUI 选项 Interface 为“Framing”时端口有效。
Native Flow Control 流量控制发送接口			
user_tx_nfc_req_i ^{[2][4]}	input	1	发送方向 NFC 模式流量控制请求信号，高电平有效。
user_tx_nfc_nb_i ^{[2][4]}	input	[3:0] or [0:3]	发送方向 NFC 模式流量控制数据，表示对端在接收

端口名称	I/O	位宽	描述
			到 NFC 消息后需要发送暂停字符的个数。
user_tx_nfc_ack_o ^{[2][4]}	output	1	发送方向 NFC 模式流量控制握手信号，user_tx_nfc_ack_o 为高电平且 user_tx_nfc_req_i 为高电平表示总线上的数据有效。
Native Flow Control 流量控制接收接口			
user_rx_nfc_fc_nb_o ^{[3][4]}	output	[3:0] or [0:3]	接收方向 NFC 模式流量控制数据，表示接收到对端发送的暂停值。
user_rx_nfc_snf_o ^{[3][4]}	output	1	接收方向 NFC 模式流量控制数据有效指示，高电平有效。
User Flow Control 流量控制发送方向接口			
user_ufc_tx_req_i ^{[2][5]}	input	1	发送 UFC 数据请求信号，高电平有效。
user_ufc_tx_ms_i ^{[2][5]}	input	[2:0] or [0:2]	发送 UFC 数据，用于指定 UFC 消息的大小。
user_ufc_tx_ack_o ^{[2][5]}	output	1	发送 UFC 数据握手信号，高电平有效，当 user_ufc_tx_ack_o 为高电平且 user_ufc_tx_req_i 为高电平表示总线上的数据有效。
User Flow Control 流量控制接收方向接口			
user_ufc_rx_data_o ^{[3][5]}	output	[(8n ^[1] -1):0] or [0:(8n ^[1] -1)]	接收 UFC 数据，位宽最大为 128 bits。
user_ufc_rx_strb_o ^{[3][5]}	output	[(n ^[1] -1):0] or [0:(n ^[1] -1)]	接收 UFC 数据帧尾字节有效使能。例如 user_ufc_rx_strb_o 为 8'h1f，则表示对应的 user_ufc_rx_data_o 的[39:0]数据有效，user_ufc_rx_data_o 的[63:40]数据无效。该信号仅在 user_ufc_rx_valid_o 为高电平且 user_ufc_rx_last_o 为高电平时有效。
user_ufc_rx_last_o ^{[3][5]}	output	1	接收用户数据帧尾有效指示，表示每组 UFC 数据帧的结尾，当 user_ufc_rx_valid_o 为高电平且 user_ufc_rx_last_o 为高电平时，总线上的数据为每帧的最后一个数据。
user_ufc_rx_valid_o ^{[3][5]}	output	1	接收 UFC 数据有效指示信号，高电平有效。
CRC 状态接口			
crc_pass_fail_n_o ^[6]	output	1	CRC 校验状态。当 crc_valid_o 为高电平且 crc_pass_fail_n_o 为低电平时表示当前 CRC 校验错误。当 crc_valid_o 为高电平且 crc_pass_fail_n_o 为高电平时表示当前 CRC 校验正确。
crc_valid_o ^[6]	output	1	CRC 校验状态有效指示，高电平有效。
状态接口			
hard_err_o	output	1	Hard error 指示，为高电平表示链路发生过 Hard error，直到 IP 被复位才会重新置 1'b0。
soft_err_o ^[3]	output	1	Soft error 指示，为高电平表示当前接收链路有 Soft error。
frame_err_o ^[3]	output	1	帧错误指示，为高电平表示当前帧结构错误。 注！仅在 GUI 选项 Interface 为“Framing”时端口

端口名称	I/O	位宽	描述
			有效。
channel_up_o	output	1	Channel 建链状态指示，高电平有效，为高电平表示 Channel 建链成功。
lane_up_o	output	$[(m^{[7]}-1):0]$	Lane 建链状态指示，高电平有效，为高电平表示对应 Lane 建链成功。
Sidebands 接口			
rx_aligned_o ^{[3][9]}	output	1	表示接收通道完成 lane 初始化
rx_bonded_o ^{[3][9]}	output	1	表示接收通道完成通道绑定对齐
rx_verify_o ^{[3][9]}	output	1	表示接收通道完成验证
rx_reset_o ^{[3][9]}	output	1	表示接收通道需要发送端复位重新初始化
tx_aligned_i ^{[2][9]}	input	1	一般直接连接对端设备的 rx_aligned_o
tx_bonded_i ^{[2][9]}	input	1	一般直接连接对端设备的 rx_bonded_o
tx_verify_i ^{[2][9]}	input	1	一般直接连接对端设备的 rx_verify_o
tx_reset_i ^{[2][9]}	input	1	一般直接连接对端设备的 rx_reset_o
用户侧控制 SerDes 相关接口			
gt_reset_i	input	1	SerDes 通道复位信号，高电平有效，同时复位 IP 对应的所有 lane。
gt_pll_ok_o	output	1	SerDes PLL 锁定状态，高表示时钟锁定。
gt_pcs_tx_clk_o ^[2]	output	$[(m^{[7]}-1):0]$	SerDes 输出发送方向 PCS 层时钟，每条 Lane 对应 1bit 时钟。
gt_pcs_tx_reset_i ^[2]	input	1	SerDes PCS 层发送方向复位，高有效，同时复位 IP 对应的所有 lane。
gt_pcs_rx_reset_i ^[3]	input	1	SerDes PCS 层接收方向复位，高有效，同时复位 IP 对应的所有 lane。
gt_rx_align_link_o ^[3]	output	$[(m^{[7]}-1):0]$	SerDes 通道对齐状态，高表示链路正常，每条 Lane 对应 1 bit 有效。
gt_rx_pma_lock_o ^[3]	output	$[(m^{[7]}-1):0]$	SerDes 通道接收 PMA 层锁定状态，高表示链路正常，每条 Lane 对应 1 bit 有效。
gt_pcs_rx_clk_o ^[3]	output	$[(m^{[7]}-1):0]$	SerDes 输出接收方向 PCS 层时钟，每条 Lane 对应 1 bit 时钟。
gt_rx_k_lock_o ^[3]	output	$[(m^{[7]}-1):0]$	输出 SerDes 接收 K 码同步指示信号，为高电平表示接收 K 码同步正常，每条 Lane 对应 1 bit 有效。
动态配置接口			
user_drp_clk_o ^[10]	output	1	DRP 接口时钟
user_drp_addr_i ^[10]	input	24	DRP 操作地址，同步于 user_drp_clk_o。
user_drp_wren_i ^[10]	input	1	DRP 写操作使能，同步于 user_drp_clk_o，高电平有效，为高表示当前为 DRP 写操作。
user_drp_wrddata_i ^[10]	input	32	DRP 写数据，同步于 user_drp_clk_o。
user_drp_strb_i ^[10]	input	8	DRP 写操作字节使能信号，同步于 user_drp_clk_o，高电平有效，当写操作时需要置为 8'hff。
user_drp_rden_i ^[10]	input	1	DRP 读操作使能，同步于 user_drp_clk_o，高电平

端口名称	I/O	位宽	描述
			有效，为高表示当前为 DRP 读操作。
user_drp_ready_o ^[10]	output	1	DRP 写操作完成指示，同步于 user_drp_clk_o，高电平有效，为高表示写操作完成
user_drp_rdvld_o ^[10]	output	1	DRP 读操作返回数据有效指示，同步于 user_drp_clk_o，高电平有效，为高表示返回有效读数据。
user_drp_rddata_o ^[10]	output	32	DRP 读数据，同步于 user_drp_clk_o。
user_drp_resp_o ^[10]	output	1	保留未用
SerDes 硬核接口			
SerDes_*	-	-	SerDes_开头的信号为 RoraLink 8B10B IP 与 SerDes 硬核连接信号，用户可不关注，EDA 工具自动完成连线。

注！

- ^[1]表中 n 表示 lane 的数量乘以 GUI 选项 Data Width Per Lane 对应的字节数，例如 lane 数量为 2，GUI 选项 Data Width Per Lane 选择“4” Bytes，则 $n=2*4=8$ 。
- ^[2]当 GUI 选项 Dataflow Mode 为“RX-only Simplex”时，IP 无该端口。
- ^[3]当 GUI 选项 Dataflow Mode 为“TX-only Simplex”时，IP 无该端口。
- ^[4]当 GUI 选项 Flow Control 为“None”、“UFC”时，IP 无该端口。
- ^[5]当 GUI 选项 Flow Control 为“None”、“Immediate NFC”、“Completion NFC”时，IP 无该端口。
- ^[6]当 GUI 选项 CRC 未被勾选时，IP 无该端口。
- ^[7]表中 m 表示 lane 的数量。
- ^[8]总线数据支持大端模式和小端模式。若 GUI 选项勾选 Little Endian Support，则信号定义为[N:0]的小端模式。若 GUI 选项未勾选 Little Endian Support，则信号定义为[0:N]的大端模式。
- ^[9]当 GUI 选项 Bank Channel 为“Sidebands”时，IP 才有该端口。
- ^[10]当 GUI 选项 DRP Ports 未被勾选时，IP 无该端口。

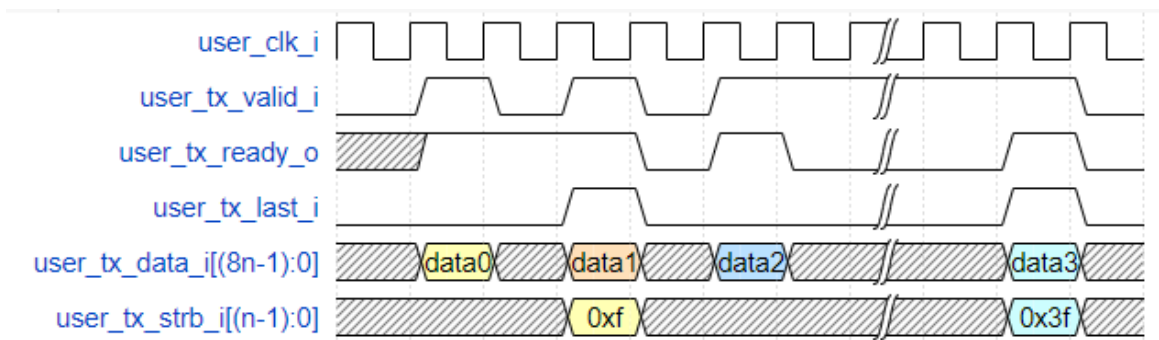
3.6 用户接口时序

3.6.1 用户数据发送接口时序图

Gowin RoraLink 8B10B IP 提供用户数据发送接口，可传输帧数据或流数据。

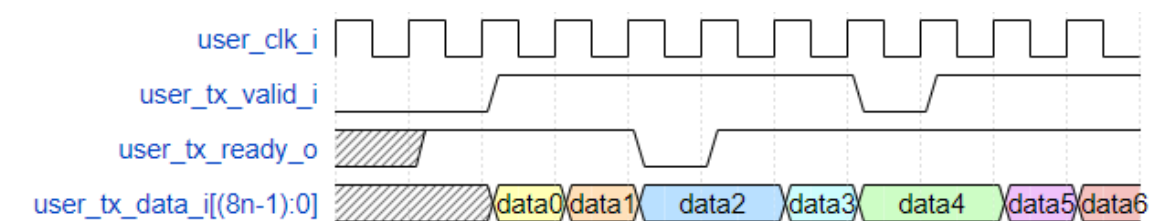
帧数据通过 2 个字节的 SCP（(/K28.2/K27.7/)）字符作为帧起始，通过 2 个字节的 ECP（(/K29.7/K30.7/)）字符作为帧结尾，当无数据传输时 IP 会自动插入帧间隔序列。若传输的数据帧长度不是偶数字节，则 IP 会在帧尾插入填充字符。帧数据发送方向接口时序如图 3-4 所示，user_tx_data_i 用于传输数据块，数据在 user_tx_valid_i 和 user_tx_ready_o 均为高电平时有效，user_tx_last_i 表示帧数据的结尾，user_tx_strb_i 仅在 user_tx_last_i、user_tx_valid_i 和 user_tx_ready_o 均为高电平时有效，user_tx_strb_i 表示帧尾数据的字节使能。IP 内部在帧数据间插入帧起始、帧结尾和帧间隔，如果用户在 GUI 界面勾选了 CRC，IP 内部会在帧尾添加 CRC 字段。

图 3-4 帧数据发送方向接口时序图



流数据传输时没有帧间隔符，所以传输简单且资源利用少。数据发送方向接口时序如图 3-5 所示，`user_tx_data_i` 用于传输数据块，数据在 `user_tx_valid_i` 和 `user_tx_ready_o` 均为高电平时有效。

图 3-5 流数据发送方向接口时序图

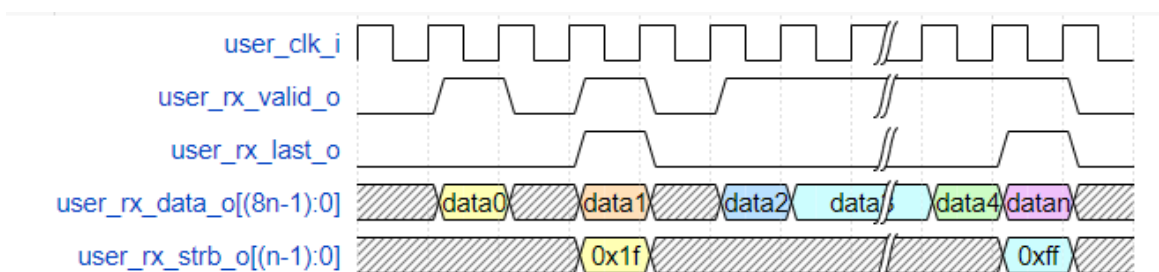


3.6.2 用户数据接收接口时序图

Gowin RoraLink 8B10B IP 提供用户数据接收接口，可传输帧数据或流数据。IP 接收数据后处理数据中的控制字符，并将剩余的数据通过接收接口传输给用户。应用时若接收数据需要进行流量控制，可通过 UFC 或 NFC 接口进行控制。

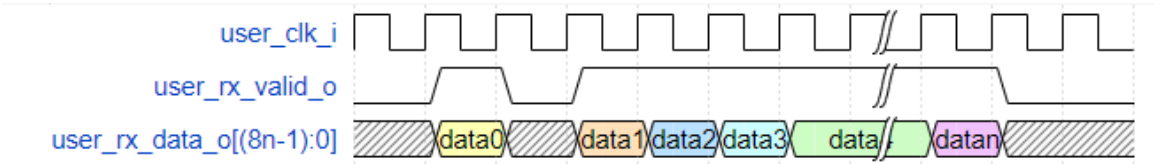
帧数据接收方向接口时序如图 3-6 所示，`user_rx_data_o` 用于传输数据块，数据在 `user_rx_valid_o` 为高电平时有效，`user_rx_last_o` 表示帧数据的结尾，`user_rx_strb_o` 仅在 `user_rx_last_o` 和 `user_rx_valid_o` 均为高电平时有效，`user_rx_strb_o` 表示帧尾数据的字节使能。

图 3-6 帧数据接收方向接口时序图



流数据接收方向接口时序如图 3-7 所示，`user_rx_data_o` 用于传输数据块，数据在 `user_rx_valid_o` 为高电平时有效。

图 3-7 流数据接收方向接口时序图



3.6.3 NFC 流量控制接口时序图

Gowin RoraLink 8B10B IP 提供 NFC（Native Flow Control）模式流量控制接口，用于接收端向发送端发送 NFC 请求消息，用于控制接收端的数据速率，防止 FIFO 溢出。

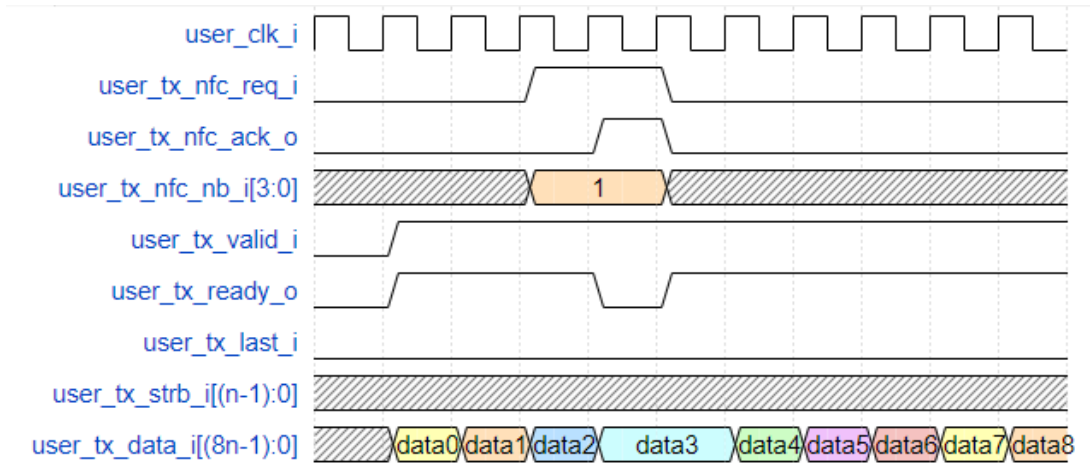
NFC 流量控制数据含义如表 3-2 所示，`user_tx_nfc_nb_i` 的值对应请求对端发送间隔码的个数，其中 XON 表示链路正常发送数据，XOFF 表示链路持续发送间隔码不发送数据。

表 3-2 NFC 流量控制数据含义

<code>user_tx_nfc_nb_i</code>	请求间隔码个数
4'b0000	0（XON）
4'b0001	2
4'b0010	4
4'b0011	8
4'b0100	16
4'b0101	32
4'b0110	64
4'b0111	128
4'b1000	256
4'b1001~4'b1110	保留未用
4'b1111	XOFF

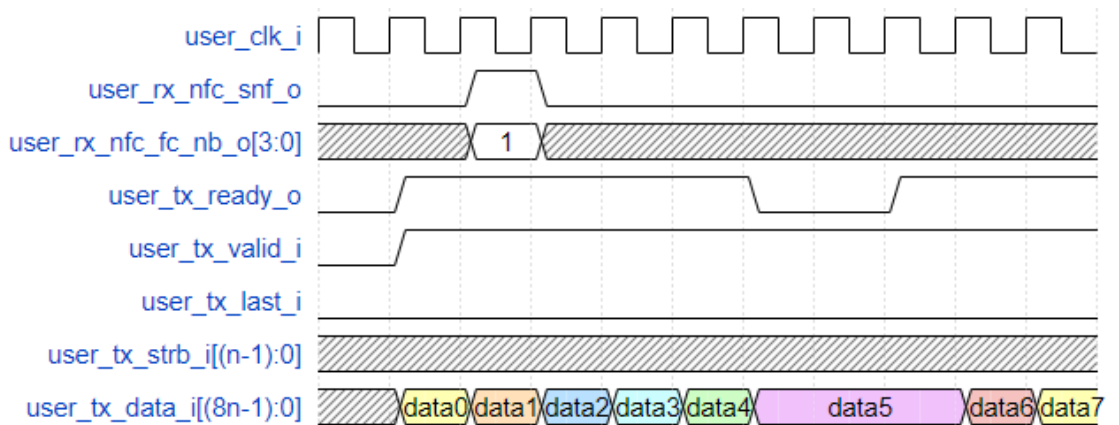
NFC 流量控制发送接口时序如图 3-8 所示，`user_tx_nfc_nb_i` 数据在 `user_tx_nfc_req_i` 和 `user_tx_nfc_ack_o` 同时为高电平时有效，`user_tx_ready_o` 同时会拉低一个时钟周期用于传输 NFC 数据。

图 3-8 NFC 流量控制发送接口时序图



NFC 流量控制接收接口时序如图 3-9 所示，IP 接收到对端发送的 NFC 消息后，会将 **user_tx_ready_o** 拉低对应的时钟周期数，用于发送间隔码。

图 3-9 NFC 流量控制接收接口时序图



3.6.4 UFC 流量控制接口时序图

Gowin RoraLink 8B10B IP 提供 UFC（User Flow Control）模式流量控制接口，UFC 流量控制接口分为发送方向和接收方向。

UFC 流量控制数据含义如表 3-3 所示，**user_ufc_tx_ms_i** 的值对应 UFC 消息大小。

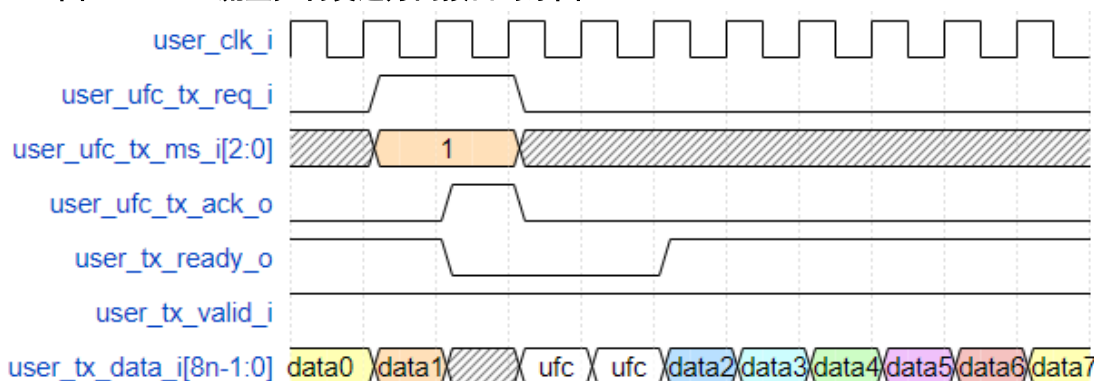
表 3-3 UFC 流量控制数据含义

user_ufc_tx_ms_i	UFC消息大小（Bytes）
3'b000	2
3'b001	4
3'b010	6
3'b011	8
3'b100	10
3'b101	12
3'b110	14

user_ufc_tx_ms_i	UFC消息大小 (Bytes)
3'b0111	16

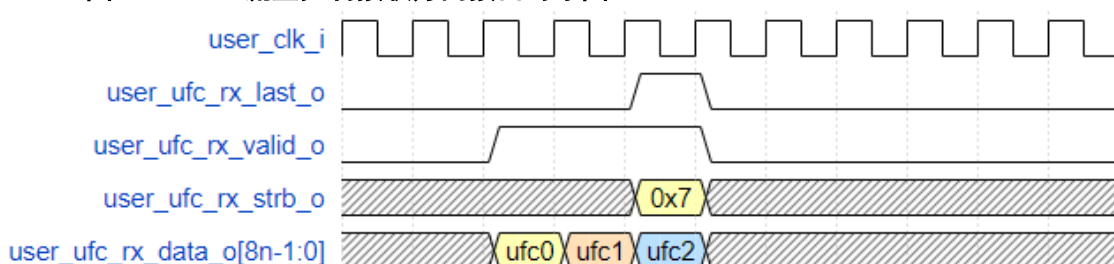
UFC 流量控制发送方向接口时序如图 3-10 所示。user_ufc_tx_req_i 信号置高电平发起 UFC 流量控制发送请求，user_ufc_tx_ms_i 表示 UFC 消息大小，user_ufc_tx_ms_i 在 user_ufc_tx_req_i 为高电平和 user_ufc_tx_ack_o 为高电平时有效。user_tx_data_i 在 user_ufc_tx_ack_o 为高电平的下一个时钟周期开始传输 UFC 数据，UFC 数据必须连续不中断，UFC 数据长度与 user_ufc_tx_ms_i 对应的 UFC 消息大小有关。

图 3-10 UFC 流量控制发送方向接口时序图



UFC 流量控制接收方向接口时序如图 3-11 所示。user_ufc_rx_valid_o 为高电平时 user_ufc_rx_data_o 数据有效，user_ufc_rx_strb_o 对应 user_ufc_rx_data_o 数据的字节有效使能，user_ufc_rx_last_o 为高电平表示 UFC 数据帧的结尾。

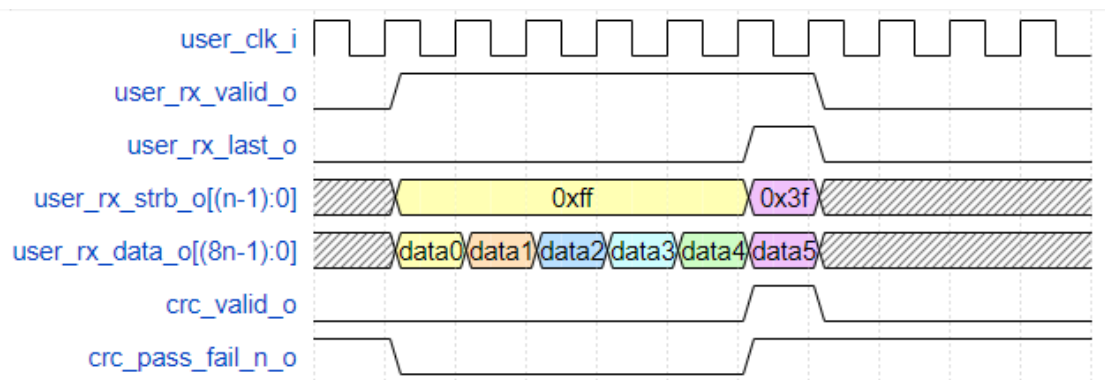
图 3-11 UFC 流量控制接收方向接口时序图



3.6.5 CRC 接口时序图

Gowin RoraLink 8B10B IP 提供 CRC 接口，指示接收 CRC 校验结果。如图 3-12 所示，为 CRC 校验结果时序图，在数据帧帧尾 crc_valid_o 置高一个时钟周期，crc_valid_o 为高电平时 crc_pass_fail_n_o 信号有效，crc_pass_fail_n_o 为高电平表示 CRC 校验正确，crc_pass_fail_n_o 为低电平表示 CRC 校验错误。

图 3-12 CRC 接口时序图



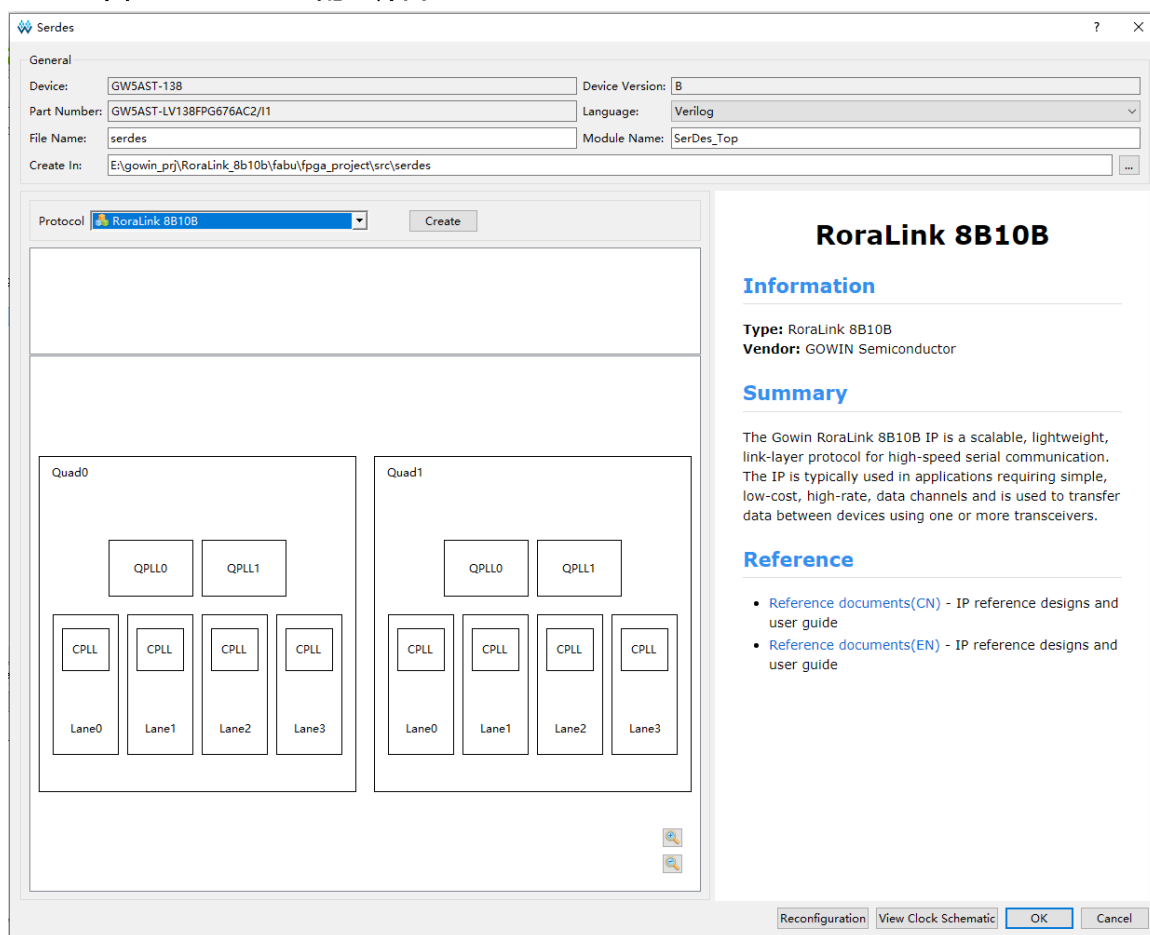
4 界面配置

用户可以使用 IDE 中的 IP 内核生成器工具调用和配置 Gowin RoraLink 8B10B IP。

1. 打开 SerDes IP

用户建立工程后,单击左上角 Tools 选项卡,下拉单元 IP Core Generator 选项,打开 Gowin IP Core Generator。然后找到 Soft IP Core 目录下的 SerDes, 双击打开 SerDes IP。

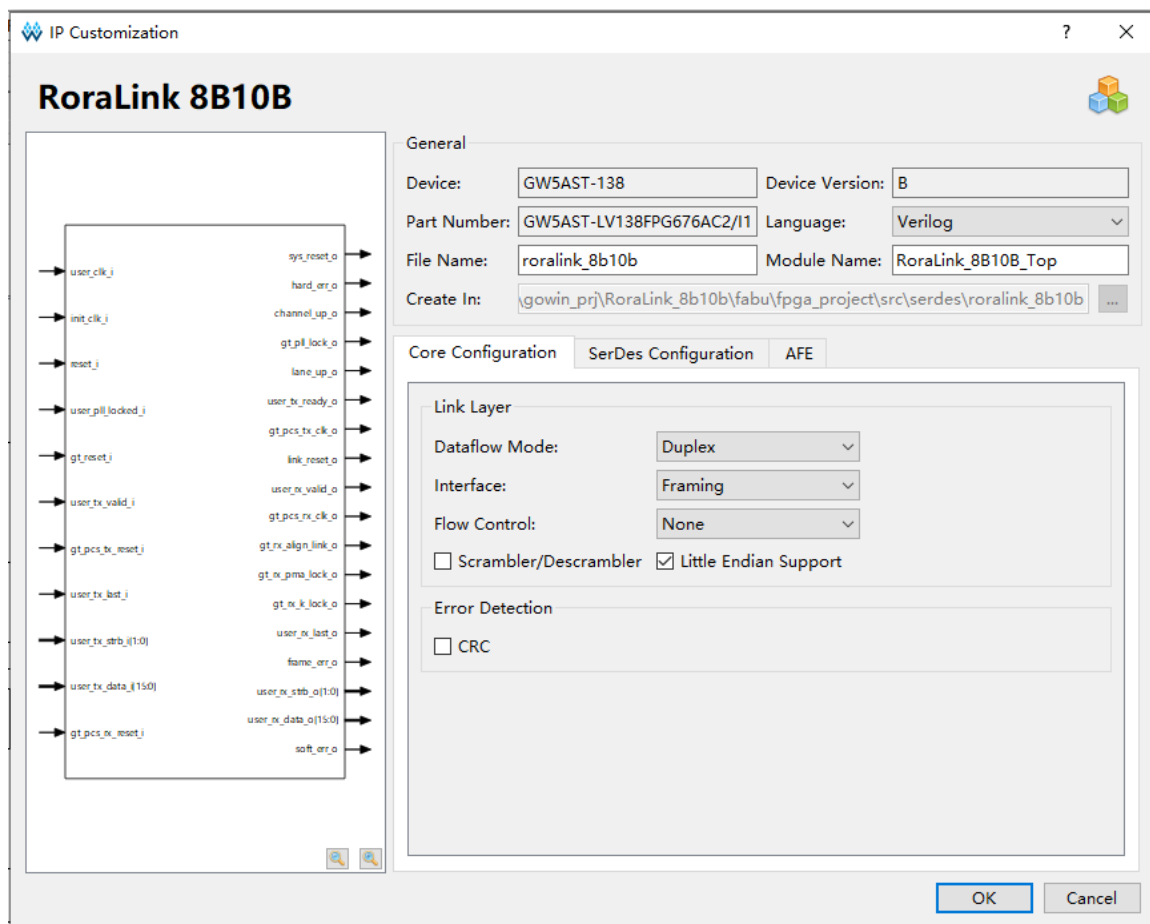
图 4-1 SerDes IP 配置界面



2. 打开 RoraLink 8B10B IP

用户打开 SerDes IP 后,在 Protocol 下拉列表中找到 RoraLink 8B10B,点击“Create”即可打开 RoraLink 8B10B IP 协议配置界面。

图 4-2 Gowin RoraLink 8B10B IP 配置界面



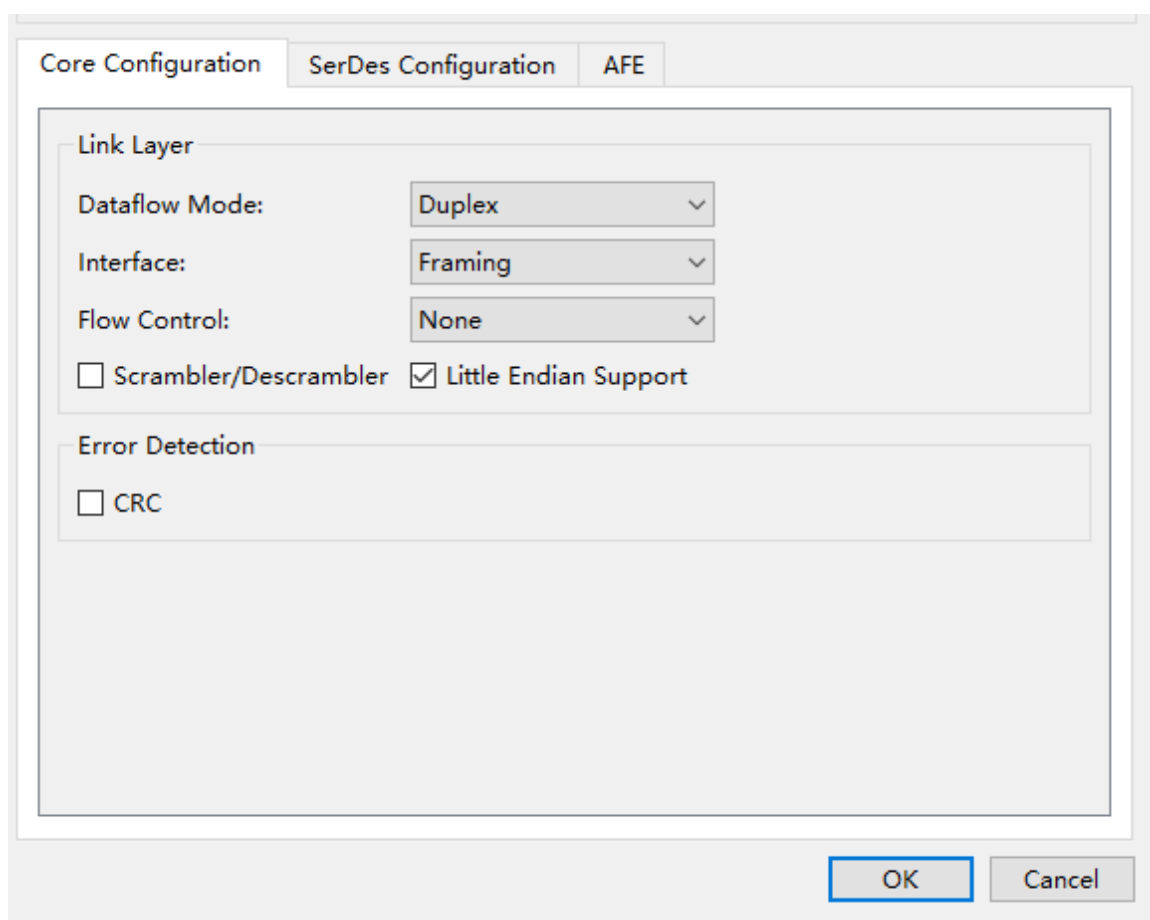
3. 配置 RoraLink 8B10B IP 协议

RoraLink 8B10B IP 配置界面如图 4-3、图 4-4 和图 4-5 所示,分为“Core Configuration”、“SerDes Configuration”和“AFE”。用户在“Core Configuration”选项页选择链路层相关的参数,在“SerDes Configuration”选项页选择 SerDes 相关的参数,在“AFE”选项页选择 SerDes 模拟参数。各个参数的含义如表 4-1 介绍。选择完 RoraLink 8B10B IP 参数后,点击“OK”按钮,即可生成 RoraLink 8B10B IP 协议相关的配置。

4. 完成 SerDes IP 配置

用户在 SerDes IP 界面,完成所有协议的配置后,点击“OK”按钮,完成 SerDes IP 的生成。SerDes IP 顶层文件中,RoraLink_8B10B_Top_前缀的信号即为 RoraLink 8B10B IP 的相关信号。

图 4-3 IP 协议配置界面



The image shows a software configuration window titled "IP 协议配置界面". It has three tabs: "Core Configuration", "SerDes Configuration", and "AFE". The "Core Configuration" tab is active. Inside this tab, there are two main sections: "Link Layer" and "Error Detection".

Link Layer

- Dataflow Mode: Duplex (dropdown menu)
- Interface: Framing (dropdown menu)
- Flow Control: None (dropdown menu)
- ☐ Scrambler/Descrambler
- ☒ Little Endian Support

Error Detection

- ☐ CRC

At the bottom right of the window are two buttons: "OK" and "Cancel".

图 4-4 SerDes 配置界面

Core Configuration

SerDes Configuration

AFE

Data Width Per Lane: 4 (Bytes)

Number of Lanes: 1

Channel Selection

Channel0 Selection: Q1 Lane1

Channel4 Selection: Q1 Lane0

Channel1 Selection: Q0 Lane1

Channel5 Selection: Q1 Lane1

Channel2 Selection: Q0 Lane2

Channel6 Selection: Q1 Lane2

Channel3 Selection: Q0 Lane3

Channel7 Selection: Q1 Lane3

Loopback Mode: OFF

Line Rate: 3.7500 [0.85-10.3125](Gbps)

Refclk Selection

Reference Clock Source: Q0 REFCLK1

Reference Clock Frequency: 125.000 MHz

PLL Selection: CPLL

☐ DRP Ports

Channel Bonding

Master Channel Selection: Q1 Lane1

Read Start Depth: 8

Clock Source: lane

RX Clock Correction

CTC Selection: Fabric

Read Start Depth: 8

Sequence Period: 12

Calculate

图 4-5 AFE 配置界面

Core Configuration

SerDes Configuration

AFE

TX

Differential Swing: 900mV

FFE Mode

FFE Mode: Auto

Cm: 0 (0~19)

C0: 40 (21~40)

C1: 0 (0~19)

RX

SD Threshold: 100mV

Equalization

Equalization Mode: Auto

ATT: 7 (0~10)

BOOST: 9 (0~15)

BIAS: 7 (0~15)

OK

Cancel

表 4-1 Gowin RoraLink 8B10B IP 配置界面参数

参数名称	允许范围	默认值	描述
Core Configuration			
Dataflow Mode	Duplex、RX-only Simplex、TX-only Simplex	Duplex	选择全双工模式或单工模式
Interface	Framing、Streaming	Framing	选择传输的数据是帧数据还是流数据
Flow Control	None、UFC、Immediate NFC、Completion NFC、UFC+Immediate NFC、UFC+Completion NFC	None	选择流量控制模式
Back Channel	Sidebands、Timer	Sidebands	仅在 GUI 选项“Dataflow Mode”为“RX-only Simplex”或“TX-only Simplex”时有效。用于单工模式时初始化相关的信号使用专门

参数名称	允许范围	默认值	描述
			的边带信号还是内部计时器。若选择 Sidebands 表示使用专门的边带信号进行初始化, 若选择 Timer 表示使用 IP 计数器进行初始化。
Scrambler/Descrambler	勾选、不勾选	不勾选	选择是否对数据进行加扰, 若勾选表示对数据进行加解扰, 若不勾选表示不对数据进行加解扰。
Little Endian Support	勾选、不勾选	勾选	选择接口是大端模式还是小端模式, 若勾选表示接口是小端模式, 不勾选表示接口是大端模式。
CRC	勾选、不勾选	不勾选	选择 IP 是否进行 CRC 处理, 在用户数据发送方向添加 CRC, 在用户数据接收方向去除 CRC 并进行 CRC 校验。若勾选表示启用 IP 的 CRC 功能, 若不勾选表示不启用 IP 的 CRC 功能。
SerDes Configuration			
Data Width Per Lane	2、4	2	选择 IP 每条 Lane 的数据位宽为 16 bits 或 32 bits。
Number of Lanes	1、2、3、4、5、6、7、8	1	选择 IP Lane 数量
Channel0 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q0 Lane0	IP 第一条 Lane 对应的 SerDes 通道选择。Q0/Q1 对应 SerDes 的两个 Quad。Lane0、Lane1、Lane2、Lane3 表示 SerDes 每个 Quad 对应的 4 条 Lane 编号。 注! GUI 可选的通道数与选项“Lane Width”关联。
Channel1 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q0 Lane1	IP 第二条 Lane 对应的 SerDes 通道选择。Q0/Q1 对应 SerDes 的两个 Quad。Lane0、Lane1、Lane2、Lane3 表示 SerDes 每个 Quad 对应的 4 条 Lane 编号。
Channel2 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q0 Lane2	IP 第三条 Lane 对应的 SerDes 通道选择。Q0/Q1 对应 SerDes 的两个 Quad。Lane0、Lane1、Lane2、Lane3 表示 SerDes 每个 Quad 对应的 4 条 Lane 编号。
Channel3 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q0 Lane3	IP 第四条 Lane 对应的 SerDes 通道选择。Q0/Q1 对应 SerDes 的两个 Quad。Lane0、Lane1、Lane2、Lane3 表示 SerDes 每个 Quad 对应的 4 条 Lane 编号。
Channel4 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q1 Lane0	IP 第五条 Lane 对应的 SerDes 通道选择。Q0/Q1 对应 SerDes 的两个 Quad。Lane0、Lane1、Lane2、Lane3 表示 SerDes 每个 Quad 对应的 4 条 Lane 编号。
Channel5 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q1 Lane1	IP 第六条 Lane 对应的 SerDes 通道选择。Q0/Q1 对应 SerDes 的两个 Quad。Lane0、Lane1、Lane2、Lane3 表示 SerDes 每个 Quad 对应的 4 条 Lane 编号。

参数名称	允许范围	默认值	描述
Channel6 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q1 Lane2	IP 第七条 Lane 对应的 SerDes 通道选择。Q0/Q1 对应 SerDes 的两个 Quad。Lane0、Lane1、Lane2、Lane3 表示 SerDes 每个 Quad 对应的 4 条 Lane 编号。
Channel7 Selection	Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2、Q1 Lane3、	Q1 Lane3	IP 第八条 Lane 对应的 SerDes 通道选择。Q0/Q1 对应 SerDes 的两个 Quad。Lane0、Lane1、Lane2、Lane3 表示 SerDes 每个 Quad 对应的 4 条 Lane 编号。
Loopback Mode	OFF、LB_NES、LB_FES、LB_ENC	OFF	SerDes 环回模式选择： ● OFF 表示 Normal 模式，SerDes 数据正常收发。 ● LB_NES, SerDes 自环，数据从 SerDes 的近端 PMA 发送环回给近端 PMA 接收。 ● LB_ENC, SerDes 自环，数据从 SerDes 的近端 PCS 发送环回给近端 PCS 接收。 ● LB_FES, SerDes 外环，数据从 SerDes 的接收环回给发送。
Line Rate	用户输入	3.1250Gbps	用户输入需要的 SerDes 线速率。当 PLL 选择 QPLL0 或 CPLL 时，SerDes 理论能工作的线速率范围是 0.85G~12.5G。当 PLL 选择 QPLL1 时，SerDes 理论能工作的线速率范围是 0.95G~12.5G。但最终能达到的性能取决于工程的时序。假如选择 CRC 功能、或者选择的通道数多（数据位宽大），那么由于时序违例问题，能运行的最高速率会降低。
Reference Clock Source	● 若器件为 GW5AST-138/GW5AT-138/GW5AT-75 Q0 REFCLK0、Q0 REFCLK1、Q1 REFCLK 0、Q1 REFCLK 1 ● 若器件为 GW5AT-60 Q0 REFCLK0、Q0 REFCLK1、Q0 REFCLK2、Q0 REFCLK3、SERDES Q0CLKIN0、SERDES Q0CLKIN1、SERDES Q0CLKIN2、	Q0 REFCLK0	● 若器件为 GW5AST-138/GW5AT-138/GW5AT-75 高速收发器的参考时钟选择，Q0/Q1 对应 SerDes 的两个 Quad。REFCLK0 和 REFCLK1 对应 SerDes 每个 Quad 的两路输入参考时钟。用户可根据应用选择输入参考时钟。 ● 若器件为 GW5AT-60 高速收发器的参考时钟选择，Q0REFCLK0、Q0REFCLK1、Q0REFCLK2、Q0REFCLK3 对应 Quad0 的 4 路输入参考时钟。SERDES Q0CLKIN0、SERDES Q0CLKIN1、SERDES Q0CLKIN2、SERDES Q0CLKIN3 对应专门的 GPIO 管脚输入参考时钟。不同封装的芯片对应可选的输入参考时钟会有差异。

参数名称	允许范围	默认值	描述
	SERDES Q0CLKIN3		
Reference Clock Frequency	用户输入	125M	高速收发器的参考时钟频率。GUI 界面会根据输入的 Line Rate 在下拉窗口自动计算出一组推荐的参考时钟。用户可以自定义输入或者选择 GUI 界面生成的频率，可点击“ Calculate ”按钮，确认频率是否正确。
PLL Selection	QPLL0、QPLL1、CPLL	CPLL	PLL 选择
DRP Ports	勾选、不勾选	不勾选	若勾选表示使能 DRP 功能。若不勾选表示禁止 DRP 功能。
Channel Bonding			
Master Channel Selection	所选 Lane	所选第一个 Lane	选择接收 Channel Bonding 主通道
Read Start Depth	3~28	8	数据绑定后，配置该模块的读开始深度。
Clock Source	quad、lane	quad	选择通道绑定的时钟源
RX Clock Correction			
CTC Selection	SerDes、Fabric	SerDes	选择 Clock Correction 模块 ● SerDes，选择 SerDes 硬核实现 Clock Correction。 ● Fabric，选择 Fabric 侧的软核实现 Clock Correction。
Read Start Depth	3~28	8	数据调整后，配置该模块的读开始深度
Sequence Period	4~31	11	设置协议中发送时钟校正码（CC 码）的时间间隔
AFE			
Differential Swing	100mV~900mV	900mV	配置发送差分信号摆幅 Vdiffpp， Vdiffpp=2xVdiff
FFE Mode	Auto、Manual	Auto	配置发送 FFE 模式。 Auto：自动模式 Manual：手动模式
Cm	0~19	0	发送 FFE pre-cursor
C0	21~40	40	发送 FFE main-cursor
C1	0~19	0	发送 FFE post-cursor
SD Threshold	25mV~200mV	100mV	接收差分信号 SD 门限
Equalization Mode	Auto、Manual	Auto	Auto：自动模式 Manual：手动模式
ATT	0~10	7	调整接收中频衰减，数值越小表示衰减越大。
BOOST	0~15	9	调整接收高频放大，数值越大表示增益越大。
BIAS	0~15	7	配置 SerDes 对接收信号的放大参数。配置越高，对信号的放大作用越强。

5参考设计

详细信息请参见高云半导体官网 [RoraLink 8B10B](#) 相关参考设计。

5.1 应用

RoraLink 8B10B IP 的数据传输可由单条 Lane 或多条 Lane 组成，每条 Lane 对应一路 SerDes 通道。数据传输可以是全双工或者单工。单条 Lane 的单工数据传输如图 5-1 所示。多条 Lane 的单工数据传输如图 5-2 所示。单条 Lane 的全双工数据传输如图 5-3 所示。多条 Lane 的全双工数据传输如图 5-4 所示。

图 5-1 单条 Lane 单工数据传输

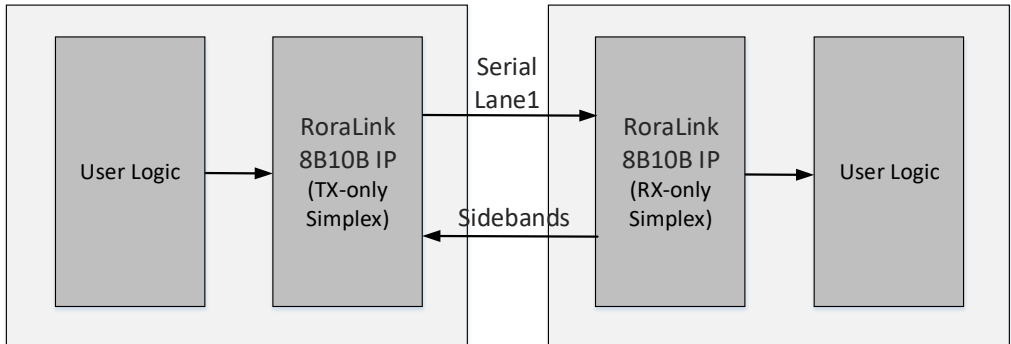


图 5-2 多条 Lane 单工数据传输

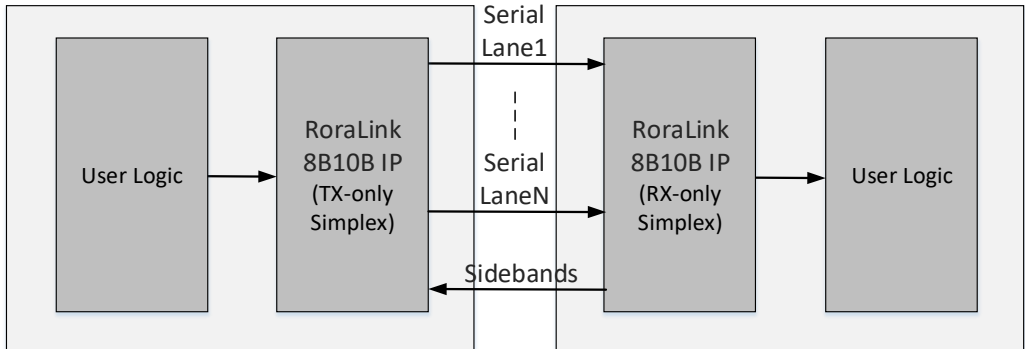


图 5-3 单条 Lane 全双工数据传输

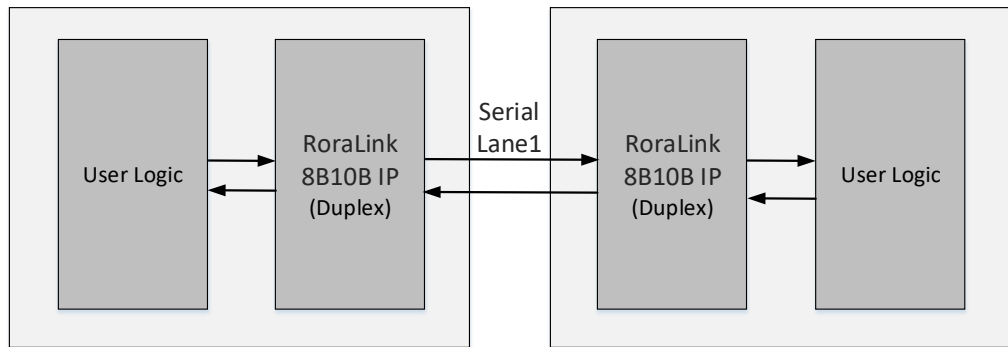
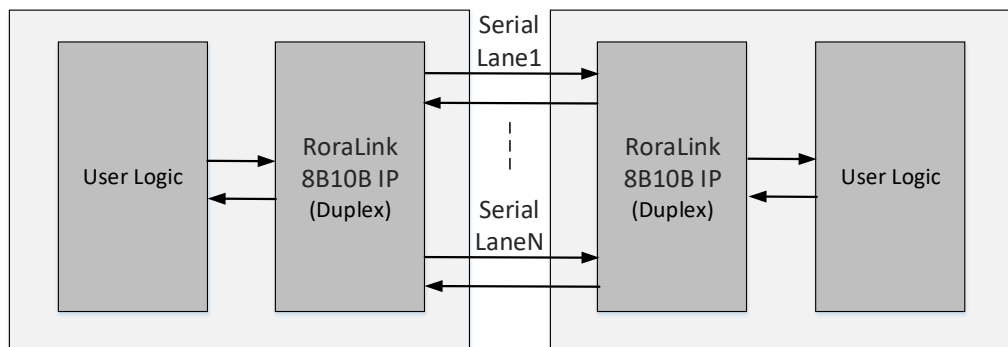


图 5-4 多条 Lane 全双工数据传输

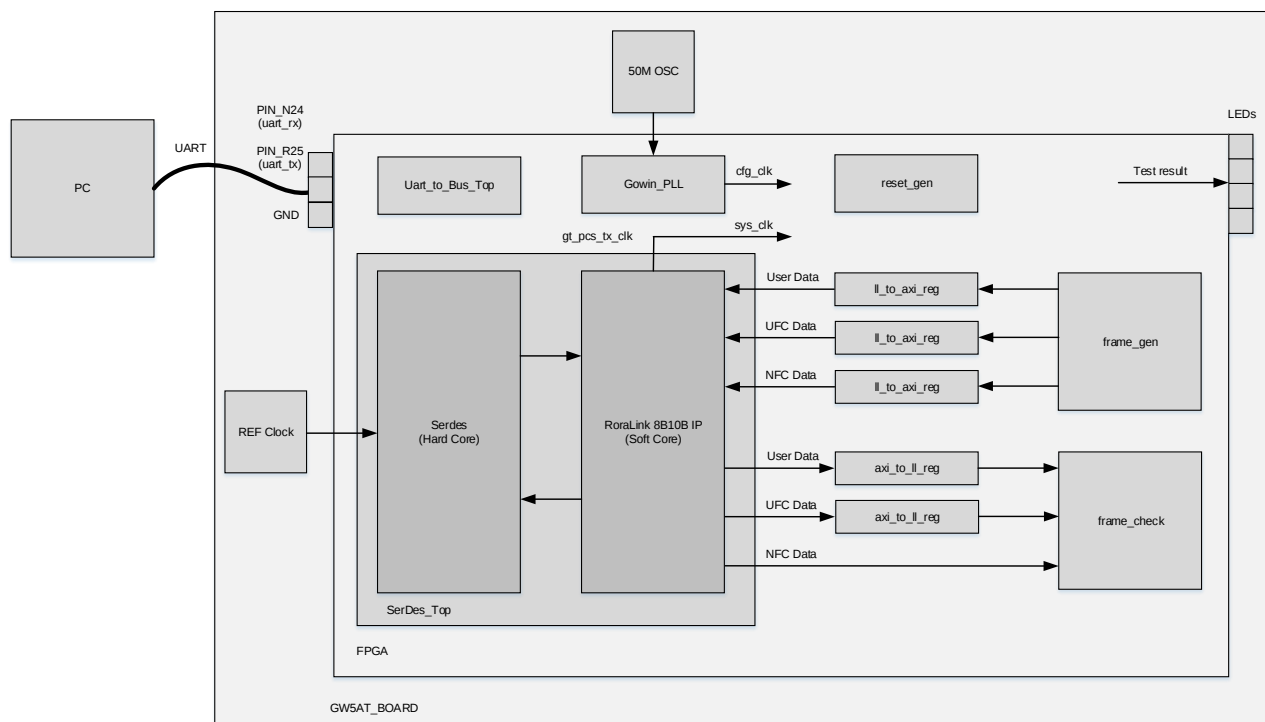


5.2 Gowin RoraLink 8B10B IP 参考设计工程

Gowin RoraLink 8B10B IP 参考设计包含 SerDes IP 模块(含 RoraLink 8B10B IP 软核)、时钟与复位、接口转换模块、帧生成模块、帧检测模块和调试模块:

- **Uart_to_Bus_Top**: 将 UART 串口转成 FPGA 内部配置总线接口, 便于读或者写寄存器, 便于单板调测。
- **Gowin_PLL**: 单板内部 50MHz 晶振锁出配置模块的工作时钟。
- **reset_gen**: 复位生成, 生成系统复位信号。
- **frame_gen**: 帧生成模块。
- **frame_check**: 帧检测模块。
- **ll_to_axi_reg**: AXI 接口转换模块。
- **axi_to_ll_reg**: AXI 接口转换模块。
- **SerDes_Top**: 模块包含 SerDes 硬核和 RoraLink 8B10B IP 软核, Gowin EDA 工具自动完成 SerDes 硬核与 RoraLink 8B10B IP 的连线, 用户只需关注封装后 SerDes 顶层的接口。

图 5-5 参考设计实例基本结构图



5.3 参考设计板测

Gowin 目前提供的参考设计为单个 RoraLink 8B10B IP 的 SerDes 自环测试，便于用户不依赖于子卡能快速的熟悉 Gowin RoraLink 8B10B IP 的接口、时序和功能。

参考工程板测的步骤如下：

- 从官网下载工程，编译生成 fs 文件
- 搭建环境如图 5-5 所示
- 下载 fs 到单板
- 确认测试结果，有两种方法：

方法一：观察 LED 灯确认测试结果。

- LED0(PIN_P20)：常亮表示 Gowin_PLL 为锁定状态。
- LED1(PIN_R20)：常亮表示 SerDes 内部 PLL 为锁定状态。
- LED2(PIN_N21)：常亮表示 IP Channel 建链正常。
- LED3(PIN_N22)：常亮表示 IP 接收的数据校验通过。

方法二：通过串口工具读取寄存器，确认链路状态和测试结果。

PC 通过串口工具可访问参考设计的寄存器地址。环境搭好后，在串口工具输入“R 0”，会显示寄存器值，如图 5-6 所示。输入“W 0 value”，会将 value 对应的寄存器值写入寄存器，输入“R 0”重新读取寄存器值，则读取的寄存器值与写入的寄存器值一致。

表 5-1 参考设计寄存器列表

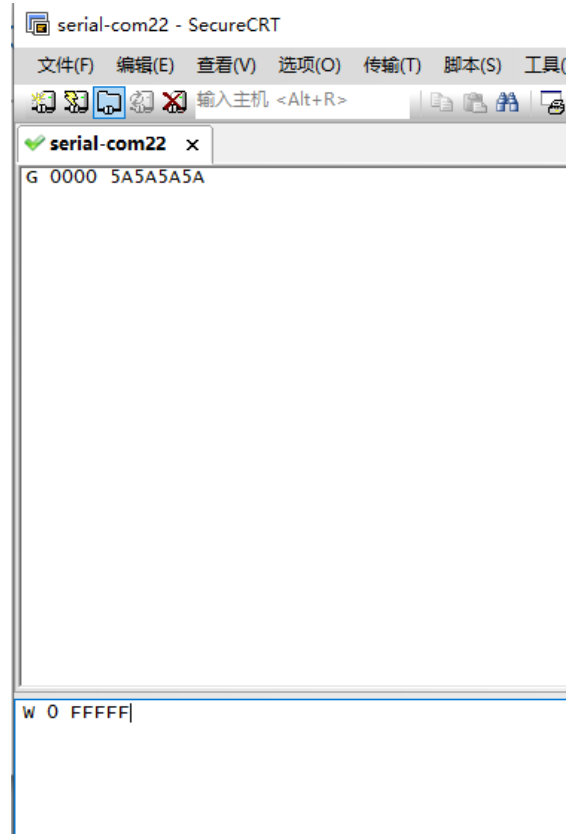
地址(Word)	类型	位宽	信号名称	描述
0x0	RW	[31:0]	test_reg	测试寄存器，可写入回读，确认寄存器读写功能
0x1	RW	[31:4]	--	保留字段
	RW	[3]	reg_rst	IP 系统复位，高电平有效。
	RW	[2]	gt_pcs_rx_rst	SerDes 接收方向 PCS 复位，高电平有效。
	RW	[1]	gt_pcs_tx_rst	SerDes 发送方向 PCS 复位，高电平有效。
	RW	[0]	gt_reset	SerDes PMA 复位，高电平有效。
0x2~0xf	RW	[31:0]	--	保留字段
0x10	RO	[24]	gt_rx_k_lock	SerDes 接收方向 K 码锁定状态，为高电平表示正常。
	RO	[16]	gt_rx_align_link	SerDes 接收方向字对齐状态，为高电平表示正常。
	RO	[8]	gt_rx_pma_lock	SerDes 接收方向 PMA 锁定状态，为高电平表示正常。
	RO	[1]	cfg_pll_lock	配置时钟 PLL 锁定状态
	RO	[0]	gt_pll_ok	SerDes PLL 锁定状态
0x11	RO	[31:9]	--	保留字段
	RO	[8]	lane_up	IP Lane 建链状态，为高电平表示建链正常
	RO	[3]	channel_up	IP Channel 建链状态，为高电平表示建链正常
	RO	[2]	frame_err	IP 当前帧错误状态，为高电平表示当前帧有错误
	RO	[1]	soft_err	IP Soft error 状态，为高电平表示有错误
	RO	[0]	hard_err	IP Hard error 状态，为高电平表示有错误
0x12	RO	[31:24]	frame_count	接收帧统计
	RO	[23:16]	--	保留字段
	RO	[15:8]	crc_err_count	接收数据 CRC 校验错误统计
	RO	[7:0]	err_count	接收数据校验错误统计
0x13	RO	[31:24]	re_channel_up_count	IP 发生重新建链统计
	RO	[23:16]	hard_err_cnt	IP 发生 hard error 统计
	RO	[15:8]	frame_err_count	IP 发生 frame error 统计
	RO	[7:0]	soft_err_count	IP 发生 soft error 统计

注！

寄存器读写定义：

- RO 表示只读
- RW 表示读写

图 5-6 串口工具显示



6 文件交付

Gowin RoraLink 8B10B IP 交付文件主要包含三个部分，分别为：文档、设计源代码和参考设计。

6.1 文档

文件夹主要包含用户指南 PDF 文档。

表 6-1 文档列表

名称	描述
IPUG1190, Gowin RoraLink 8B10B IP 用户指南	高云 RoraLink 8B10B IP 用户手册，即本手册。

6.2 设计源代码（加密）

加密代码文件夹包含 Gowin RoraLink 8B10B IP 的 RTL 加密代码，供 GUI 使用，以配合高云半导体云源软件产生用户所需的 IP 核。

表 6-2 Gowin RoraLink 8B10B IP 设计源代码列表

名称	描述
roralink_8b10b.v	IP 核顶层文件，给用户接口信息，加密。

6.3 参考设计

文件夹主要包含 Gowin RoraLink 8B10B IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 6-3 Gowin RoraLink 8B10B IP RefDesign 文件夹内容列表

名称	描述
top.v	参考设计的顶层 module
top.cst	工程物理约束文件
top.sdc	工程时序约束文件
top.gsc	工程综合约束文件
top.gao	工程调试文件
reset_gen.v	复位生成模块

名称	描述
local2reg.v	总线转寄存器模块
apb2local.v	配置总线转换模块
ll_to_axi_reg.v	AXI 总线转换模块
axi_to_ll_reg.v	AXI 总线转换模块
axi_register_slice.v	AXI 总线转换模块
frame_gen.v	数据生成模块
frame_check.v	数据检测模块
SerDes	SerDes IP 文件夹，包含 EDA 工具生成的 SerDes 相关文件和 roralink_8b10b 文件夹
uart_to_bus	生成的 uart to bus IP 文件，用于将串口转成内部配置总线。
gowin_pll	PLL IP 文件夹，使用外部输入 50MHz 时钟作为参考时钟，锁出内部配置时钟。

