



Gowin BCDR IP

用户指南

IPUG1191-1.0, 2024/08/09

版权所有 © 2024 广东高云半导体科技股份有限公司

GOWIN高云、Gowin以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其所有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2024/08/09	1.0	初始版本。

目录

目录	i
图目录	ii
表目录	iii
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 概述	3
2.1 主要特征	3
2.2 工作频率	3
2.3 资源利用	3
3 功能描述	5
3.1 整体结构	5
3.2 BCDR 功能	6
3.3 用户接口	6
3.3.1 发送数据	6
3.3.2 接收数据	6
4 端口列表	7
5 界面配置	8

图目录

图 3-1 Gowin BCDR IP 结构图.....	5
图 3-2 发送时序图.....	6
图 3-3 接收时序图.....	6
图 4-1 Gowin BCDR IP IO 端口示意图.....	7
图 5-1 IP 核产生工具.....	8
图 5-2 SerDes IP 配置界面.....	9
图 5-3 PHY Configuration 选项页.....	10
图 5-4 SerDes IP 配置界面显示 BCDR IP.....	11

表目录

表 1-1 术语、缩略语	1
表 2-1 Gowin BCDR IP	3
表 2-2 资源利用	4
表 4-1 Gowin BCDR IP IO 端口	7

1 关于本手册

1.1 手册内容

Gowin BCDR IP 用户指南主要包括功能简介、功能描述、GUI 调用、参考设计等，旨在帮助用户快速了解 Gowin BCDR IP 的产品特性、特点及使用方法。本手册中的软件界面截图参考的是 V1.9.10.01 (64-bit)版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [SUG100, Gowin 云源软件用户指南](#)
- [DS1228, Arora V FPGA 产品概述](#)
- [DS981, Arora V 138K & 75K FPGA 产品数据手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
BCDR	Burst Clock Data Recovery	突发时钟数据恢复
IP	Intellectual Property	知识产权
FPGA	Field Programmable Gate Array	现场可编程门阵列
SerDes	Serializer/Deserializer	串行器/解串器

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网站: www.gowinsemi.com.cn

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

Gowin BCDR IP 实现了 PON 协议的 PHY 层功能，实现发送 2.48832Gbps 和接收 1.24416Gbps 速率。在接收方向实现 Burst Clock Data Recover (BCDR) 功能，可以快速锁定接收数据。本 IP 可应用在 PON 通信的 OLT 设备中。

表 2-1 Gowin BCDR IP

Gowin BCDR IP	
逻辑资源	见表 2-2
交付文件	
设计文件	Verilog (加密)
参考设计	Verilog
测试平台	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software (V1.9.9 及以上)

注！

可登录[高云半导体网站](#)查看芯片支持信息。

2.1 主要特征

- 支持发送速率 2.48832Gbps 和接收速率 1.24416Gbps
- 支持接收方向 burst clock data recovery (BCDR) 功能
- 支持 16 bits 用户接口

2.2 工作频率

Gowin BCDR IP 的工作频率为 155.52 MHz。

2.3 资源利用

Gowin BCDR IP 采用 Verilog 语言，因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。以高云 GW5AT 系列 FPGA 为例，资源利用情况如表 2-2 所示。关于其它器件的资源利用请参阅相关的后期发布

信息。

表 2-2 资源利用

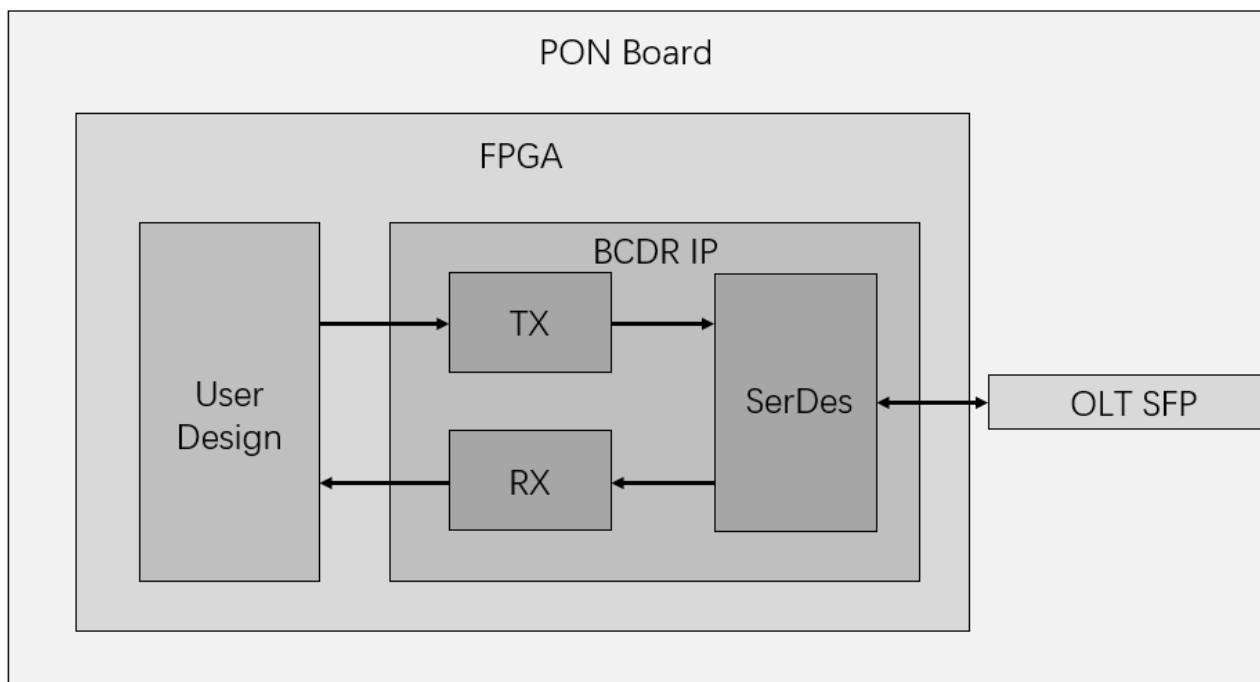
LUTs	REGs	器件	速度
177	162	GW5AT-138	ES

3 功能描述

3.1 整体结构

Gowin BCDR IP 基本结构如图 3-1 所示，主要包含 RX、TX、SerDes 模块。图 3-1 中的 User Design 是 FPGA 中的用户设计，OLT SFP 是 OLT 专用光模块。

图 3-1 Gowin BCDR IP 结构图



- SerDes: 实现数据串并转换功能，并为数据高速收发通道。
- TX: 实现用户数据发送功能，把用户发送数据传输到 SerDes。
- RX: 实现 BCDR 功能，并把接收有效数据传输给用户。
- OLT SFP: OLT 专用光模块，发送数据速率为 2.48832Gbps，接收数据速率为 1.24416Gbps。

3.2 BCDR 功能

本 IP 实现接收 BCDR 功能。根据 PON 功能定义，OLT 接收数据为时分复用，在接收帧与帧之间存在空闲。传统的 CDR 恢复时钟依赖于接收数据存在持续的变化边沿，以保证 CDR 一直锁定数据，但传统 CDR 无法快速锁定突发数据，以满足 OLT 接收数据格式的要求。本 IP 实现 BCDR 功能，当 IP 接收到每帧数据的前导码时，即可锁定数据，同时把有效数据传输到用户侧，以保证用户侧正确的对齐并接收数据。

3.3 用户接口

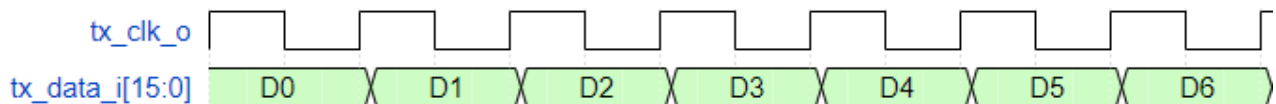
3.3.1 发送数据

发送数据位宽为 16 bits，LSB 先发送。发送端口描述见表 4-1 所示。

发送时序图如图 3-2 所示，用户侧以 tx_clk_o 为发送时钟连续发送数据，则串行数据输出顺序为：

D0[0],D0[1],D0[2].....,D0[15],D1[0],D1[1],D1[2].....,D1[15]
.....D6[0],D6[1],D6[2].....,D6[15]

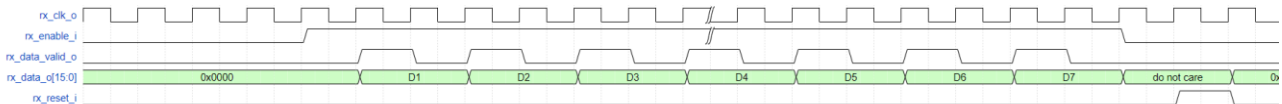
图 3-2 发送时序图



3.3.2 接收数据

接收数据位宽为 16 bits，先接收到的数据在 LSB。接收端口描述见表 4-1 所示，接收时序图如图 3-3 所示。

图 3-3 接收时序图



rx_clk_o 时钟频率为 156.25MHz，接收数据均同步于 rx_clk_o。当接收数据将要到来时，用户把 rx_enable_i 拉高，启动接收 BCDR 功能。在 rx_enable_i 为 1 期间，rx_data_valid_o=1 指示 rx_data_o 数据有效。当有效数据接收结束后，用户把 rx_enable_i 拉低，关闭 BCDR 功能。当一帧数据接收结束后，用户可以拉高 rx_reset_i 一个周期，清除 rx_data_o 数据为 0。rx_data_o 先接收的数据在 LSB。

4 端口列表

Gowin BCDR IP 的 IO 端口如图 4-1 所示。

图 4-1 Gowin BCDR IP IO 端口示意图

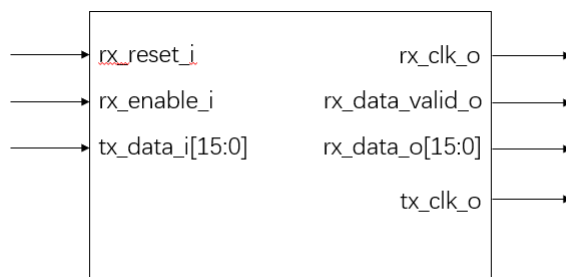


表 4-1 Gowin BCDR IP IO 端口

信号	方向	位宽	描述
TX Path			
tx_clk_o	output	1	发送并行数据时钟，频率为155.52MHz
tx_data_i	input	16	发送并行数据，同步于tx_clk_o，LSB先发送
RX Path			
rx_clk_o	output	1	接收并行数据时钟，频率为155.52MHz
rx_data_valid_o	output	1	接收并行数据有效指示，同步于rx_clk_o 1: 接收并行数据有效 0: 接收并行数据无效
rx_data_o	output	16	接收并行数据，同步于rx_clk_o，先接收到的数据在LSB
rx_enable_i	input	1	接收使能BCDR。当打开BCDR功能时，此输入置1；当关闭BCDR功能时，此输入置0
rx_reset_i	input	1	接收同步复位。当复位有效时，rx_data_o输出0；当复位无效时，rx_data_o输出有效数据。此复位高有效。

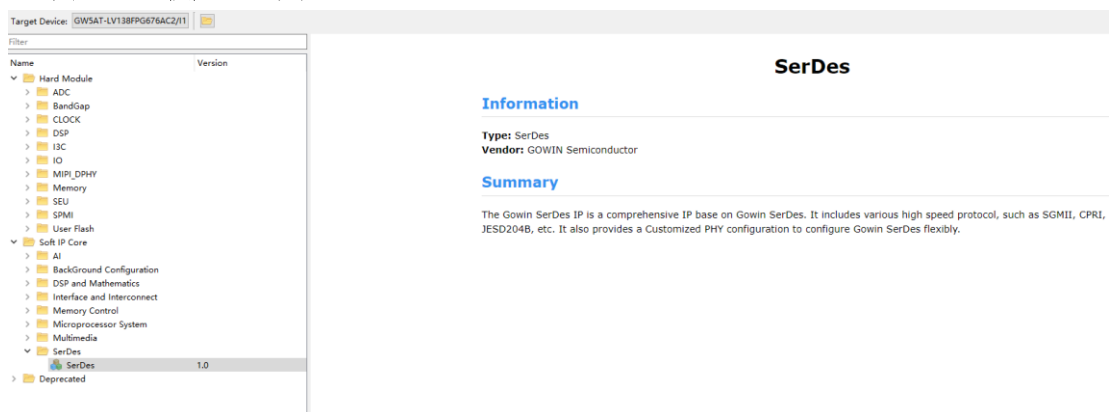
5 界面配置

用户可在 IDE 中通过 IP Core Generator 工具调用并配置 Gowin BCDR IP。本章节配置界面、配置流程以及各配置选项含义。

1. 打开 IP Core Generator

用户建立工程后,单击左上角 Tools 选项卡,下拉单击 IP Core Generator 选项,就可打开 Gowin 的 IP 核产生工具,如图 5-1 所示。

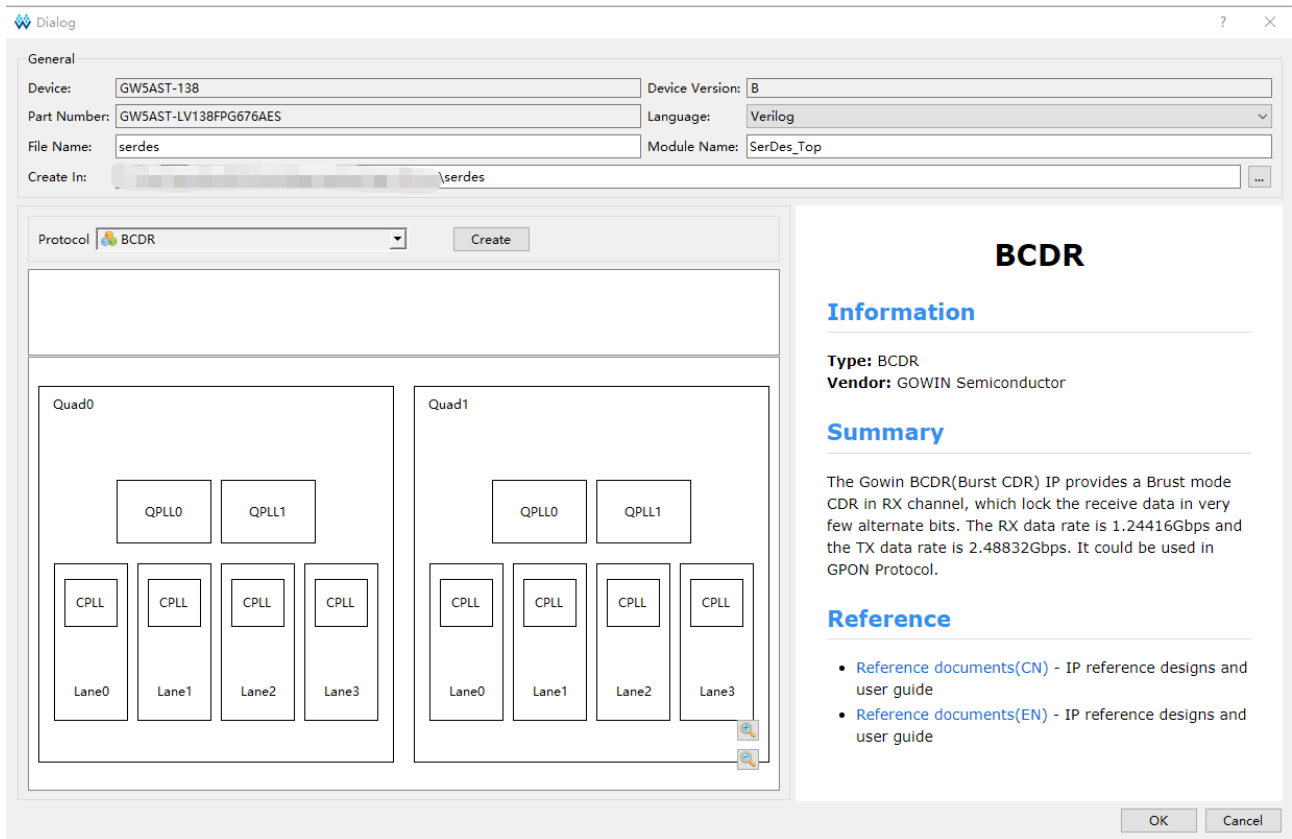
图 5-1 IP 核产生工具



2. 打开 SerDes IP 配置界面

在 IP Core Generator 中选择“SerDes”,打开 SerDes IP 配置界面,如图 5-2 所示。

图 5-2 SerDes IP 配置界面



在 SerDes IP 界面中首先配置“General”选项组：

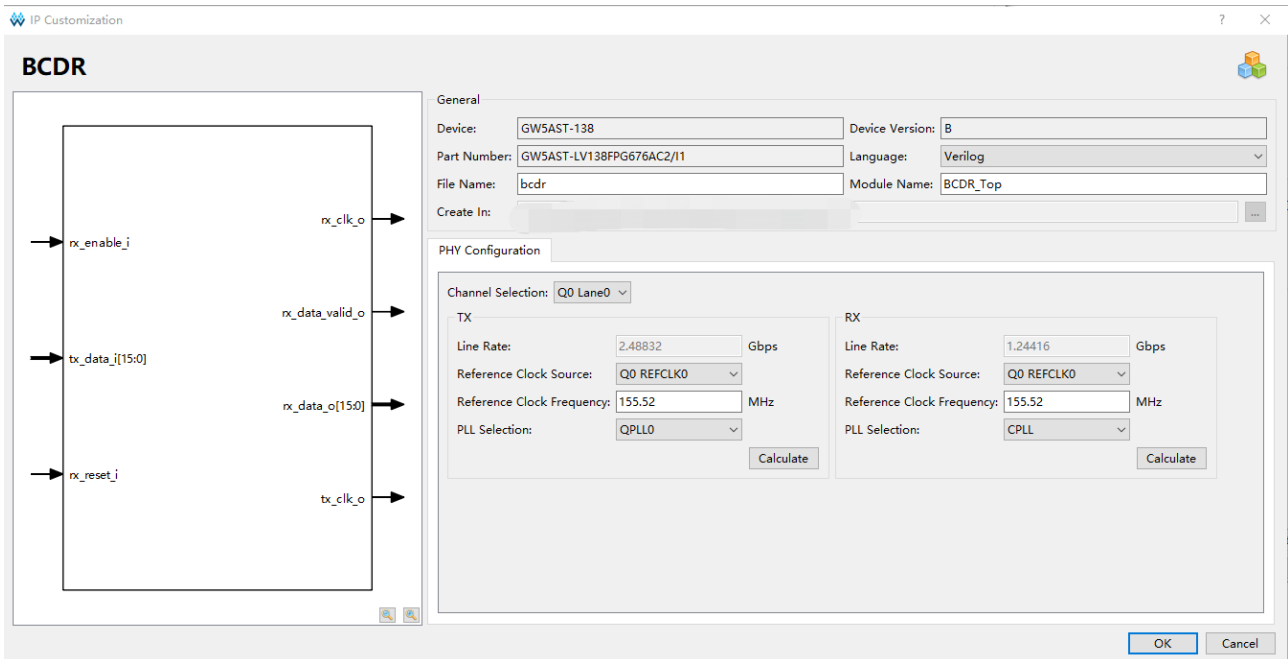
- **Device、Device Version、Part Number** 选项：芯片型号设置，由当前工程选择的芯片型号决定，用户无法设置；
- **Language** 选项：支持 Verilog 和 VHDL 两种选择，根据自身需要选择对应的语言类型，默认选择 Verilog；
- **File Name、Module Name、Create In** 选项：Serdes 的文件名、模块名和文件生成路径设置。

然后根据自身需要选择协议，其中“Protocol”选项可以选择需要的协议，点击右侧“Create”按钮可打开协议的配置界面；在“Protocol”选项下方显示当前 SerDes IP 已经支持的协议和对应的 Quad、PLL、Lane 使用情况，右侧显示当前 Protocol 选项选择协议的相关信息，包含“Information”、“Summary”和“Reference”三部分信息。

3. 打开 BCDR IP 界面配置

在 Serdes IP 配置界面的“Protocol”选项中选择“BCDR”，点击右侧“Create”按钮打开 BCDR IP 配置界面，如图 5-3 所示。

图 5-3 PHY Configuration 选项页



配置界面左侧是 BCDR IP 的接口示意图，右侧是 BCDR IP 参数配置选项。

配置 PHY Configuration 选项页如图 5-3 所示：

- Channel Selection 选项：在下拉框内选择需要的通道，包含 Q0 Lane0、Q0 Lane1、Q0 Lane2、Q0 Lane3、Q1 Lane0、Q1 Lane1、Q1 Lane2 和 Q1 Lane3 这 8 种通道，若某一通道已被使用，则不会显示；
- TX 选项组：
 - Line Rate: 通道速率默认 2.48832Gbps，无法修改；
 - Reference Clock Source: 参考时钟源，可选择 Quad0 的 REFCLK0 和 REFCLK1，也可以选择 Quad1 的 REFCLK0 和 REFCLK1，用户根据实际情况进行选择；
 - Reference Clock Frequency: 参考时钟频率；
 - PLL Selection: PLL 源，可选 QPLL0、QPLL1 和 CPLL。
- RX 选项组：
 - Line Rate: 通道速率默认 1.24416Gbps，无法修改；
 - Reference Clock Source: 参考时钟源，可选择 Quad0 的 REFCLK0 和 REFCLK1，也可以选择 Quad1 的 REFCLK0 和 REFCLK1，用户根据实际情况进行选择；
 - Reference Clock Frequency: 参考时钟频率；
 - PLL Selection: PLL 源，可选 QPLL0、和 CPLL。

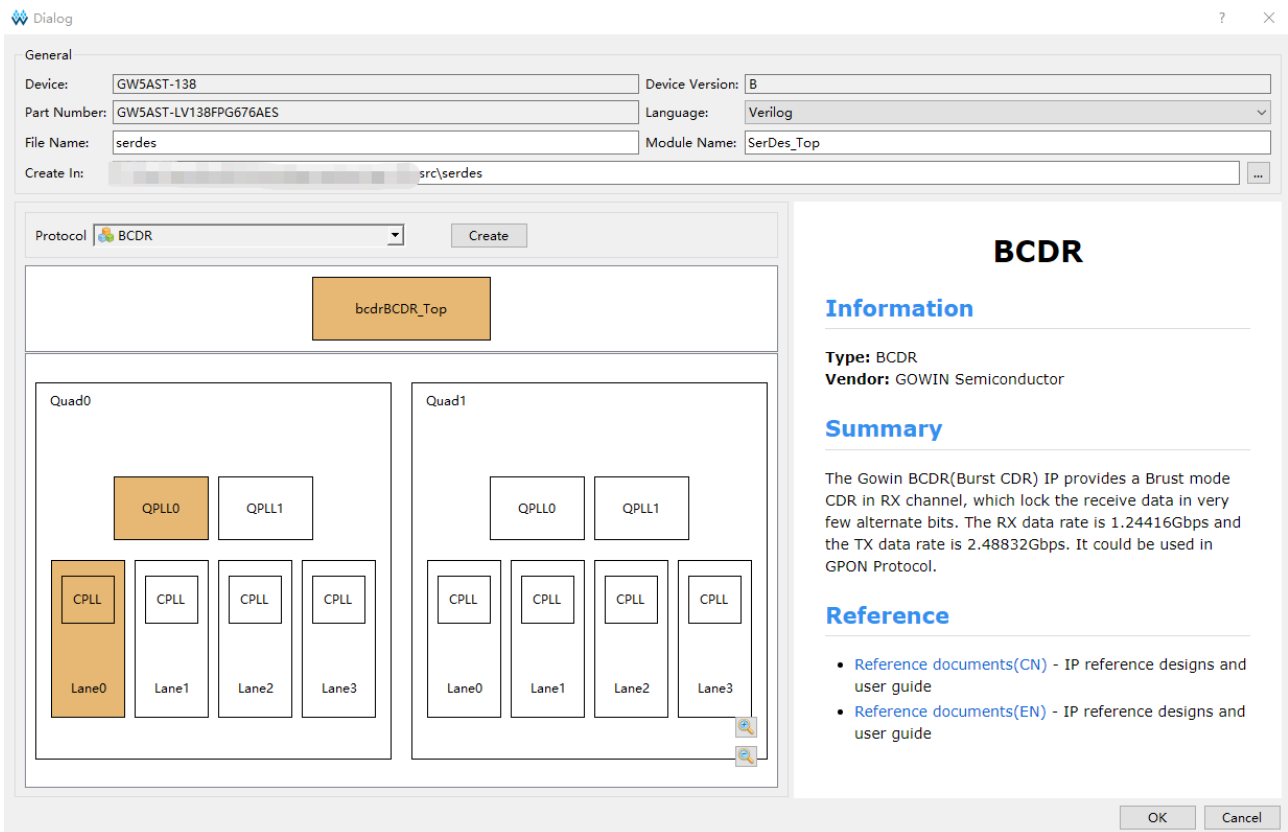
注!

- Line Rate 和 Reference Clock Frequency 之间有限制关系，务必要确定该参考时钟能够生成上述线速率，也可通过“Calculate”按钮进行检测。
- TX 和 RX 的 PLL Selection 选项需选择不同 PLL。
- 推荐 TX Reference Clock Source 和 RX Reference Clock Source 均选择同一个时钟源。此配置模式下，tx_clk_o 和 rx_clk_o 同频。

4. 生成 IP

完成 BCDR IP 界面配置后，点击界面右下角的“OK”按钮，可生成 BCDR IP 相关文件，并返回到 SerDes IP 配置界面，此时 SerDes IP 配置界面中显示当前已经生成的 BCDR IP 及对应的 Quad、PLL 和 Lane 使用情况，如下图所示。

图 5-4 SerDes IP 配置界面显示 BCDR IP



然后，点击界面右下角的“OK”按钮，可生成 SerDes IP 相关文件，完成整个 BCDR IP 的生成过程。

