




Gowin SSCPLL IP 用户指南

IPUG1193-1.0,2024-11-01

版权所有 © 2024 广东高云半导体科技股份有限公司

GOWIN高云, , Gowin以及高云均为广东高云半导体科技股份有限公司注册商标, 本手册中提到的其他任何商标, 其所有权利属其拥有者所有。未经本公司书面许可, 任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部, 并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可, 并未以明示或暗示, 或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外, 高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保, 包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等, 均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任, 高云半导体保留修改文档中任何内容的权利, 恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2024/11/01	1.0	初始版本。

目录

目录	i
图目录	ii
表目录	iii
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语和简写	1
1.4 技术支持与反馈	2
2 概述	3
2.1 介绍	3
2.2 特征	3
2.3 资源利用	3
3 功能描述	5
3.1 整体结构	5
3.2 SSCPLL	5
4 端口描述	7
5 调用及配置	8
5.1 IP 调用	8
5.2 配置说明	9
6 参考设计	10
6.1 硬件平台	10
6.2 工作原理	10
6.3 操作步骤	11
7 文件交付	12
7.1 文档	12
7.2 参考设计	12

图目录

图 3-1 Gowin SSCPLL IP 结构图.....	5
图 4-1 Gowin SSCPLL IP 端口示意图	7
图 5-1 IP Core Generator 界面	8
图 5-2 SSCPLL 配置界面	9
图 6-1 参考设计系统结构.....	10
图 6-2 100MHz 时钟的频域.....	11
图 6-3 100MHz 扩频时钟的频域.....	11

表目录

表 1-1 术语、缩略语	1
表 2-1 Gowin SSCPLL IP 概述	3
表 2-2 资源利用	4
表 3-1 输入时钟和输出时钟范围	6
表 4-1 SSCPLL 端口信号	7
表 5-1 配置说明	9
表 7-1 文档列表	12
表 7-2 参考设计文件列表	12

1 关于本手册

1.1 手册内容

Gowin SSCPLL IP 用户指南主要内容包括功能描述、信号定义、界面配置、参考设计，旨在帮助用户快速了解 Gowin SSCPLL IP 的产品特性、特点及使用方法。本手册中的软件界面截图参考的是 1.9.10.03 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [SUG100, Gowin 云源软件用户指南](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1104, GW5AST 系列 FPGA 产品数据手册](#)

1.3 术语、缩略语和简写

表 1-1 中列出了本手册中出现的术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	释义
FPGA	Field Programmable Gate Array	现场可编程门阵列
ALU	Arithmetic Logic Unit	算术逻辑单元
EMI	Electromagnetic Interference	电磁干扰
IP	Intellectual Property	知识产权
LUT	Look-up Table	查找表
PLL	Phase-locked Loop	锁相环
REG	Register	寄存器
SSC	Spread Spectrum Clocking	扩频时钟

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网站: www.gowinsemi.com.cn

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

2.1 介绍

Gowin SSCPLL IP 基于给定的输入时钟和 SSC 参数产生不同频率的扩频输出时钟，降低设备间电磁干扰（EMI）的影响。

表 2-1 Gowin SSCPLL IP 概述

Gowin SSCPLL IP	
逻辑资源	见表2-2
交付文件	
设计文件	Verilog（加密）
参考设计	Verilog
测试平台	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software（V1.9.10.03及以上）

注！

可登录[高云半导体网站](#)查看芯片支持信息。

2.2 特征

- 支持输入时钟和输出时钟频率可配置，范围由所选器件决定
- 支持 Spread Spectrum Clocking（SSC）功能
- 支持调制频率可配置，范围为 30~50KHz
- 支持调制深度可配置，范围为 0~30000ppm
- 支持调制方向可配置，包含 Up 和 Down 两种

2.3 资源利用

Gowin SSCPLL IP 采用 Verilog 实现，因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。以高云 GW5AST 系列 FPGA 为例，默认配置下资源利用情况如表 2-2 所示。关于其它器件的资源利用请参

阅相关的后期发布信息。

表 2-2 资源利用

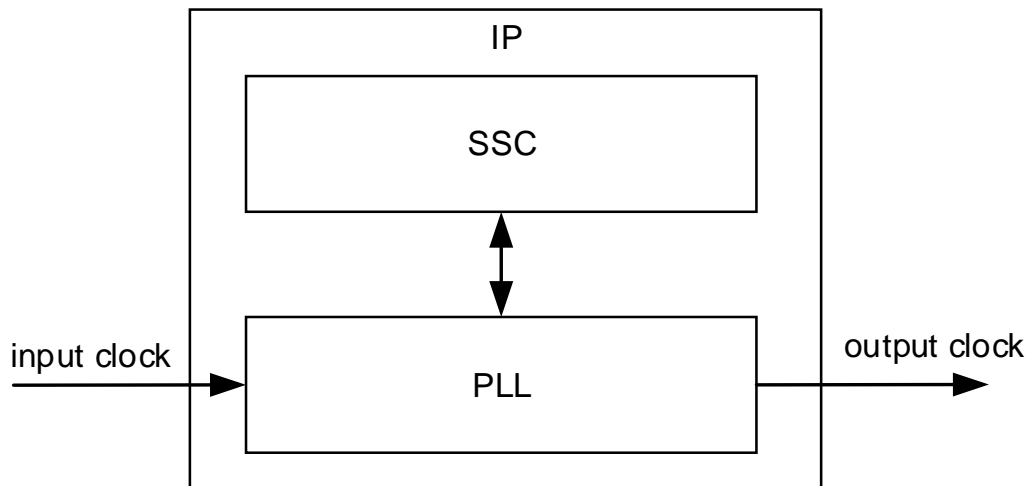
器件	编程语言	LUTs	REGs	ALUs
GW5AST-138	Verilog	29	117	115

3 功能描述

3.1 整体结构

Gowin SSCPLL IP 主要由 PLL 和 SSC 两部分组成如图 3-1 所示。

图 3-1 Gowin SSCPLL IP 结构图



- PLL: 基于给定的输入时钟和 SSC 参数产生不同频率的扩频输出时钟;
- SSC: 根据调制深度、频率和方向等参数生成 PLL 需要的数据, 用于扩频操作。

3.2 SSCPLL

Gowin SSCPLL IP 实质上是一个 PLL, 基于输入时钟生成需要的输出时钟, 为了降低使用输出时钟时设备间存在的 EMI 干扰, Gowin SSCPLL IP 内部集成了 SSC 功能。

首先需要根据自身设计需求, 设置 Gowin SSCPLL IP 的输入时钟和输出时钟频率。需要注意不同器件下 Gowin SSCPLL IP 支持的频率范围有所不同, 具体请参考表 3-1 所示。

表 3-1 输入时钟和输出时钟范围

器件	输入时钟范围	输出时钟范围
GW5AT-75	19MHz~400MHz	6.25MHz~1000MHz
GW5A-138		
GW5AS-138		
GW5AT-138		
GW5AST-138		

对于输入时钟，时钟源选择开发板上的晶振，输出时钟根据设计中对时钟的需求，可在 **FPGA** 内部进行单端或差分处理后，再输出到开发板上作为参考时钟使用。

其次需要设置 **SSC** 参数，**SSC** 支持对调制速度、调制深度和调制方向的灵活设置。

- 调制速度反映的是被调制信号频率变化的快慢，调制速度设置过快，后级的 **PLL** 电路可能会跟踪不上，**SSC** 的调制速度范围为 **30~50KHz**。
- 调制深度是指对信号进行扩频时被调制信号的频率变化范围，调制深度设置过浅，对辐射的改善情况有限；调制深度设置过深，时钟的频率被拉偏的比较多。**SSC** 的调制深度范围为 **0~30000ppm**。
- 调制方向上支持向上扩频（**Up**）和向下扩频（**Down**）两种，由于向上扩频会产生超过输出时钟的频率，会对系统造成影响，所以一般向下扩频用的最为广泛。

SSC 参数需要在调试的过程中根据实际情况逐渐的调整，以达到降低设备间 **EMI** 干扰的作用。

4 端口描述

Gowin SSCPLL IP 端口示意图如图 4-1 所示。

图 4-1 Gowin SSCPLL IP 端口示意图

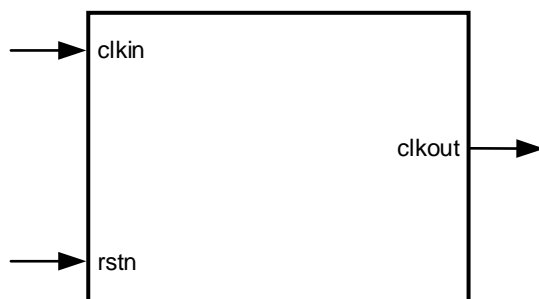



表 4-1 SSCPLL 端口信号

序号	名称	类型	位宽	描述
1	clkin	Input	1	时钟输入
2	rstn	Input	1	复位信号，低电平有效
3	clkout	Output	1	时钟输出

5 调用及配置

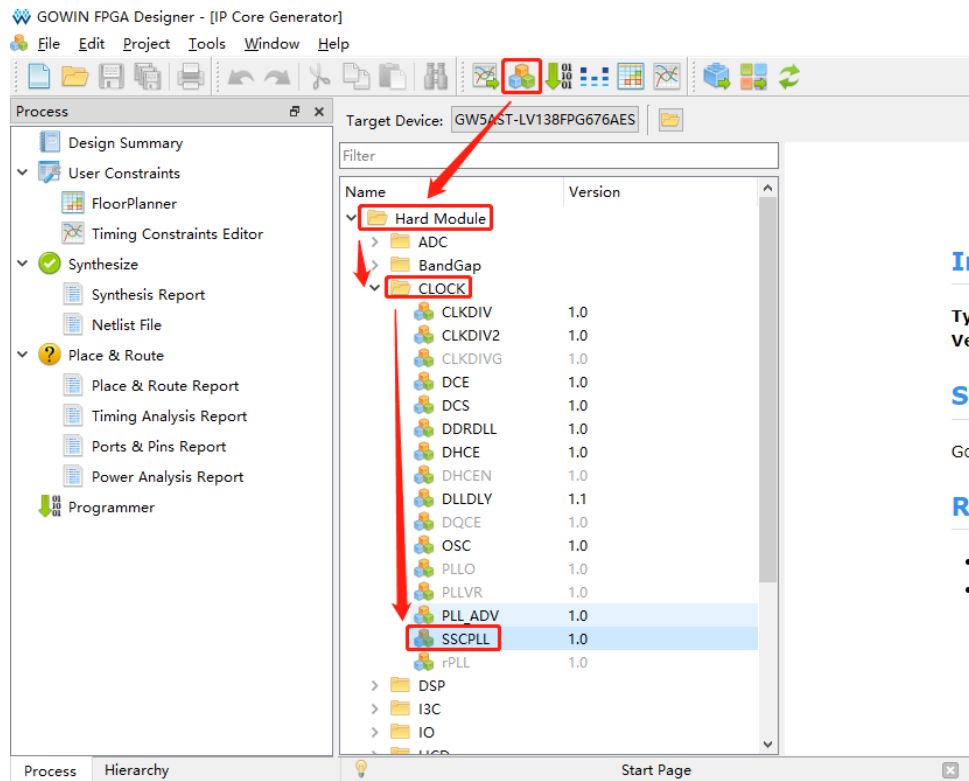
5.1 IP 调用

打开高云半导体云源软件，点击快捷栏“”或菜单栏“Tools > IP Core Generator”启动 IP Core Generator 工具，进行 IP 的调用及配置。

1. 打开 IP Core Generator

用户创建工程后，点击“IP Core Generator”，即可打开 Gowin 的 IP 核产生工具如图 5-1 所示。

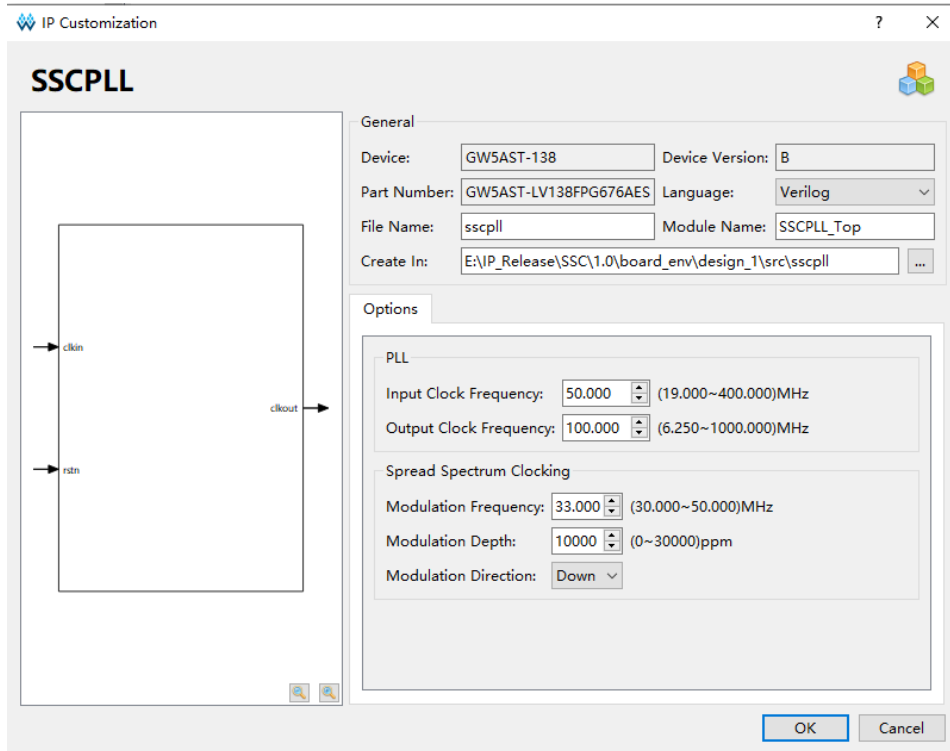
图 5-1 IP Core Generator 界面



2. 打开 IP

双击“Hard Module > CLOCK > SSCPLL”，打开 SSCPLL IP 界面如图 5-2 所示。

图 5-2 SSCPLL 配置界面



- 可通过修改“File Name”，配置产生的 IP 文件名称。
- 可通过修改“Module Name”，配置产生的 IP 顶层模块名称。
- 可通过修改“Options”选项，配置 IP 其他配置。

5.2 配置说明

表 5-1 配置说明

选项	描述
Input Clock Frequency	输入时钟频率，输入范围19~400MHz，保留小数点后3位
Output Clock Frequency	输出时钟频率，输入范围6.25~1000MHz，保留小数点后3位
Modulation Frequency	扩频时调制频率，输入范围30~50KHz，保留小数点后3位
Modulation Depth	扩频时调制深度，输入范围0~30000ppm，整数
Modulation Direction	扩频时调制方向，支持Down和Up两种

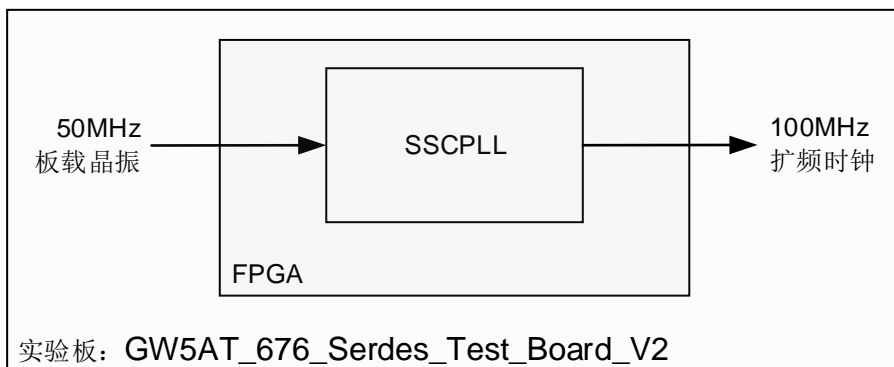
6 参考设计

详细信息请参见高云半导体官网 [SSCPLL IP 参考设计](#)。

6.1 硬件平台

本节介绍在 GW5AT_676_Serdes_Test_Board_V2 上实现 IP 的例程，系统结构如图 6-1，系统由晶振和 IP 两部分组成。

图 6-1 参考设计系统结构



6.2 工作原理

该测试系统时钟由板载晶振提供，工作原理如下：

1. 板载的 50MHz 晶振生成时钟给到 FPGA，作为 SSCPLL IP 的输入时钟。
2. SSCPLL IP 根据参数设置生成 100MHz 的扩频时钟，并将扩频时钟输出到 FPGA 外部。
3. 使用示波器或频谱仪分析输出的扩频时钟，看是否达到要求。
4. 用户可根据自身测试需求更改 SSCPLL IP 以获取所需频率的时钟。

6.3 操作步骤

1. 打开云源软件(Gowin_V1.9.10.03 及以上版本) > 打开例程工程并设置顶层文件 > 编译例程 > 将生成的比特流文件(fpga_project.fs)下载到板卡中。
2. 打开示波器，选择示波器中的某一通道测试 FPGA 输出的扩频时钟。
3. 打开示波器中的 FFT 功能，对测量的时钟进行 FFT 处理，实现时域到频域的转换。
4. 没有进行扩频处理的 100MHz 时钟信号在频域上，大部分的能量都集中在 100MHz 附近，其带宽其实很窄，如图 6-2 所示。
5. SSCPLL IP 输出的 100MHz 扩频时钟信号在频域上，大部分的能量也都集中在 100MHz 附近，但相比之下，其带宽是变宽，如图 6-3 所示。

图 6-2 100MHz 时钟的频域

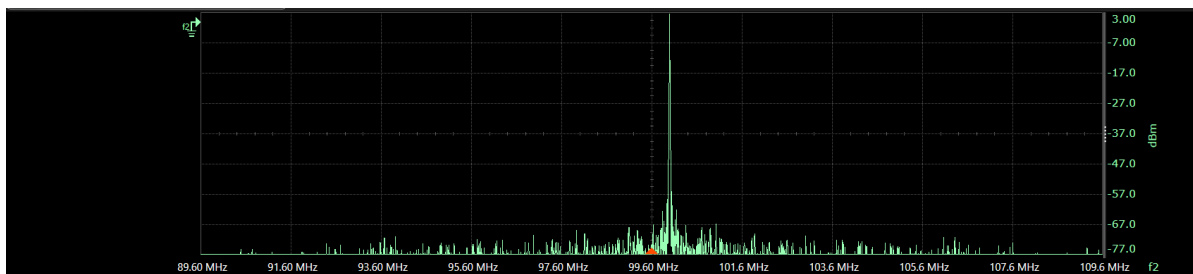
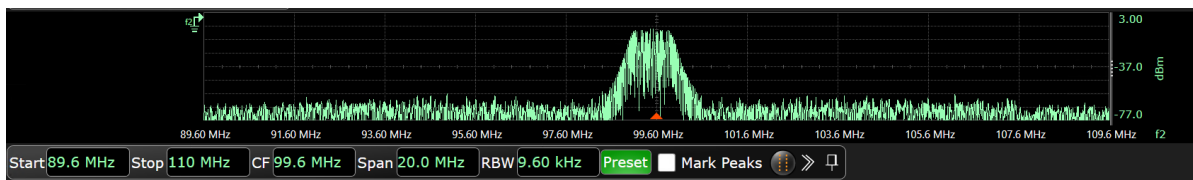


图 6-3 100MHz 扩频时钟的频域



7 文件交付

Gowin SSCPLL IP 交付文件主要包含文档和参考设计。

7.1 文档

文件夹主要包含用户指南 PDF 文档。

表 7-1 文档列表

名称	描述
IPUG1193, Gowin SSCPLL IP用户指南	Gowin SSCPLL IP用户手册

7.2 参考设计

表 7-2 参考设计文件列表

文件名称	描述
top.v	IP例程顶层文件，提供接口信息，不加密
sscp11	SSCPLL IP文件夹，包含SSCPLL的相关文件
fpga.cst	工程物理约束文件

