




Gowin UHS2 PSRAM Memory Interface IP 用户指南

IPUG1194-1.0, 2024-11-22

版权所有 © 2024 广东高云半导体科技股份有限公司

GOWIN高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、Arora-V、GowinPnR、GoBridge 均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其所有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2024/11/22	1.0	初始版本。

目录

图目录.....	iii
表目录.....	iv
1 关于本手册.....	1
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语.....	2
1.4 技术支持与反馈.....	2
2 概述.....	3
3 主要特征与性能.....	4
3.1 主要特征.....	4
3.2 工作频率与带宽效率.....	4
3.3 资源利用.....	4
4 功能描述.....	5
4.1 整体结构.....	5
4.2 MC.....	6
4.3 PHY.....	7
4.3.1 Init 模块.....	7
4.3.2 Data_Channel.....	7
4.3.3 CMD/ADDR_Ctr_Ch.....	7
4.3.4 I/O_Logic.....	7
4.4 主要功能.....	8
4.4.1 初始化.....	8
4.4.2 发送地址、命令.....	8
4.4.3 写数据.....	9
4.4.4 读数据.....	10
4.4.5 Self-refresh 模式.....	10
4.4.6 Half-sleep 模式.....	11
5 端口列表.....	12
6 参数配置.....	15
6.1 参数说明.....	16

6.1.1 Wrap Enable.....	16
6.1.2 Auto-precharge.....	17
6.1.3 PRA Enable.....	17
6.1.4 Debug Parameter1 Value.....	17
7 界面配置.....	19
8 参考设计.....	23
9 文件交付.....	25
9.1 文档.....	25
9.2 参考设计.....	25

图目录

图 4-1 Gowin UHS2 PSRAM Memory Interface IP 结构图.....	5
图 4-2 MC 基本结构图.....	6
图 4-3 PHY 基本结构图.....	7
图 4-4 初始化完成信号时序图.....	8
图 4-5 命令、地址、写数据时序图.....	9
图 4-6 写数据端口时序图.....	10
图 4-7 读数据端口时序图.....	10
图 4-8 Self-refresh 模式请求和响应时序图.....	11
图 4-9 Half-sleep 模式请求和响应时序图.....	11
图 6-1 O_apsram_ck、IO_apsram_dqs 初始相位关系图.....	18
图 6-2 将 dll_step 信号添加至 GAO.....	18
图 6-3 查看 dll_step 的值.....	18
图 7-1 打开 IP Core Generator.....	19
图 7-2 打开 UHS2 PSRAM Memory Interface IP 核.....	20
图 7-3 IP 核端口示意图.....	21
图 7-4 配置界面.....	22
图 8-1 参考设计基本结构框图.....	23

表目录

表 1-1 术语、缩略语.....	2
表 2-1 Gowin UHS2 PSRAM Memory Interface.....	3
表 3-1 资源利用.....	4
表 4-1 地址映射关系	8
表 4-2 cmd 命令.....	9
表 5-1 Gowin UHS2 PSRAM Memory Interface IP 的 IO 端口列表.....	12
表 6-1 Gowin UHS2 PSRAM Memory Interface 的静态参数选项.....	15
表 6-2 Wrap Enable 使用规范.....	16
表 6-3 Auto-precharge 使用规范.....	17
表 6-4 PRA Enable 使用规范.....	17
表 8-1 输入端口列表.....	23
表 9-1 文档列表	25
表 9-2 Ref.Design 文件夹内容列表.....	25

1 关于本手册

1.1 手册内容

Gowin UHS2 PSRAM Memory Interface IP 用户指南主要内容包括 IP 的特征与功能描述、端口说明、时序说明、配置调用、参考设计等，旨在帮助用户快速了解该 IP 的产品特性、特点及使用方法。本手册中的软件界面截图参考的是 1.9.10.03 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

注!

Gowin UHS2 PSRAM Memory Interface IP 支持的 PSRAM 内存芯片型号为 AP26408A-OKX，该内存芯片内嵌在下列器件中：

- GW5AR-LV25UG256P
- GW5ART-LV15CM90P
- GW5ART-LV15MG132P

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [SUG100, Gowin 云源软件用户指南](#)
- [DS1108, GW5AR 系列 FPGA 产品数据手册](#)
- [DS1118, GW5ART 系列 FPGA 产品数据手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
ALU	Arithmetic Logic Unit	算术逻辑单元
IP	Intellectual Property	知识产权
LUT	Look-up Table	查找表
MR	Mode Register	模式寄存器
nB	n Byte	n 字节
PSRAM	Pseudo Static Random Access Memory	伪静态随机存储器
RAM	Random Access Memory	随机存取存储器

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

Gowin UHS2 PSRAM Memory Interface IP 可以访问的 PSRAM 内存芯片型号为 AP26408A-OKX。IP 包含内存控制逻辑(Memory Controller Logic, MC)与物理层接口(Physical Interface, PHY)两部分, 为用户提供命令接口, 与 AP26408A-OKX 互连, 完成用户的访存需求。

表 2-1 Gowin UHS2 PSRAM Memory Interface

Gowin UHS2 PSRAM Memory Interface IP	
逻辑资源	请参见表 3-1。
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software(1.9.10.03 及以上)

注!

可登录 [高云半导体网站](#) 查看芯片支持信息。

3 主要特征与性能

3.1 主要特征

- 支持的 PSRAM 内存芯片型号为 AP26408A-OKX，数据宽度为 8 bits
- 支持 Array write/read 与 Array linear write/read 模式
- 支持固定突发和可变突发，固定突发长度为 16B、32B、64B 和 128B；可变突发长度最小 8B，最大 2048B
- IP 系统主时钟与 PSRAM 接口时钟的比例为 1:4
- 支持初始“读_写”延时配置：24_12/20_10/16_6/13_5/9_5
- 支持 Self-refresh 模式
- 支持 Half-sleep 模式
- 可配置的驱动强度
- 可配置的判决电平 Trim 值
- 最大工作速率 1066 Mbps

3.2 工作频率与带宽效率

- 当前版本最高工作数据速率 1066 Mbps
- 突发长度越高，带宽效率越大，当突发长度为 2048B 时，效率可达 92%

3.3 资源利用

Gowin UHS2 PSRAM Memory Interface IP 通过 Verilog 语言实现，当选择 GW5AR-LV25UG256P 时，其资源利用情况如表 3-1 所示。

表 3-1 资源利用

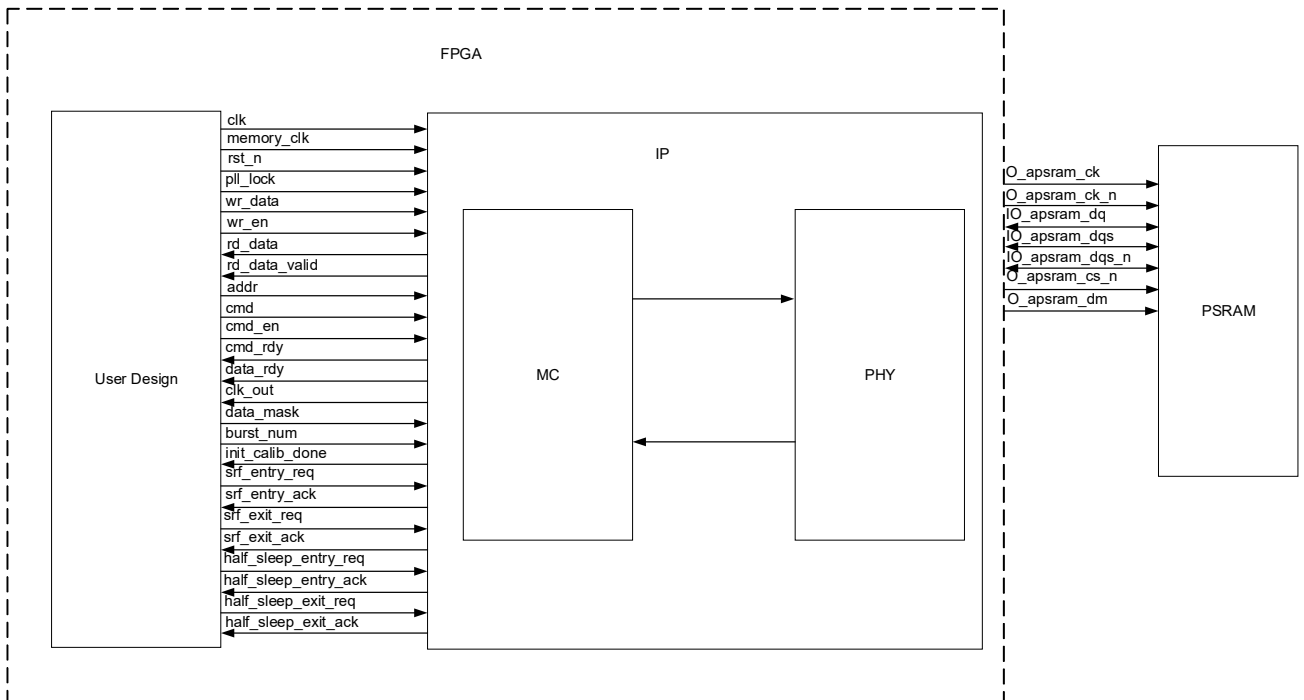
FPGA	REGs	LUT	ALU	BSRAM
GW5AR-LV25UG256P	1266	1277	43	4

4 功能描述

4.1 整体结构

Gowin UHS2 PSRAM Memory Interface IP 基本结构如图 4-1 所示，主要包含 Memory Controller Logic(MC)、Physical Interface(PHY)等模块，图中的 User Design 是符合 IP 用户端接口协议的用户设计。

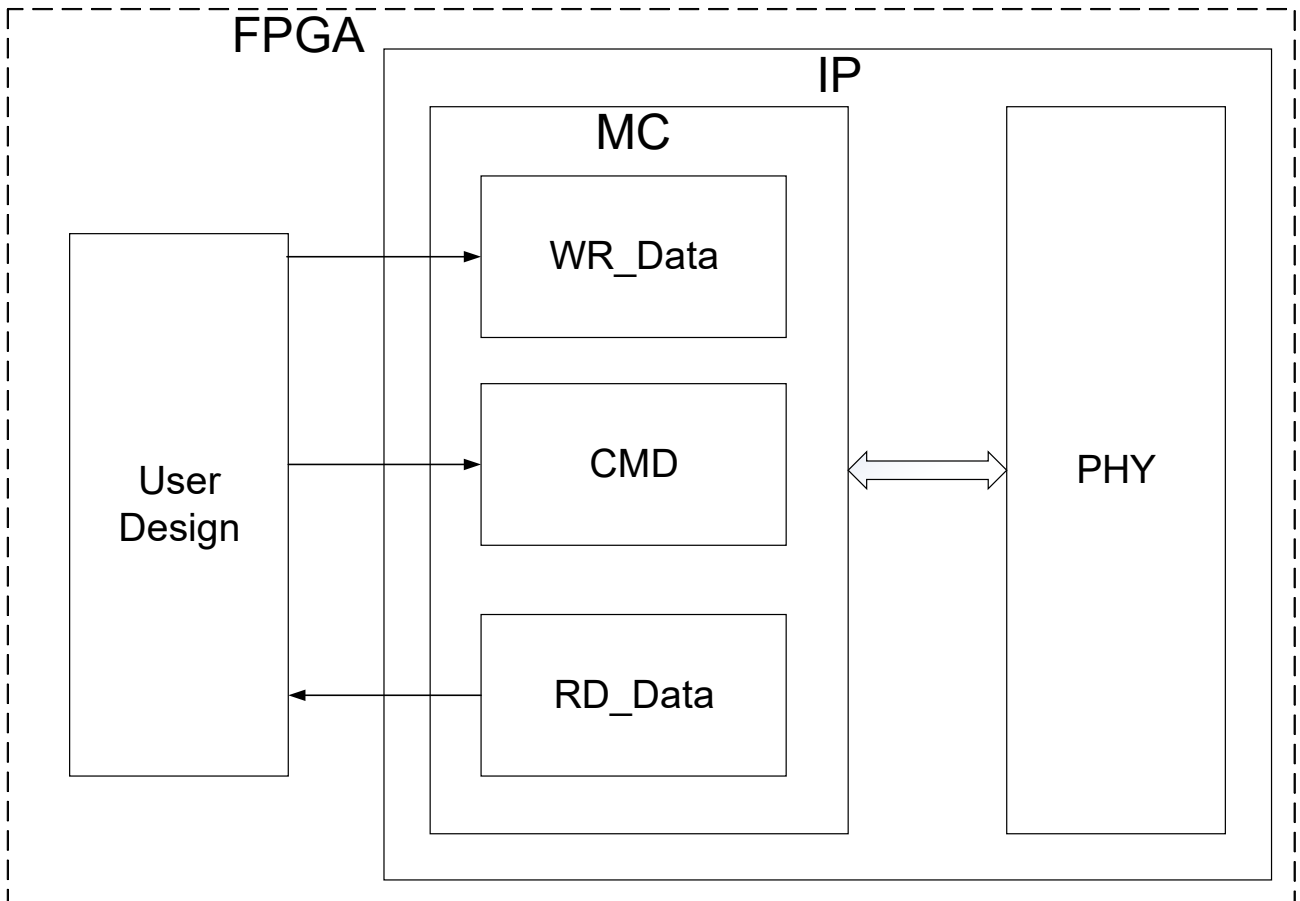
图 4-1 Gowin UHS2 PSRAM Memory Interface IP 结构图



4.2 MC

MC 是 IP 的 Controller，由 CMD(命令)、WR_Data(写数据)、RD_Data(读数据)等模块组成。CMD 与 WR_Data 接收、缓存来自用户的命令和数据，并将经过逻辑处理后的命令和数据发送到 PHY。RD_Data 接收颗粒返回的数据并输出给用户端，MC 结构如图 4-2 所示。

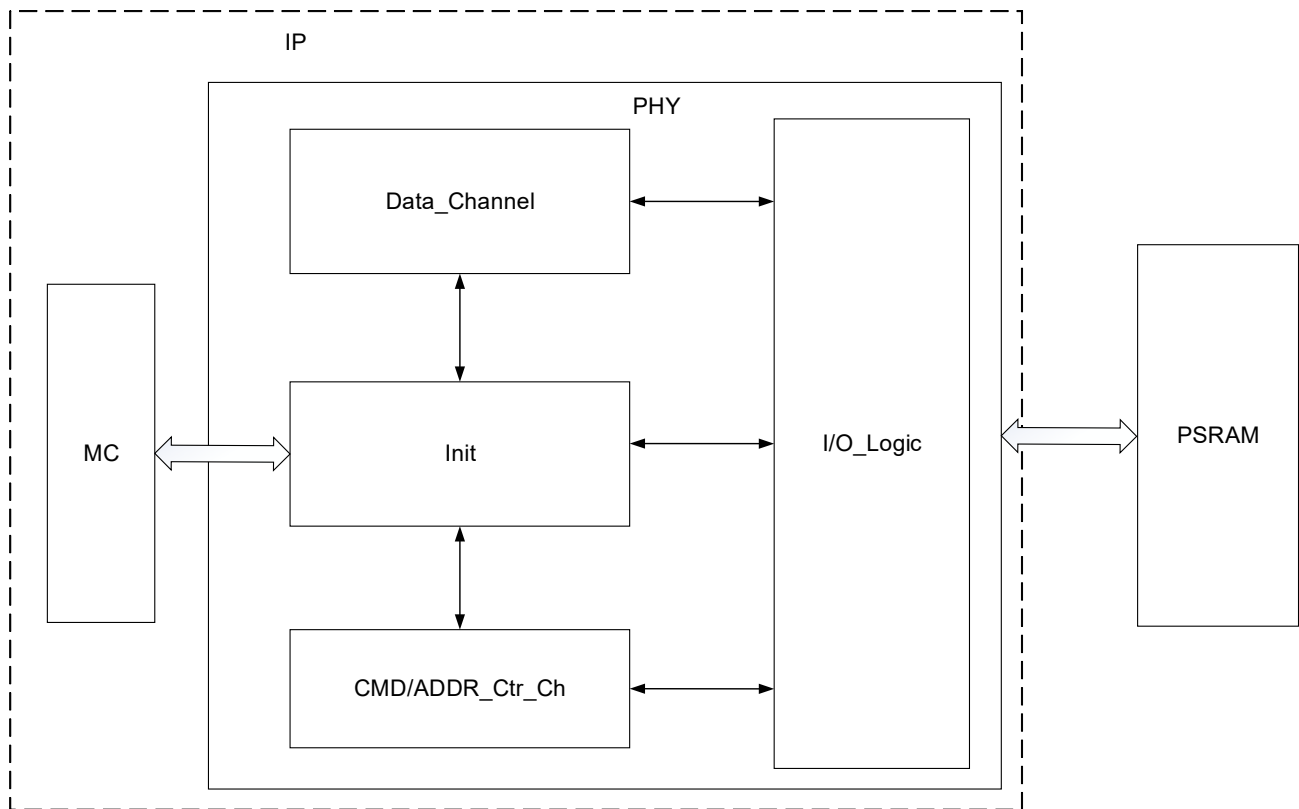
图 4-2 MC 基本结构图



4.3 PHY

PHY 提供了 MC 与 PSRAM 的物理层定义与接口，基本结构如图 4-3 所示，主要包括 Init(初始化)、Data_Channel（数据通路）、CMD/ADDR_Ctr_Ch（命令/地址控制通路）和 I/O_Logic（输入/输出逻辑）四个模块。

图 4-3 PHY 基本结构图



4.3.1 Init 模块

Init 模块主要完成 PSRAM 上电后的初始化，包括 PSRAM 的复位，MR 的配置及读校准等过程，初始化完成后可进行用户操作。信号“init_calib_done”由低变高时指示初始化完成。

4.3.2 Data_Channel

Data_Channel 模块为写、读数据提供通道。

4.3.3 CMD/ADDR_Ctr_Ch

CMD/ADDR_Ctr_Ch 模块接收来自 MC 的命令与地址，并与 Data_Channel 配合，处理写、读数据时延参数，将处理后的数据发送到 I/O_Logic。

4.3.4 I/O_Logic

I/O_Logic 模块主要是对来自 Data_Channel、CMD/ADDR_Ctr_Ch、PSRAM 的数据、命令、地址等进行时钟域的转换。

4.4 主要功能

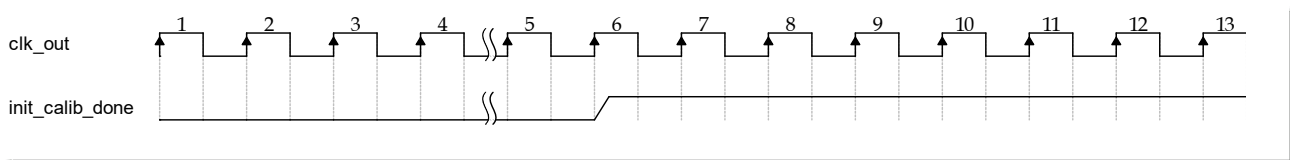
Gowin UHS2 PSRAM Memory Interface IP 可实现以下功能：

- 初始化
- 发送地址、命令
- 写数据
- 读数据
- Self-refresh 模式
- Half-sleep 模式

4.4.1 初始化

上电后，PHY 首先对 PSRAM 进行初始化操作。“init_calib_done”拉高指示初始化完成，如图 4-4 所示，之后用户可以正常访问 IP。

图 4-4 初始化完成信号时序图



4.4.2 发送地址、命令

用户可通过 addr、cmd、cmd_en 等用户端口发送地址、读/写命令。

- addr 为地址端口，即每次突发访问的起始地址。

addr 与 PSRAM 的 Row、Column address 存在一定的映射关系见表 4-1。PSRAM 颗粒采用 8-byte 预取结构实现，每次突发访问的 addr 都满足 Column address[2:0]=3'b0，因此用户输入 addr 的值时保持 addr[2:0]=3'b0 即可，且连续写/读操作时，相邻操作的 addr 自加 (burst_num+1)×8。

表 4-1 地址映射关系

addr(User-->IP)	Row/Column address (IP<-->PSRAM)
addr[22:11]	Row address
addr[10:3](configurable)	Column address[10:3]
addr[2:0](unconfigurable)	Column address[2:0]

- cmd 为命令端口，可配置为 array linear read、array linear write、array read、array write 模式，如表 4-2 所示。

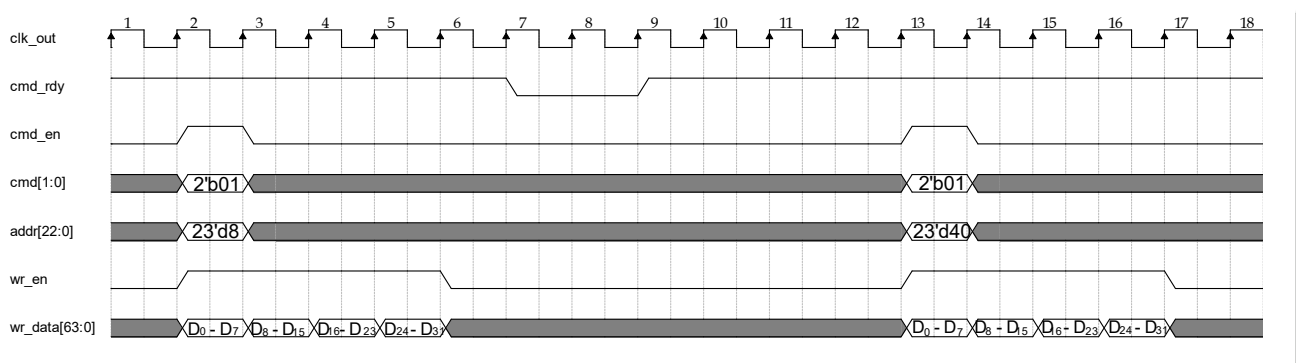
表 4-2 cmd 命令

Write/Read Mode	cmd[1:0]
array linear read	2'b00
array read	2'b10
array linear write	2'b01
array write	2'b11

- cmd_en 为地址与命令使能信号，高电平有效。

cmd_en=1'b1 时，cmd、addr 有效，三者之间的时序如图 4-5 所示。cmd_rdy=1'b1 表示 MC 可以接受用户命令，用户须在 cmd_rdy=1'b1 时发送 cmd_en、addr、cmd 等。

图 4-5 命令、地址、写数据时序图

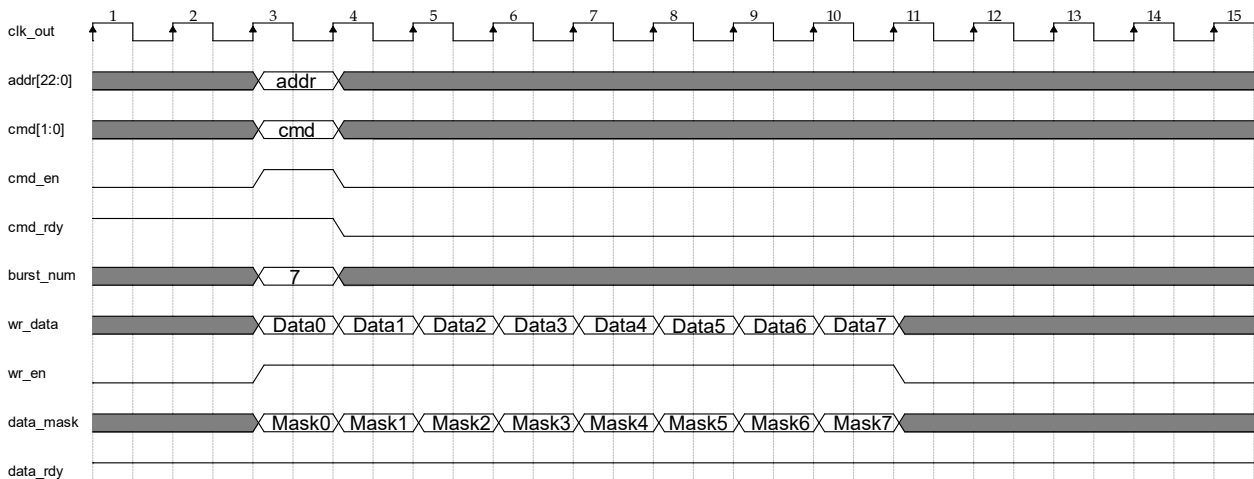


4.4.3 写数据

用户可通过 wr_data、wr_en、burst_num、data_mask 等端口将写数据发送给 IP，时序如图 4-6。写数据经 IP 处理后发送给 PSRAM。

- wr_data 为写数据端口
- wr_en 为写使能信号
- burst_num 为本次突发的 wr_data 数量，最小值为 0，即写 1 个 wr_data；最大为 255，即写 256 个 wr_data
- data_mask 为 wr_data 的掩码信号，“data_mask= 0”表示未启用掩码功能

图 4-6 写数据端口时序图



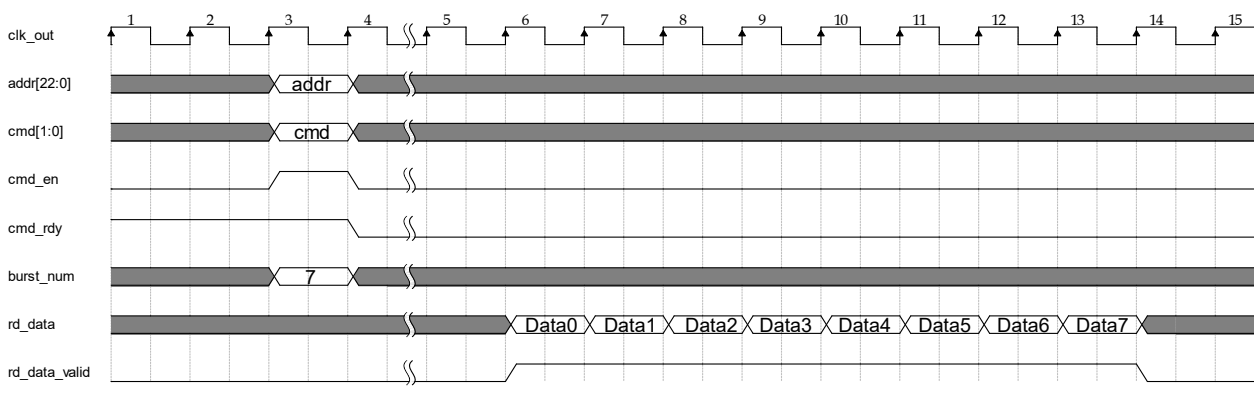
每次写访问时，用户只需在 `addr` 端口写入本次写访问的起始地址，IP 可根据 `addr` 和 `burst_num` 的值自行寻址。本次写访问完成后，下次写访问 `addr` 须自加 $(burst_num+1)*8$ 。

4.4.4 读数据

用户可通过端口 `rd_data`、`rd_data_valid` 读取 PSRAM 返回的数据，如图 4-7。

- `rd_data`: 读数据端口。
- `rd_data_valid`: 读数据有效端口，高电平时，`rd_data` 有效。
- `burst_num` 为本次突发读的 `rd_data` 数量，最小值为 0，即返回 1 个 `rd_data`；最大为 255，即返回 256 个 `rd_data`。

图 4-7 读数据端口时序图



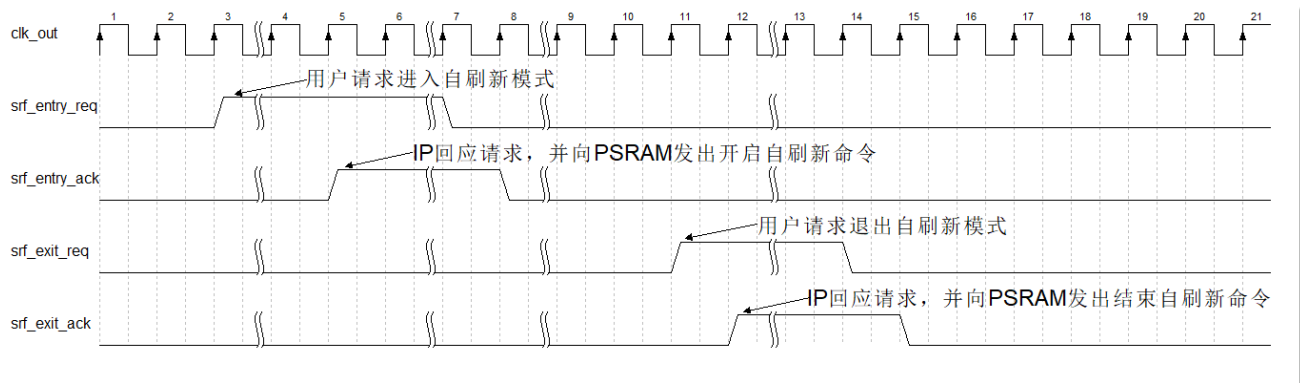
同样地，每次读访问结束后，下一次的读访问 `addr` 须加 $(burst_num+1)*8$ 。

4.4.5 Self-refresh 模式

用户输入“`srf_entry_req=1'b1`”后，IP 向 PSRAM 发送进入“Self-refresh 模式”的命令，同时向用户反馈“`srf_entry_ack=1'b1`”。该模式下，PSRAM 进入省电状态，并保留内存刷新的

功能。如需退出该模式，用户可输入“srf_exit_req=1'b1”，待 IP 反馈“srf_exit_ack=1'b1”后即退出，如图 4-8 所示。

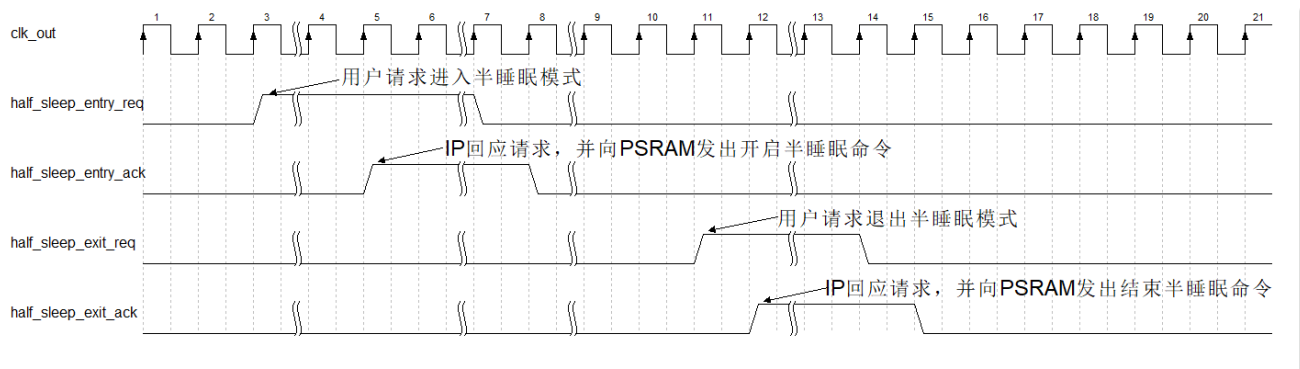
图 4-8 Self-refresh 模式请求和响应时序图



4.4.6 Half-sleep 模式

用户输入“half_sleep_entry_req = 1'b1”后，IP 向 PSRAM 发送进入“Half-sleep 模式”的命令，同时向用户反馈“half_sleep_entry_ack = 1'b1”。该模式下，PSRAM 将刷新操作分组在一起并在不刷新时关闭大多数电路来消耗更少的功率(功耗比自刷新模式更小)。如需退出该模式，用户可输入“half_sleep_exit_req = 1'b1”，待 IP 反馈“half_sleep_exit_ack = 1'b1”后即退出，如图 4-9 所示。

图 4-9 Half-sleep 模式请求和响应时序图



5 端口列表

Gowin UHS2 PSRAM Memory Interface IP 的 I/O 端口如表 5-1 所示。

表 5-1 Gowin UHS2 PSRAM Memory Interface IP 的 IO 端口列表

信号	位宽	方向	描述
User Interface			
addr	ADDR_WIDTH	Input	读/写起始地址
cmd	2	Input	读/写命令
cmd_en	1	Input	命令、地址使能信号： 0: 无效 1: 有效
cmd_rdy	1	Output	cmd 允许写入标志位： 0: 不可写入指令 1: 可以写入指令
rd_data	8*DQ_WIDTH	Output	读数据通道
rd_data_valid	1	Output	rd_data 有效信号： 0: 无效 1: 有效
wr_data	8*DQ_WIDTH	Input	写数据通道
wr_en	1	Input	wr_data 使能信号： 0: 数据无效 1: 数据有效
data_rdy	1	Output	wr_data 允许写入标志位： 0: 不可写入数据 1: 可以写入数据
data_mask	MASK_WIDTH	Input	wr_data 掩码信号： 0: 无效

信号	位宽	方向	描述
data_mask	MASK_WIDTHH	Input	1: 有效
clk	1	Input	参考时钟输入，为连续时钟，可以是板载晶振时钟或 PLL 输出时钟。
init_calib_done	1	Output	初始化完成信号
clk_out	1	Output	IP 逻辑主时钟，频率为 memory_clk 的 1/4。
rst_n	1	Input	用户输入复位信号： 0: 复位 1: 释放复位
memory_clk	1	Input	PSRAM 的工作时钟，由用户输入，一般为 PLL 倍频出来的高速时钟，也可以不使用 PLL。
pll_lock	1	Input	如果 memory_clk 为 PLL 倍频输入，此端口接 PLL 的 pll_lock 管脚；如果用户不使用 PLL，此端口接 1'b1。
burst_num	8	Input	单次突发数量
srf_entry_req	1	Input	进入 Self-refresh 模式请求信号： 0: 无效 1: 有效
srf_entry_ack	1	Output	进入 Self-refresh 模式应答信号： 0: 无效 1: 有效
srf_exit_req	1	Input	退出 Self-refresh 模式请求信号： 0: 无效 1: 有效
srf_exit_ack	1	Output	退出 Self-refresh 模式应答信号： 0: 无效 1: 有效
half_sleep_entry_req	1	Input	进入 Half-sleep 模式请求信号： 0: 无效 1: 有效
half_sleep_entry_ack	1	Output	进入 Half-sleep 模式应答信号： 0: 无效 1: 有效
half_sleep_exit_req	1	Input	退出 Half-sleep 模式请求信号： 0: 无效

信号	位宽	方向	描述
half_sleep_exit_req	1	Input	1: 有效
half_sleep_exit_ack	1	Output	退出 Half-sleep 模式应答信号: 0: 无效 1: 有效
PSRAM Interface			
O_apsram_cs_n	CS_WIDTH	Output	PSRAM 接口片选信号 0: 有效 1: 无效
O_apsram_ck	CS_WIDTH	Output	PSRAM 接口时钟 p 端
O_apsram_ck_n	CS_WIDTH	Output	PSRAM 接口时钟 n 端
O_apsram_dm	CS_WIDTH	Output	PSRAM 接口数据掩码信号 0: 无效 1: 有效
IO_apsram_dq	DQ_WIDTH	Bidirection	PSRAM 接口数据
IO_apsram_dqs	CS_WIDTH	Bidirection	PSRAM 接口数据选通信号 p 端
IO_apsram_dqs_n	CS_WIDTH	Bidirection	PSRAM 接口数据选通信号 n 端

6 参数配置

用户须根据设计要求配置 Gowin UHS2 PSRAM Memory Interface IP 的各个静态参数与时序参数，具体参数如表 6-1 所示。

表 6-1 Gowin UHS2 PSRAM Memory Interface 的静态参数选项

名称	描述	选项
Type 选项		
Memory TYPE	PSRAM 型号	AP26408A-OKX
Clk Ratio	IP 逻辑主时钟与 PSRAM 接口时钟比	1:4, 用户不可选
Memory Clock	PSRAM 的工作时钟	100-533MHz
PsrAm Width	单颗 PSRAM 内存芯片 DQ 位宽	8, 用户不可选
Dq Width	总的 DQ 位宽	8,16 (使用合封的 PSRAM 时, 只能设置到合封器件所支持的 DQ 的最大值)
Addr Width	PSRAM 的地址位宽	23
Row Width	PSRAM 的行地址位宽	12
Data Width	用户数据位宽	8*Dq Width
CS Width	片选位宽	Dq Width/PsrAm Width
Mask Width	掩码位宽	Data Width/PsrAm Width
Simulation	仿真加速按钮	<ul style="list-style-type: none"> 勾选此选项加速仿真 板测时不要勾选
Buffer Type	IP 数据缓存类型	BSRAM、SSRAM、REG
Option 选项		
Burst Length	突发长度	16B、32B、64B、128B, 详见 6.1 参数说明
RW Latency	读_写延时	读初始延迟 写初始延迟 PSRAM 的最大时钟频率 24 12 533MHz

名称	描述	选项	
RW Latency	读_写延时	20 10 533MHz 16 6 400MHz 13 5 300MHz 9 5 200MHz	
PRA Enable	Page Read Access 使能	OFF、ON	详见 6.1 参数说明
Wrap Enable	Wrap 使能	OFF、ON	
Auto-precharge	自动预充电	OFF、ON	
VREF Trim	PSRAM 颗粒读取 DQ 数据的判决电平	60.00、59.00、57.90、56.78、55.56、54.28、52.94、51.50、50.00、48.33、46.67、44.83、42.83、40.72、38.44	
Drive Strength	驱动强度	18ohm、40ohm	
tREFI	Refresh rate	7800000 (7.8us)	
Debug 选项			
Debug Parameter1 Value	相移参数 1	8'h0~8'hFF、16'h0~16'hFFFF 详见 6.1.4 Debug Parameter1 Value	

6.1 参数说明

Wrap Enable、Auto-precharge、PRA Enable 等参数的使用见表 6-2、表 6-3、表 6-4。

6.1.1 Wrap Enable

表 6-2 Wrap Enable 使用规范

Operating ommand	Wrap Enable	Burst Length	Example of Bytes Sequence (starting address from 8)
Array write/read	OFF	8B-2KB	[8,9,10,...,2047,0,1,...,7]
	ON	16B	[8,9,10,...,15,0,1,...,7]
		32B	[8,9,10,...,31,0,1,...,7]
		64B	[8,9,10,...,63,0,1,...,7]
		128B	[8,9,10,...,127,0,1,...,7]
Array liner write/read	OFF/ON	8B-2KB	[8,9,10,...,2047,0,1,...,7]

6.1.2 Auto-precharge

表 6-3 Auto-precharge 使用规范

Operating Command	Auto-precharge	Wrap Enable	Burst Length	Example of Bytes Sequence (starting address from 8)
Array read	ON	OFF	16B(sequential)	[8,9,...,22,23](no loop)
			32B(sequential)	[8,9,...,38,39] (no loop)
			64B(sequential)	[8,9,...,70,71] (no loop)
			128B(sequential)	[8,9,...,134,135] (no loop)
		ON	16B(wrap)	[8,9,...,15,0,1,...,7](loop)
			32B(wrap)	[8,9,...,31,0,1,...,7] (loop)
			64B(wrap)	[8,9,...,63,0,1,...,7] (loop)
			128B(wrap)	[8,9,...,127,0,1,...,7] (loop)
Array liner read	OFF	OFF/ON	8B-2KB(sequential)	[8,9,10,...,2047,0,1,...,7]
	ON	OFF/ON	16B(sequential)	[8,9,...,22,23](no loop)
			32B(sequential)	[8,9,...,38,39] (no loop)
			64B(sequential)	[8,9,...,70,71] (no loop)
			128B(sequential)	[8,9,...,134,135] (no loop)

6.1.3 PRA Enable

表 6-4 PRA Enable 使用规范

Operating Command	PRA Enable(ON)			
	Auto-precharge(OFF)		Auto-precharge(ON)	
	Wrap Enable(OFF)	Wrap Enable(ON)	Wrap Enable(OFF)	Wrap Enable(ON)
Array read	8B-2KB(sequential)	16B/32B/64B/128B(wrap)	128B(sequential)	128B(wrap)
Array Liner read	8B-2KB(sequential)		16B/32B/64B/128B(sequential)	

6.1.4 Debug Parameter1 Value

写访问时，该参数用于调整 IO_apsram_dqs 与 O_apsram_ck 的相位差。若选择颗粒的数量为 2，则该参数为 16 位，低 8 位和高 8 位分别驱动颗粒 1、颗粒 2，该参数取值范围为 16'h0000-16'hFFFF。当该参数为 0 时，IO_apsram_dqs 的上升沿对齐 O_apsram_ck 的低电平中间位置，如图 6-1 所示。

若用户设定 Debug Parameter1 Value 的值为 n，则 IO_apsram_dqs 根据用户给定的值相对于 O_apsram_ck 向右移动 n×步进值。

用户可通过 GAO 添加并查看 `dll_step`(如图 6-2、图 6-3 所示)来计算步进值, `dll_step` 是对应 `memory_clk` 周期 1/4 所映射的值, 步进值 = $\frac{1}{f} \div 4 \div dll_step$, 步进值单位 ps, f 为 `memory_clk` 的频率。图 6-2、图 6-3 中工程的 `memory_clk` 为 533MHz, 则步进值 = 15.6ps。

图 6-1 O_apsram_ck、IO_apsram_dqs 初始相位关系图

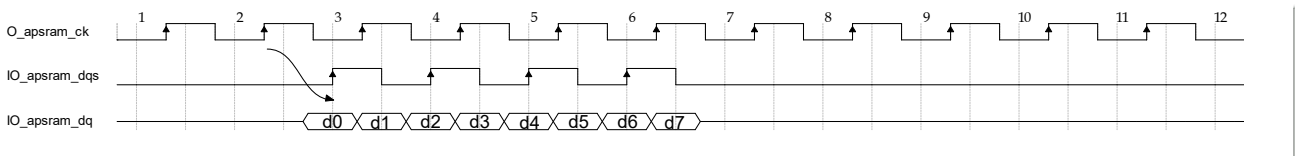


图 6-2 将 `dll_step` 信号添加至 GAO

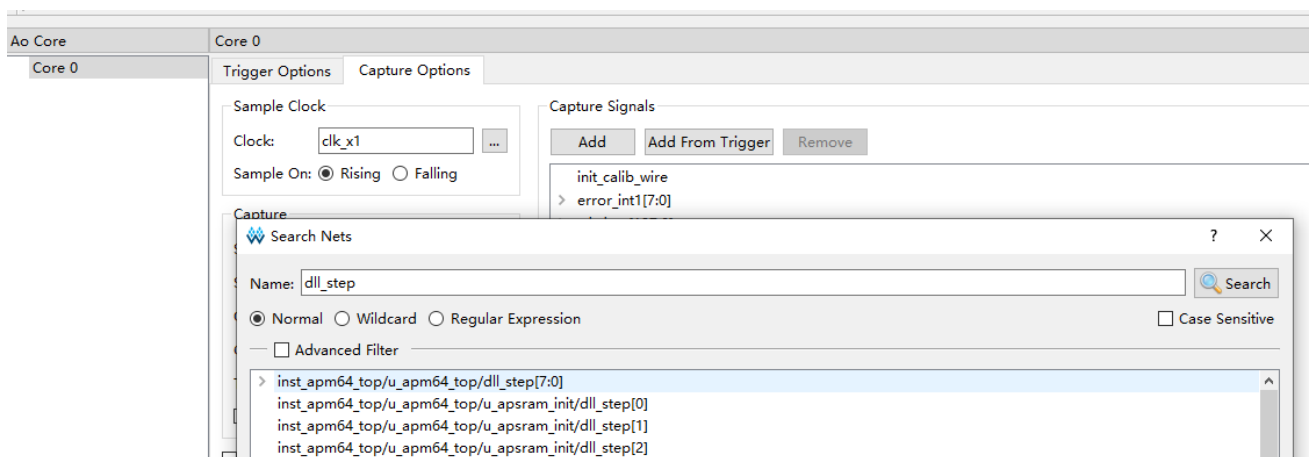
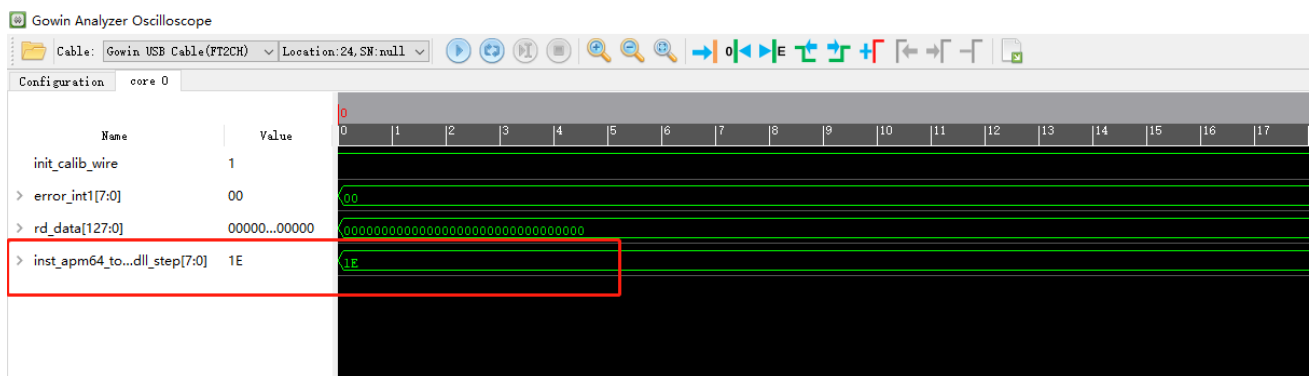


图 6-3 查看 `dll_step` 的值



7 界面配置

用户可在高云半导体云源软件中的 IP Core Generator 工具调用并配置 Gowin UHS2 PSRAM Memory Interface IP。本章节介绍了主要配置界面、配置流程以及各配置选项含义。

1. 打开 IP Core Generator。


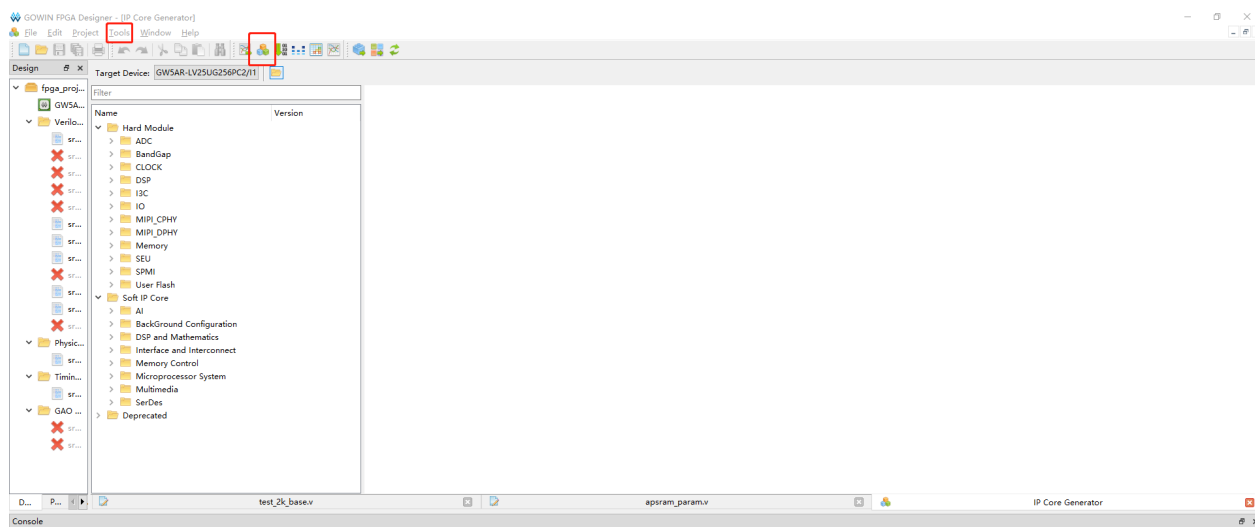
用户建立工程后，单击菜单栏“Tools”选项，选择 IP Core Generator，或者直接单击工具栏的“”图标，即可打开 Gowin 的 IP 核产生工具，如图 7-1 所示。

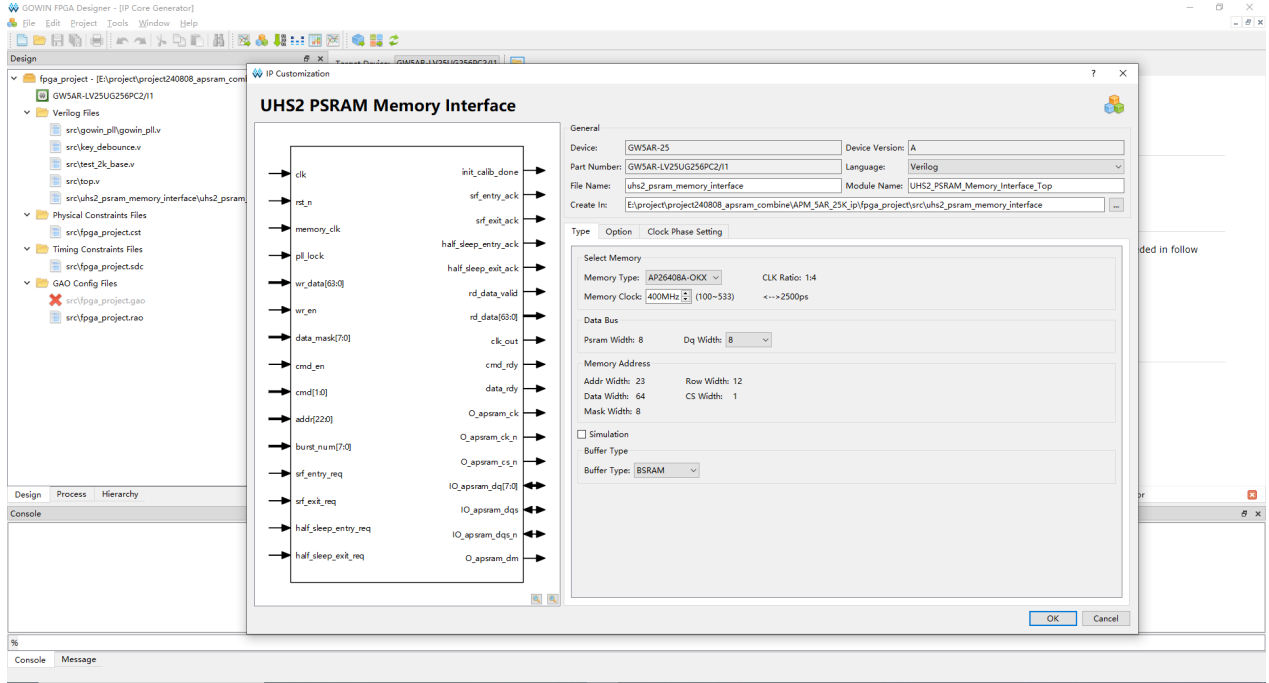
图 7-1 打开 IP Core Generator



2. 打开 UHS2 PSRAM Memory Interface IP 核。

单击“Soft IP Core > Memory Cotrol > PSRAM Memory Interface”，双击“UHS2 PSRAM Memory Interface”，打开 IP 核的配置界面，如图 7-2 所示。

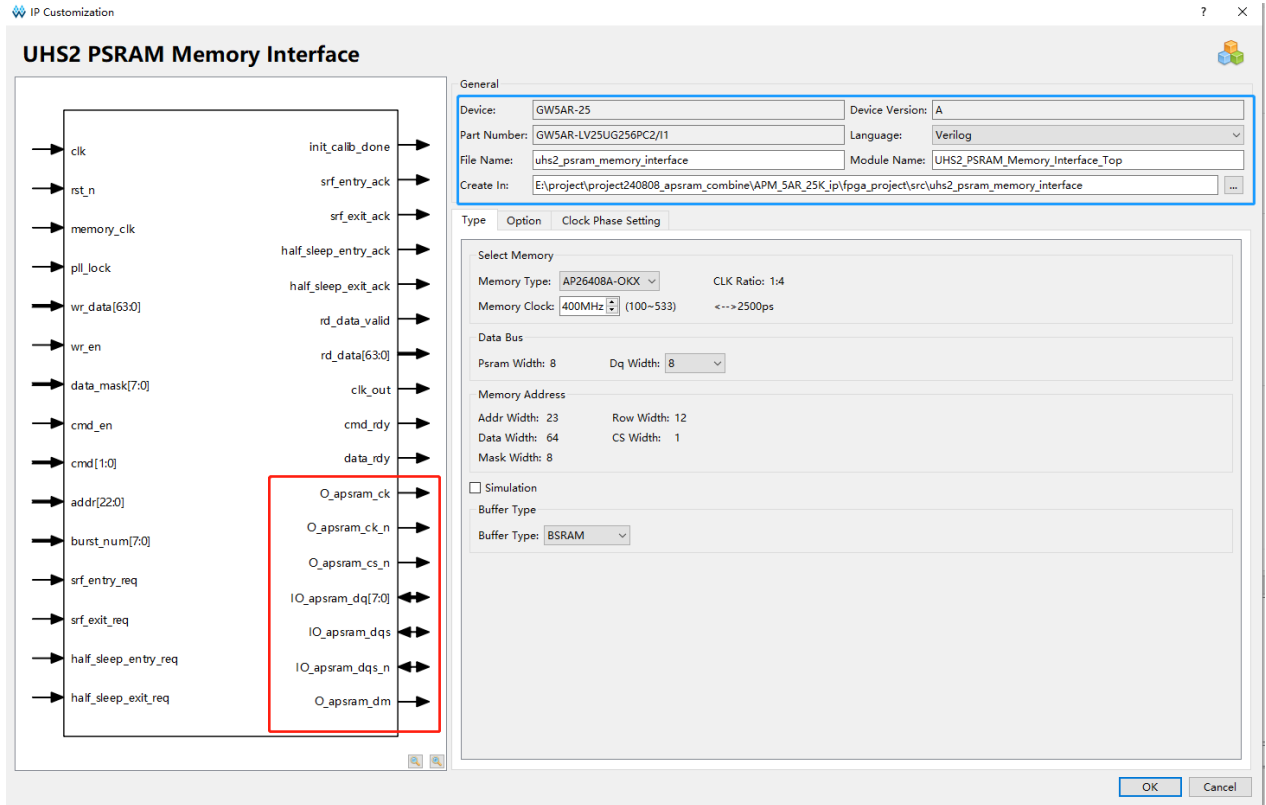
图 7-2 打开 UHS2 PSRAM Memory Interface IP 核



3. UHS2 PSRAM Memory Interface IP 核端口界面。

红色框内是 IP 与 PSRAM 的接口部分，如图 7-3 所示。用户使用不同的配置信息，端口示意图中的信号位宽将会随之改变。

图 7-3 IP 核端口示意图



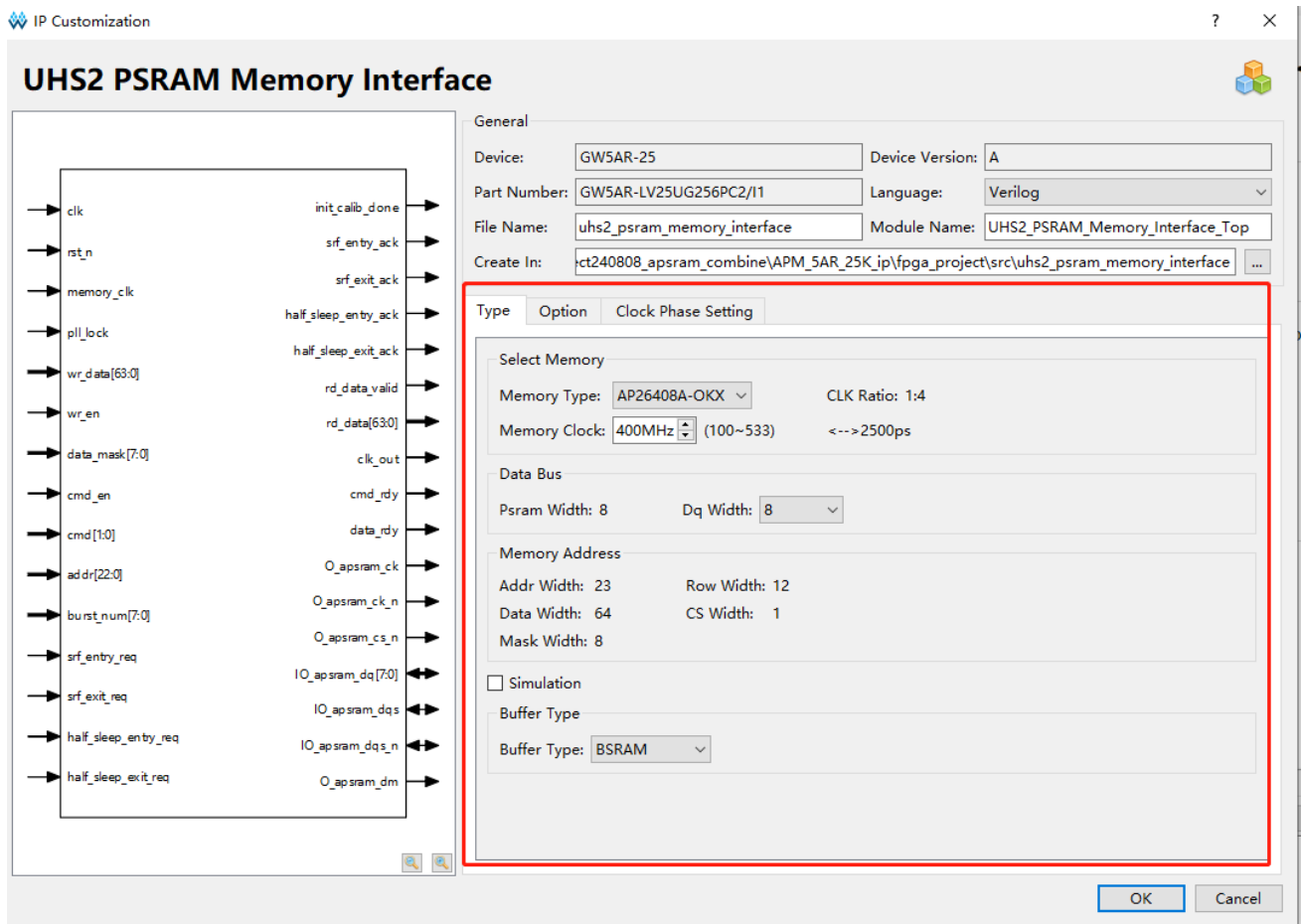
4. 配置基本信息。

图 7-3 中蓝色框内是工程基本信息配置界面，本手册以选择器件 GW5AR-LV25UG256PC2/I1 为例。

- “Module Name”选项后面是工程产生后顶层文件的名称，默认为“UHS2_PSRAM_Memory_Interface_Top”，用户可自行修改。
- “File Name”是 IP 核文件产生的文件夹，存放 UHS2 PSRAM Memory Interface IP 核所需文件，默认为“uhs2_psram_memory_interface”，用户可自行修改。
- “Creat In”选项是 IP 核文件夹产生路径，默认为“\工程路径\src\uhs2_psram_memory_interface”，用户可自行修改。

IP 配置界面如图 7-4 所示。

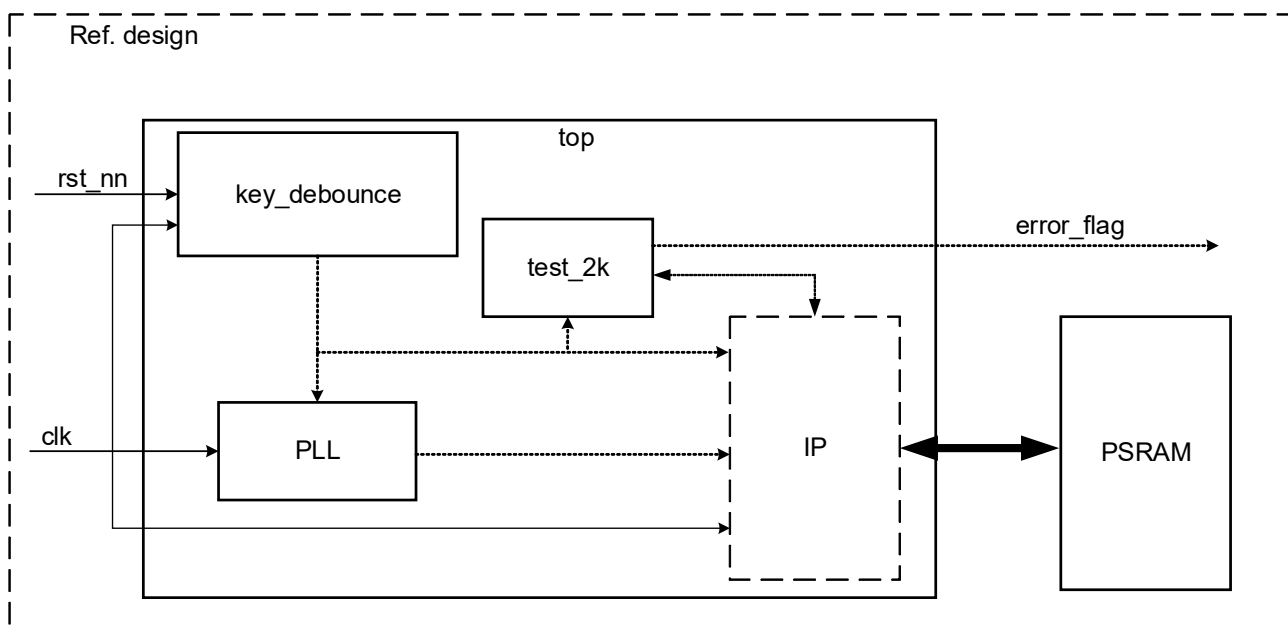
图 7-4 配置界面



8 参考设计

为方便用户快速熟悉并使用 Gowin UHS2 PSRAM Memory Interface IP，手册提供了一个简单的参考设计，参考设计基本结构如图 8-1 所示。

图 8-1 参考设计基本结构框图



各模块功能如下所示：

- **Key_debounce**: 用于消除由按键或拨码开关控制外部激励时产生的信号抖动，并生成全局复位信号。
- **test_2k**: 生成读/写时序、写数据与使能信号，并检测 PSRAM 返回 IP 的数据是否有误。
- **PLL**: 倍频 Memory Colock 等。

表 8-1 输入端口列表

名称	描述
clk	输入参考时钟，默认 50MHz

名称	描述
rst_nn	输入复位信号

test_2k 等待 IP 初始化完成后，自动循环读写，对不同地址进行读写操作，并且每次突发长度自定增加，遍历所有突发情况，对 IP 返回的读数据进行分析验证，并输出检测信号，当 error_flag 信号拉高表示有误码，反之没有误码。

9 文件交付

Gowin UHS2 PSRAM Memory Interface IP 交付文件主要包含文档和参考设计。

9.1 文档

文件夹主要包含用户指南 PDF 文档。

表 9-1 文档列表

名称	描述
IPUG1194, Gowin UHS2 PSRAM Memory Interface IP 用户指南	Gowin UHS2 PSRAM Memory Interface IP 用户手册，即本手册。

9.2 参考设计

Ref. Design 文件夹主要包含 Gowin UHS2 PSRAM Memory Interface IP 的网表文件，用户参考设计，约束文件、消抖模块、顶层文件及工程文件夹等。

表 9-2 Ref.Design 文件夹内容列表

名称	描述
top.v	参考设计的顶层 module
key_debounce.v	按键消抖模块
test_2k.v	测试激励产生模块
UHS2_PSRAM_Memory_Interface.vo	Gowin UHS PSRAM Memory Interface IP 网表文件
psram.cst	参考设计工程物理约束文件
psram.sdc	参考设计工程时序约束文件
psram.gao	参考设计工程 gao 文件
UHS2_PSRAM_Memory_Interface	IP 核文件夹

