Gowin UHS2 PSRAM Memory Interface IP

用户指南

IPUG1194-1.1,2025-03-07

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、 、Gowin、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和／或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2024/11/06	1.0	初始版本。
2025/03/07	1.1	● 更新 4.3PHY 描述； ● 更新 6 参数配置描述； ● 更新 7 界面配置描述。

目录

目录 i
图目录 iii
表目录 iv
1 关于本手册 1
1.1 手册内容 1
1.2 相关文档 1
1.3 术语、缩略语 1
1.4 技术支持与反馈 2
2 概述 3
3 主要特征与性能 4
3.1 主要特征 4
3.2 工作频率与带宽效率 4
3.3 资源利用 4
4 功能描述 5
4.1 整体结构 5
4.2 MC 5
4.3 PHY 6
4.3.1 Init 模块 7
4.3.2 Data_Channel 模块 7
4.3.3 CMD/ADDR_Ctr_Ch 模块 7
4.3.4 I/O_Logic 模块 7
4.4 功能及用户接口 7
4.4.1 初始化 7
4.4.2 发送地址、命令和 burst_num 7
4.4.3 写数据 9
4.4.4 读数据 10
4.4.5 Self-refresh 模式 10
4.4.6 Half-sleep 模式 11
5 端口列表 12

6 参数配置 15
6.1 参数说明 15
6.2 Wrap Enable、Wrap Length 、Auto-precharge、PRA Enable 16
6.2.1 配置 1 和配置 2 16
6.2.2 配置 3 和配置 4 17
6.2.3 配置 5、配置 6、配置 7 和配置 8 18
6.3 Clock Phase Setting Parameter1 Value 19
7 界面配置 21
7.1 IP 配置及生成步骤 21
7.2 VCCX 电压配置 24
8 参考设计 25
9 文件交付 26
9.1 文档 26
9.2 参考设计 26

图目录

图 4-1 Gowin UHS2 PSRAM Memory Interface IP 结构图 5
图 4-2 MC 基本结构图 6
图 4-3 PHY 基本结构图 6
图 4-4 初始化完成信号时序图 7
图 4-5 命令、地址时序图 8
图 4-6 写数据端口时序图 9
图 4-7 data_mask 与读/写数据关系图 10
图 4-8 读数据端口时序图 10
图 4-9 Self-refresh 模式请求和响应时序图 10
图 4-10 Half-sleep 模式请求和响应时序图 11
图 6-1 O_apsram_ck、IO_apsram_dqs 初始相位关系图 19
图 6-2 将 dll_step 信号添加至 gao 20
图 6-3 查看 dll_step 的值 20
图 7-1 打开 IP Core Generator 21
图 7-2 打开 UHS2 PSRAM Memory Interface IP 核 22
图 7-3 IP 配置选项 23
图 7-4 VCCX 配置界面 24
图 8-1 参考设计基本结构框图 25

表目录

表 1-1 术语、缩略语 1
表 2-1 Gowin UHS2 PSRAM Memory Interface IP 3
表 3-1 资源利用情况 4
表 4-1 用户接口 addr 与 PSRAM 地址映射表 8
表 4-2 cmd 命令 8
表 5-1 Gowin UHS2 PSRAM Memory Interface IP 的 IO 端口列表 12
表 6-1 Gowin UHS2 PSRAM Memory Interface 的静态参数选项 15
表 6-2 array linear write/read 和 array write/read 命令突发类型 17
表 6-3array read 和 array linear read 命令突发类型 18
表 6-4 array read 命令的突发类型 19
表 8-1 输入端口列表 25
表 9-1 文档列表 26
表 9-2 Ref. Design 文件夹内容列表 26

1 关于本手册

1.1 手册内容

Gowin UHS2 PSRAM Memory Interface IP 用户指南主要内容包括 IP 的特征与功能描述、端口说明、时序说明、配置调用、参考设计等，旨在帮助用户快速了解该 IP 的产品特性、特点及使用方法。本手册中的软件界面截图参考的是 1.9.11.01 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- SUG100，Gowin 云源软件用户指南
- DS1108, GW5AR 系列 FPGA 产品数据手册
- DS1118，GW5ART 系列 FPGA 产品数据手册
- UG1120，GW5ART-15 器件 Pinout 手册

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
ALU	Arithmetic Logic Unit	算数逻辑单元
IP	Intellectual Property	知识产权
LUT	Look-up Tables	查找表
MR	Mode register	模式寄存器
PSRAM	Pseudo Static Random Access Memory	伪静态随机存储器
RAM	Random Access Memory	随机存取存储器

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel：+86 755 8262 0391

2 概述

Gowin UHS2 PSRAM Memory Interface IP 可以访问的 PSRAM 内存芯片型号为 AP26408A-OKX。IP 包含内存控制逻辑(Memory Controller Logic，MC)与物理层接口(Physical Interface，PHY)两部分，为用户提供命令接口，与 AP26408A-OKX 互连，完成用户的访存需求。

表 2-1 Gowin UHS2 PSRAM Memory Interface IP

Gowin UHS2 PSRAM Memory Interface IP	
逻辑资源	请参见表3-1
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software(1.9.11.01及以上)

注！

可登录高云半导体网站查看芯片支持信息。

3 主要特征与性能

3.1 主要特征

- 支持的 PSRAM 内存芯片型号为 AP26408A-OKX，数据宽度为 8 bits。
- 支持 Array write/read 与 Array linear write/read 模式。
- 支持固定突发和可变突发，固定突发长度为 16B、32B、64B 和 128B。可变突发长度最小 8B，最大 2048B。
- IP 系统主时钟与 PSRAM 接口时钟的比例为 1:4。
- 支持初始“读_写”延时配置：24_12/20_10/16_6/13_5/9_5。
- 支持 Self-refresh 模式。
- 支持 Half-sleep 模式。
- 可配置的驱动强度。
- 可配置的判决电平 Trim 值。
- 最大工作速率 1066Mbps。

3.2 工作频率与带宽效率

- 当前版本最高工作数据速率 1066M bps。
- 突发长度越大，带宽效率越高，当突发长度为 2048B 时，效率可达 92%。

3.3 资源利用

Gowin UHS2 PSRAM Memory Interface IP 通过 Verilog 语言实现，当选择 GW5AR-LV25UG256P 时，其资源利用情况如表 3-1 所示。

表 3-1 资源利用情况

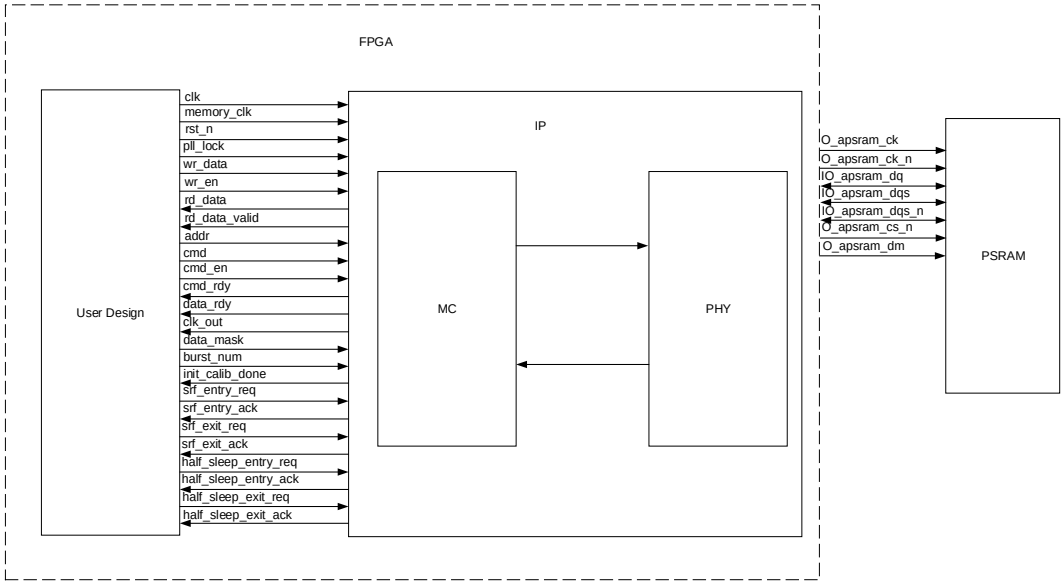
FPGA	REGs	LUT	ALU	BSRAM
GW5AR-LV25UG256P	1266	1277	43	4

4 功能描述

4.1 整体结构

Gowin UHS2 PSRAM Memory Interface IP 基本结构如图 4-1 所示，主要包含 Memory Controller Logic(MC)、Physical Interface(PHY)等模块，图中的 User Design 是符合 IP 用户端接口协议的用户设计。

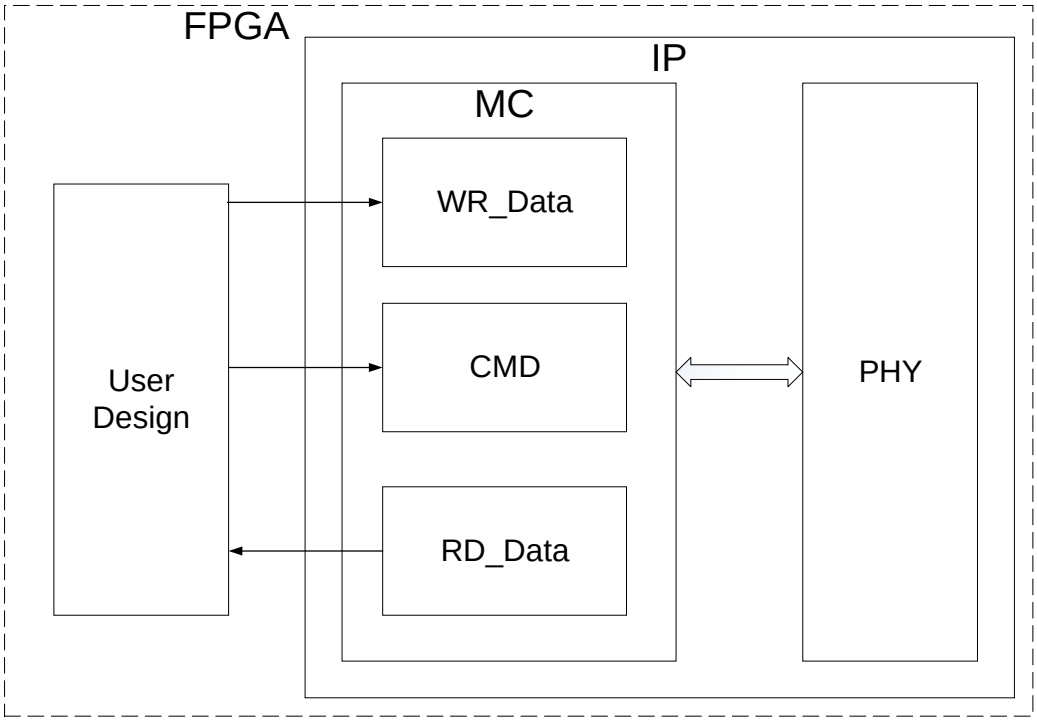
图 4-1 Gowin UHS2 PSRAM Memory Interface IP 结构图



4.2 MC

MC 是 IP 的 Controller，由 CMD(命令)、WR_Data(写数据)、RD_Data(读数据)等模块组成。CMD 与 WR_Data 接收、缓存来自用户的命令和数据，并将经过逻辑处理后的命令和数据发送到 PHY。RD_Data 接收 PHY 返回的数据并输出给用户端。MC 结构如图 4-2 所示。

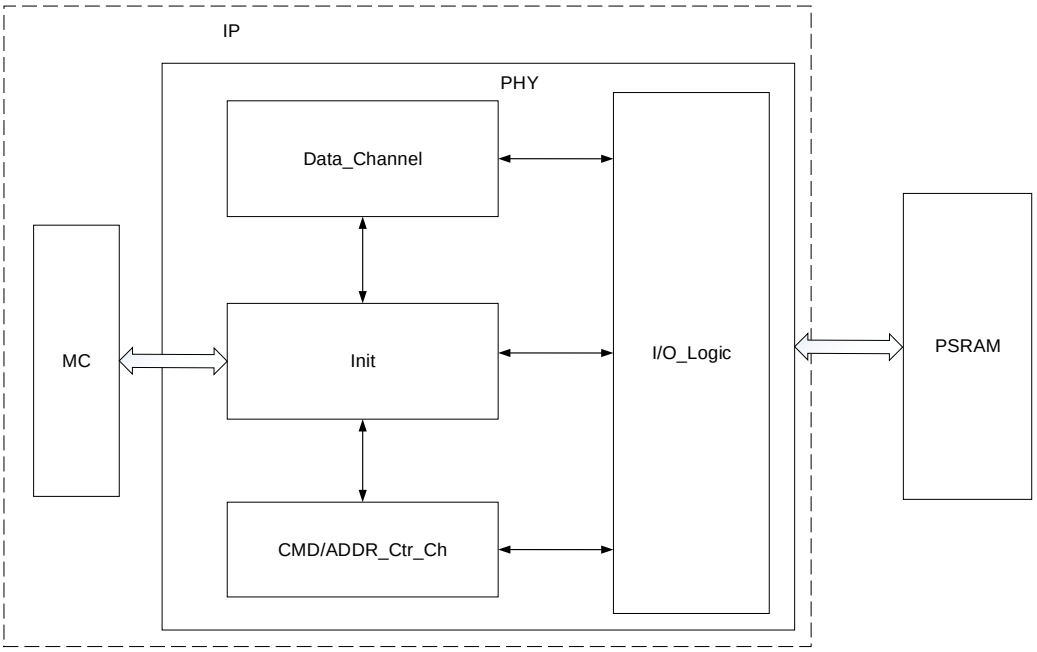
图 4-2 MC 基本结构图



4.3 PHY

PHY 层用于连接 MC 层与 PSRAM 颗粒，基本结构如图 4-3 所示，主要包括 Init(初始化)、Data_Channel(数据通路)、CMD/ADDR_Ctr_Ch(命令/地址控制通路)和 I/O_Logic(输入/输出逻辑)四个模块。写数据时，PHY 接收来自 MC 的命令和数据信息，并将该信息逻辑处理之后发送到 PSRAM 颗粒；读数据时，PHY 接收来自 PSRAM 返回的数据，并将该数据逻辑处理之后发送到 MC 层。

图 4-3 PHY 基本结构图



4.3.1 Init 模块

Init 模块完成 PSRAM 上电后的初始化，包括 PSRAM 的复位，MR 的配置及读校准等过程。信号“init_calib_done”由低变高时指示初始化完成。用户可等待 init_calib_done 信号拉高之后对 IP 进行访问。

4.3.2 Data_Channel 模块

Data_Channel 模块是写、读数据通道，并完成写、读数据的数据排序。

4.3.3 CMD/ADDR_Ctr_Ch 模块

CMD/ADDR_Ctr_Ch 模块接收来自 MC 的命令与地址，对命令和地址进行重排序，并发送到 I/O_Logic 模块。

4.3.4 I/O_Logic 模块

写数据时，I/O_Logic 模块对来自 Data_Channel 的数据信号和来自 CMD/ADDR_Ctr_Ch 的命令、地址信号通过 OSER8 发送到 PSRAM；读数据时，I/O_Logic 模块接收 PSRAM 返回的数据，通过 IDES8 将接收的高速串行信号转换成低速并行信号，并发送到 Data_Channel 模块。

4.4 功能及用户接口

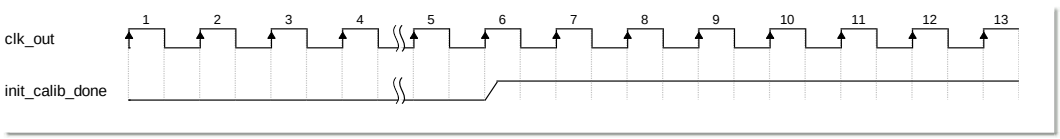
用户可通过用户接口信号操作 IP 的如下功能：

- 初始化
- 发送地址、命令和 burst_num
- 写数据
- 读数据
- Self-refresh 模式
- Half-sleep 模式

4.4.1 初始化

上电后，PHY 首先对 PSRAM 进行初始化操作。“init_calib_done”拉高指示初始化完成，如图 4-4 所示。“init_calib_done”拉高之后用户可以正常访问 IP。

图 4-4 初始化完成信号时序图



4.4.2 发送地址、命令和 burst_num

用户可通过 addr、cmd、cmd_en、burst_num 接口发送地址、读/写命令和 wr_data 的突发数量。

- addr

addr 是地址端口，是每次突发访问的起始地址，当 cmd_en 为 1 时，addr 有效。

addr 是字节地址，它与 PSRAM 的行、列地址存在一定的映射关系，当 PSRAM 的容量是 64Mb（8Mx8bits）时，映射关系如表 4-1 所示。

表 4-1 用户接口 addr 与 PSRAM 地址映射表

用户接口地址	PSRAM地址
addr[22:11]	Row address
addr[10:0]	Column address

用户接口数据与 PSRAM 接口数据的数据比例是 1：8 的关系，比如 PSRAM 的数据位是 8bits，那么用户接口数据位是 8bitsx8=64bits，当写入一个用户接口数据时，会向 PSRAM 写入 8Bytes，占用 8 个 addr 地址，因此 addr 的 bit2~bit0 始终保持为 0。

用户在进行突发访问时，需要自行计算每一次突发访问的 addr。当连续地址的突发访问时，addr 累加（burst_num+1）x8。需要注意的是，addr 不能跨 2KB 边界。

- cmd

cmd 是读或写的命令端口，当 cmd_en 为 1 时，cmd 有效。cmd 可配置为 array linear read、array linear write、array read、array write 模式，如表 4-2 所示。

表 4-2 cmd 命令

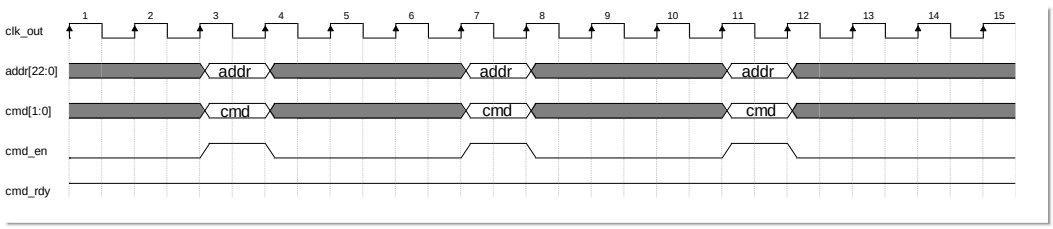
Write/Read Mode	cmd[1:0]
array linear read	2’b00
array read	2’b10
array linear write	2’b01
array write	2’b11

- cmd_en

cmd_en 是地址、命令和 burst_num 的使能信号，高电平有效。

cmd_en=1’b1 时，cmd、addr 和 burst_num 有效，时序如图 4-5 所示。当 cmd_rdy=1’b1 时，用户可写入 cmd_en、addr、cmd，burst_num。

图 4-5 命令、地址时序图



- burst_num

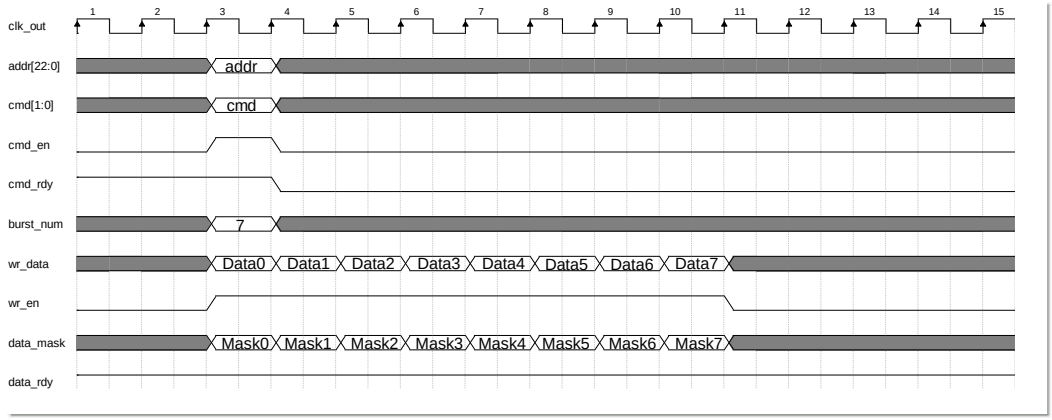
burst_num 是当前突发访问的 wr_data 或 rd_data 的数量，当 cmd_en=1 时，burst_num 有效。实际写入的 wr_data 或读出的 rd_data 的数量是 burst_num+1。

4.4.3 写数据

用户可通过 wr_data、wr_en、data_mask 端口向 IP 写入数据，时序如图 4-6 所示。

- wr_data 是写数据端口，当 wr_en 为 1 时，wr_data 有效。
- wr_en 是写使能端口，高电平有效。data_mask 为 wr_data 的掩码信号，高电平有效。

图 4-6 写数据端口时序图



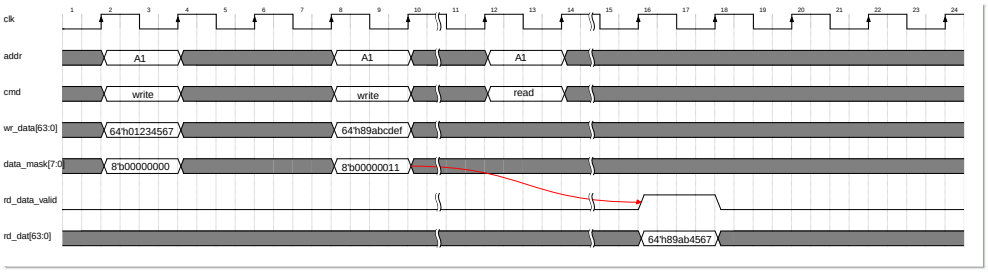
当 data_rdy 为 1 时，将 wr_en 置 1 依次写入 wr_data 及 wr_mask。如图 4-6 所示，burst_num=7，需要连续写入 8 个 wr_data。

数据掩码(data_mask)

对于用户不需要的数据，可以用数据掩码信号(data_mask)进行屏蔽。data_mask 每一个 bit 位控制 wr_data 的一个字节，data_mask[n]=1’b1 时，wr_data 的第 n 字节被屏蔽。对应关系为 data_mask[0]控制 wr_data[7:0]，data_mask[1]控制 wr_data[15:8]，data_mask[2]控制 wr_data[23:16]……

如图 4-7 所示，用户连续向 A1 地址写入两帧数据，第一帧未进行任何屏蔽，写入 64’h01234567，第二帧写入 64’h89abcdef，屏蔽了 2 个字节，对该地址读访问时，返回的数据是 64’h89ab4567，因为写数据时屏蔽了 wr_data[15:0]=16’hcdef，当前帧的 16’hcdef 在写入时不会覆盖原数据。

图 4-7 data_mask 与读/写数据关系图

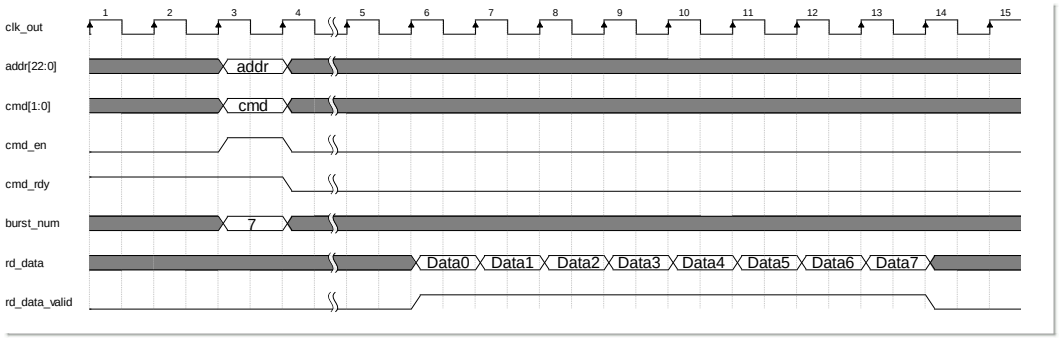


4.4.4 读数据

用户可通过接口 rd_data、rd_data_valid 向 PSRAM 读数据，如图 4-8。

- rd_data：读数据端口。
- rd_data_valid：读数据有效端口，当 rd_data_valid 为高电平时，rd_data 有效。

图 4-8 读数据端口时序图

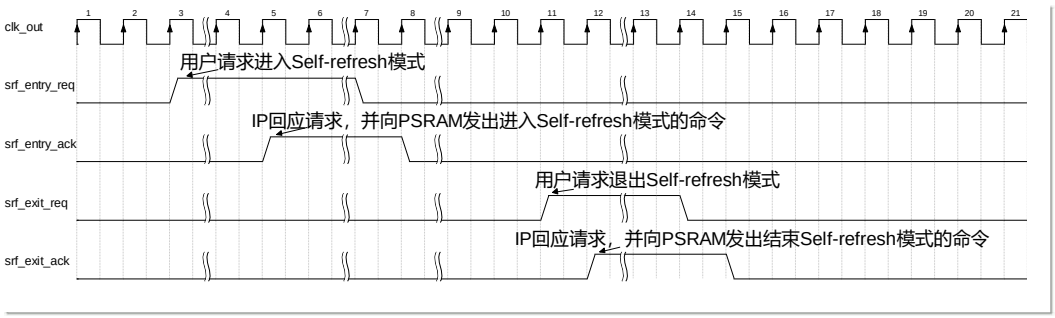


每次读取数据时，rd_data_valid 一定是连续返回的，中间不会中断。

4.4.5 Self-refresh 模式

Self-refresh 是 PSRAM 的一种省电模式。用户输入“srf_entry_req=1’b1”后，IP 向 PSRAM 发送进入“Self-refresh 模式”的命令，同时向用户反馈“srf_entry_ack=1’b1”，之后 PSRAM 进入 Self-refresh 模式。在该模式下，内部数据保留，但不会再接收读写指令，当用户需要对 PSRAM 读写时，需要退出 Self-refresh 模式。如需退出该模式，用户可输入“srf_exit_req=1’b1”，待 IP 反馈“srf_exit_ack=1’b1”后即退出，如图 4-9 所示。

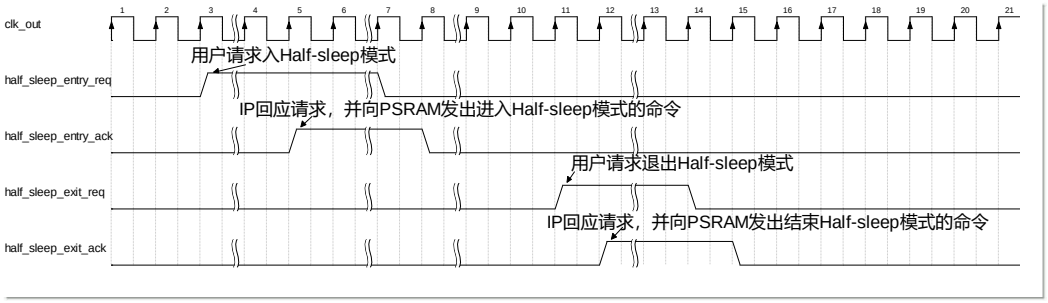
图 4-9 Self-refresh 模式请求和响应时序图



4.4.6 Half-sleep 模式

用户输入“half_sleep_entry_req =1’b1”后，IP 向 PSRAM 发送进入“Half-sleep 模式”的命令，同时向用户反馈“half_sleep_entry_ack =1’b1”。该模式下，PSRAM 将刷新操作分组在一起并在不刷新时关闭大多数电路来消耗更少的功率(功耗比自刷新模式更小)。如需退出该模式，用户可输入“half_sleep_exit_req =1’b1”，待 IP 反馈“half_sleep_exit_ack =1’b1”后即退出。如图 4-10 所示

图 4-10 Half-sleep 模式请求和响应时序图



5 端口列表

Gowin UHS2 PSRAM Memory Interface IP 的 I/O 端口如表 5-1 所示。

表 5-1 Gowin UHS2 PSRAM Memory Interface IP 的 IO 端口列表

信号	位宽	方向	描述
User Interface			
addr	ADDR_WIDTH	Input	读/写起始地址
cmd	2	Input	读/写命令
cmd_en	1	Input	命令、地址、burst_num使能信号： 0：无效 1：有效
cmd_rdy	1	Output	允许写入cmd、addr、burst_num的标志位： 0：不可写入指令 1：可以写入指令
rd_data	8*DQ_WIDTH	Output	读数据通道
rd_data_valid	1	Output	rd_data有效信号： 0：数据无效 1：数据有效
wr_data	8*DQ_WIDTH	Input	写数据通道
wr_en	1	Input	wr_data使能信号： 0：数据无效 1：数据有效
data_rdy	1	Output	wr_data允许写入标志位： 0：不可写入数据 1：可以写入数据
data_mask	MASK_WIDTH	Input	wr_data掩码信号： 0：无效 1：有效
clk	1	Input	参考时钟输入，为连续时钟，可以是板载晶振时钟或PLL

信号	位宽	方向	描述
			输出时钟
init_calib_done	1	Output	初始化完成信号
clk_out	1	Output	IP系统时钟，频率为memory_clk的1/4
rst_n	1	Input	用户输入复位信号： 0：复位 1：释放复位
memory_clk	1	Input	IP需要运行的memory接口速率，由用户输入，一般为PLL倍频出来的高速时钟，也可以不使用PLL
pll_lock	1	Input	如果memory_clk为PLL倍频输入，此接口接PLL的pll_lock管脚 如果用户不使用PLL，此接口接1'b1
burst_num	8	Input	单次突发wr_data或rd_data的数量
srf_entry_req	1	Input	进入Self-refresh模式请求信号： 0：无效 1：有效
srf_entry_ack	1	Output	进入Self-refresh模式应答信号： 0：无效 1：有效
srf_exit_req	1	Input	退出Self-refresh模式请求信号： 0：无效 1：有效
srf_exit_ack	1	Output	退出Self-refresh模式应答信号： 0：无效 1：有效
half_sleep_entry_req	1	Input	进入Half-sleep模式请求信号： 0：无效 1：有效
half_sleep_entry_ack	1	Output	进入Half-sleep模式应答信号： 0：无效 1：有效
half_sleep_exit_req	1	Input	退出Half-sleep模式请求信号：

信号	位宽	方向	描述
			0：无效 1：有效
half_sleep_exit_ack	1	Output	退出Half-sleep模式应答信号： 0：无效 1：有效
PSRAM Interface			
O_apsram_cs_n	CS_WIDTH	Output	PSRAM接口片选信号 0：有效 1：无效
O_apsram_ck	CS_WIDTH	Output	PSRAM接口时钟p端
O_apsram_ck_n	CS_WIDTH	Output	PSRAM接口时钟n端
O_apsram_dm	CS_WIDTH	Output	PSRAM接口数据掩码信号 0：无效 1：有效
IO_apsram_dq	DQ_WIDTH	Bidirection	PSRAM接口数据
IO_apsram_dqs	CS_WIDTH	Bidirection	PSRAM接口数据选通信号p端
IO_apsram_dqs_n	CS_WIDTH	Bidirection	PSRAM接口数据选通信号n端

注！

- 原理图设计时，O_apsram_cs_n、O_apsram_dm、IO_apsram_dq、IO_apsram_dqs、IO_apsram_dqs_n，需要放在同一个 DQ group。
- PCB 布线时，O_apsram_cs_n、O_apsram_dm、IO_apsram_dq、IO_apsram_dqs、IO_apsram_dqs_n，O_apsram_ck，O_apsram_ck_n，需要做布线等长处理。
- 用户使用 GW5ART-LV15MG132P 时，需要将 FPGA 与 PSRAM 连接的 pin 在 PCB 上悬空，且 PCB 上不能有焊盘，否则影响信号质量，导致 PSRAM 初始化失败。相关 pin 信息请参考 UG1120，GW5ART-15 器件 Pinout 手册中的 List MG132P 说明。

6 参数配置

6.1 参数说明

用户须根据设计要求配置 Gowin UHS2 PSRAM Memory Interface IP 的各个静态参数与时序参数，具体参数如表 6-1 所示。

表 6-1 Gowin UHS2 PSRAM Memory Interface 的静态参数选项

名称	描述	选项
Type页		
Memory TYPE	PSRAM型号	AP26408A-OKX
Clk Ratio	IP逻辑主时钟与PSRAM接口时钟比	1:4, 用户不可选
Memory Clock	PSRAM的工作时钟	100-533MHz
Psram Width	单颗PSRAM内存芯片DQ位宽	8，用户不可选
Dq Width	总的DQ位宽	当选择合封PSRAM的FPGA时，DQ支持到此FPGA合封PSRAM的最大总DQ位宽；当选择非合封PSRAM的FPGA时，DQ宽度最大支持到32bit，即四颗PSRAM
Addr Width	PSRAM的地址位宽	23
Row Width	PSRAM的行地址位宽	12
Data Width	用户数据位宽	8*Dq Width
CS Width	片选位宽	Dq Width/Psram Width
Mask Width	掩码位宽	Data Width/Psram Width
Simulation	仿真加速按钮	● 勾选此选项加速仿真 ● 板测时不要勾选
Buffer Type	IP数据缓存类型	BSRAM、SSRAM、REG
Option页		
Wrap Length	Wrap boundary	16B、32B、64B、128B，详见6.2 Wrap Enable、Wrap Length 、Auto-precharge、PRA Enable
RW Latency	读_写延时	读初始延迟 写初始延迟 PSRAM的最大时钟频率 24 12 533MHz 20 10 533MHz 16 6 400MHz

名称	描述	选项	
		13 5 300MHz 9 5 200MHz	
PRA Enable	Page Read Access使能	OFF、ON	详见6.2 Wrap Enable、Wrap Length 、Auto-precharge、PRA Enable
Wrap Enable	Wrap使能	OFF、ON	
Auto-precharge	自动预充电	OFF、ON	
VREF Trim	PSRAM颗粒读取DQ数据的判决电平	60.00、59.00、57.90、56.78、55.56、54.28、52.94、51.50、50.00、48.33、46.67、44.83、42.83、40.72、38.44	
Drive Strength	驱动强度	18ohm、40ohm	
tREFI	Refresh rate	7800000(7.8us)	
Debug页			
Clock Phase Setting Parameter 1 Value	相移参数1	8'h0~8'hFF、16'h0~16'hFFFF 详见6.3 Clock Phase Setting Parameter1 Value	

6.2 Wrap Enable、Wrap Length 、Auto-precharge、PRA Enable

6.2.1 配置 1 和配置 2

IP-GUI 界面默认配置下 Wrap Enable、Auto-precharge 和 PRA 全部配置为“OFF”，这种配置假设称为配置 1。

在配置 1 的情况下， array linear write/read 和 array write/read 命令均忽略 Wrap Length 的配置，执行顺序突发，最大突发字节数量是 2K Bytes。从起始地址开始读或写，一直到达 page size 的末尾，然后再返回到当前 page size 的开始位置。burst_num 最大值可输入 255，最小值可输入 0。

当 Wrap Enable 配置为“ON”，Auto-precharge 和 PRA 配置为“OFF”，这种配置假设称为配置 2。

在配置 2 的情况下，array linear write/read 命令仍然忽略 Wrap Length 的配置，执行顺序突发，最大突发字节数量是 2K Bytes。从起始地址开始读或写，一直到达 page size 的末尾，然后再返回到当前 page size 的开始位置。burst_num 最大值可输入 255，最小值可输入 0。

Array write/read 命令需要考虑 Wrap Length 的配置。最大单次突发长度取决于 Wrap Length 配置。此时 burst_num 固定输入 Wrap Length/8-1。比如当 Wrap Length 配置“16B”时，burst_num 输入 1。

配置 1 和配置 2 情况下，array linear write/read 和 array write/read 命令的突发类型如下表所示。

表 6-2 array linear write/read 和 array write/read 命令突发类型

PRA	Auto-pre charge	Wrap Enable	Wrap Length	Burst Type	Example of bytes sequence(starting address from 8)
OFF	OFF	OFF	16B	NO Wrap,2KB sequential	[8,9,10,…,2047,2047,0,1,…6,7]
OFF	OFF	OFF	32B	NO Wrap,2KB sequential	[8,9,10,…,2047,2047,0,1,…6,7]
OFF	OFF	OFF	64B	NO Wrap,2KB sequential	[8,9,10,…,2047,2047,0,1,…6,7]
OFF	OFF	OFF	128B	NO Wrap,2KB sequential	[8,9,10,…,2047,2047,0,1,…6,7]
OFF	OFF	ON	16B	Wrap 16B	[8,9,10,…,14,15,0,1,…,6,7]
OFF	OFF	ON	32B	Wrap 16B	[8,9,10,…,30,31,0,1,…,6,7]
OFF	OFF	ON	64B	Wrap 16B	[8,9,10,…,62,63,0,1,…,6,7]
OFF	OFF	ON	128B	Wrap 16B	[8,9,10,…,126,127,0,1,…,6,7]

6.2.2 配置 3 和配置 4

当 Auto-precharge 配置“ON”，PRA 配置“OFF”，Wrap Enable 配置“OFF”，这种模式假设称为配置 3。

在配置 3 模式下， array linear write 和 array write 命令执行的操作不受影响。array linear write 和 array write 命令与配置 1 相同。

在配置 3 模式下，array read 和 array linear read 命令的突发长度由 Wrap Length 的配置决定。array read 和 array linear read 命令执行 sequential 的突发类型，一旦到达 Wrap Length 设定的长度，将自动结束读写操作。

当 Auto-precharge 配置“ON”，PRA 配置“OFF”，Wrap Enable 配置“ON”，这种模式假设称为配置 4。

在配置 4 模式下，array linear write 和 array write 命令执行的操作不受影响。array linear write 和 array write 命令与配置 2 相同。

在配置 4 模式下，array read 突发长度由 Wrap Length 的配置决定，执行 warp 的突发类型。Array linear read 命令与配置 1 相同。

配置 3 和配置 4 情况下，array read 和 array linear read 命令的突发类型如下表所示。

表 6-3array read 和 array linear read 命令突发类型

PRA	Auto-pre charge	Wrap Enable	Wrap Length	Burst Type	Example of bytes sequence(starting address from 8)
OFF	ON	OFF	16B	16B sequential	[8,9,10,…,22,23]
OFF	ON	OFF	32B	32B sequential	[8,9,10,…,38,39]
OFF	ON	OFF	64B	64B sequential	[8,9,10,…,70,71]
OFF	ON	OFF	128B	128B sequential	[8,9,10,…,134,135]
OFF	ON	ON	16B	Wrap 16B	[8,9,10,…,14,15,0,1,…,6,7]
OFF	ON	ON	32B	Wrap 16B	[8,9,10,…,30,31,0,1,…,6,7]
OFF	ON	ON	64B	Wrap 16B	[8,9,10,…,62,63,0,1,…,6,7]
OFF	ON	ON	128B	Wrap 16B	[8,9,10,…,126,127,0,1,…,6,7]

6.2.3 配置 5、配置 6、配置 7 和配置 8

当 PRA 配置“ON”时，仍然只影响 array read 和 array linear read 命令，array write 和 array linear write 不影响。

当 PRA 配置“ON”，Auto-precharge 配置“OFF”，Wrap Enable 配置“OFF”，这种模式假设称为配置 5。

- 在配置 5 模式下，array linear write 和 array write 命令与配置 1 相同。
- 在配置 5 模式下，array linear read 命令与配置 1 相同。
- 在配置 5 模式下，array read 命令以 2KB sequential 的类型进行突发读。

当 PRA 配置“ON”，Auto-precharge 配置“OFF”，Wrap Enable 配置“ON”，这种模式假设称为配置 6。

- 在配置 6 模式下，array linear write 和 array write 命令与配置 2 相同。
- 在配置 6 模式下，array linear read 命令与配置 1 相同。
- 在配置 6 模式下，array read 命令与模式 2 相同。

当 PRA 配置“ON”，Auto-precharge 配置“ON”，Wrap Enable 配置“OFF”，这种模式假设称为配置 7。

- 在配置 7 模式下，array linear write 和 array write 命令与配置 1 相同。
- 在配置 7 模式下，array linear read 命令与配置 1 相同。
- 在配置 7 模式下，array read 命令只支持 128B sequential 的类型进行突发读。

当 PRA 配置“ON”，Auto-precharge 配置“ON”，Wrap Enable 配置“ON”，这种模式假设称为配置 8。

- 在配置 8 模式下，array linear write 和 array write 命令与配置 2 相同。

- 在配置 8 模式下，array linear read 命令与配置 1 相同。
- 在配置 8 模式下，array read 命令只支持 128B wrap 的类型进行突发读。

当 PRA 配置“ON”时，array read 命令的突发类型如下表所示。

表 6-4 array read 命令的突发类型

Wrap Length	Auto-precharge=“OFF”		Auto-precharge=“ON”	
	Wrap Enable=“OFF”	Wrap Enable=“ON”	Wrap Enable=“OFF”	Wrap Enable=“ON”
16B	2KB sequential	16B wrap	Not supported	Not supported
32B	2KB sequential	32B wrap	Not supported	Not supported
64B	2KB sequential	64B wrap	Not supported	Not supported
128B	2KB sequential	128B wrap	128B sequential	128B wrap

6.3 Clock Phase Setting Parameter1 Value

写访问时，该参数用于调整 IO_apsram_dqs 与 O_apsram_ck 的相位差。若选择颗粒的数量为 2，则该参数为 16 位，低 8 位和高 8 位分别驱动颗粒 1、颗粒 2，该参数取值范围为 16’h0000-16’hFFFF。当该参数为 0 时，IO_apsram_dqs 的上升沿对齐 O_apsram_ck 的低电平中间位置，如图 6-1 所示。

若用户设定 Debug Parameter1 Value 的值为 n，则 IO_apsram_dqs 根据用户给定的值相对于 O_apsram_ck 向右移动 n×步进值。

用户可通过 gao 添加并查看 dll_step(如图 6-2、图 6-3 所示)来计算步进值，dll_step 是对应 memory_clk 周期 1/4 所映射的值，步进值= $\frac{1}{f} \div 4 \div dll_step$，步进值单位 ps，$f$为 memory_clk 的频率。图 6-2、图 6-3 中工程的 memory_clk 为 533MHz，则步进值=15.6ps。

图 6-1 O_apsram_ck、IO_apsram_dqs 初始相位关系图

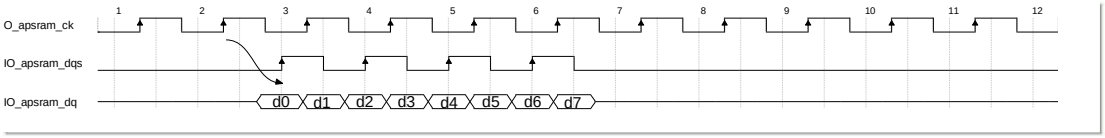


图 6-2 将 dll_step 信号添加至 gao

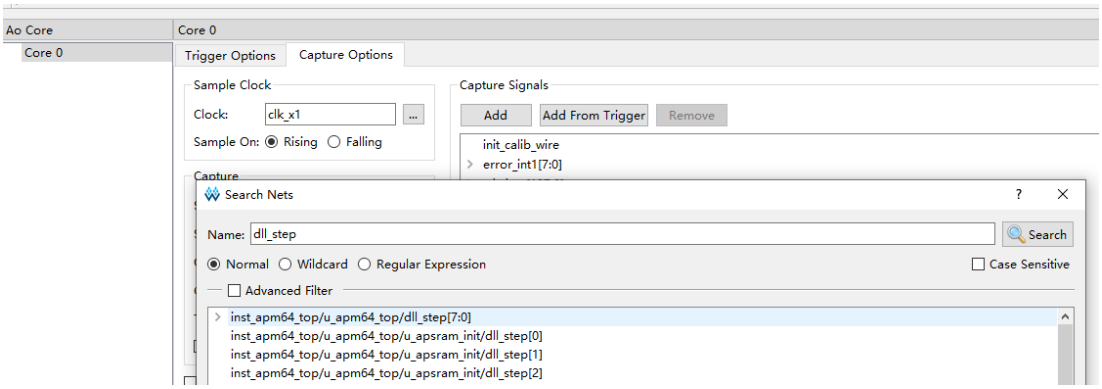
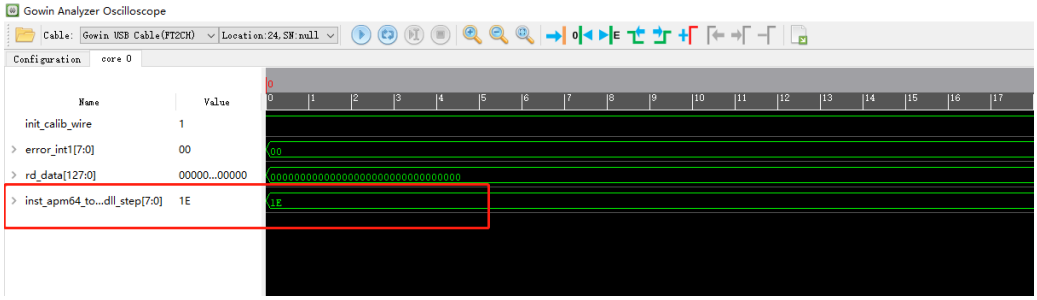


图 6-3 查看 dll_step 的值



7 界面配置

用户正确使用 IP 需要注意两个步骤，步骤一是正确配置并生成 IP，步骤二是需要正确配置 VCCX 电压。用户可以在高云半导体云源软件中选择 GW5A 系列的 FPGA 配置 IP 以及配置 VCCX 电压。

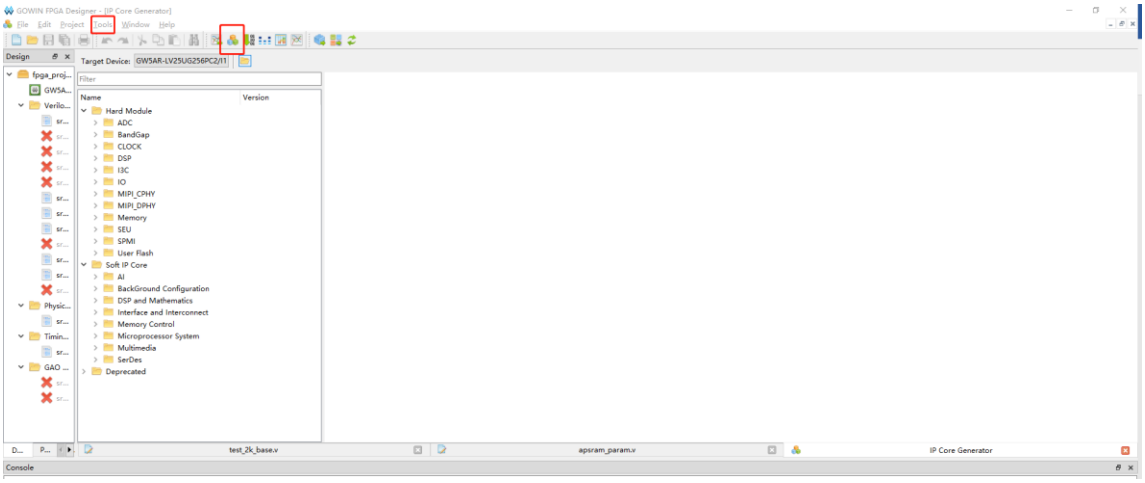
7.1 IP 配置及生成步骤

下面以 GW5AR-LV25UG256P 器件下创建 IP core 为例，简单描述创建 IP core 的步骤。

1. 打开 IP Core Generator

用户建立工程后，点击菜单栏“Tools”选项，选择 IP Core Generator，或者直接点击工具栏的“ ”图标，即可打开 Gowin 的 IP Core 生成工具，如图 7-1 所示。

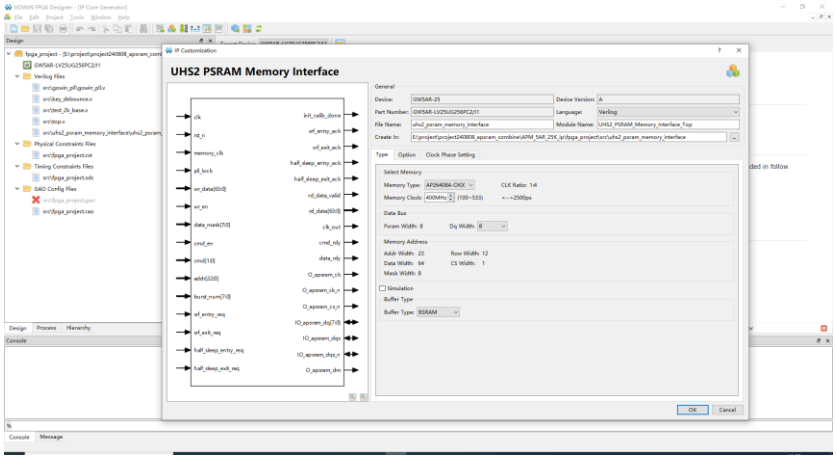
图 7-1 打开 IP Core Generator



2. 打开 UHS2 PSRAM Memory Interface IP 核

点击 Soft IP Core > Memory Cotrol > PSRAM Memory Interface 选项，双击 UHS2 PSRAM Memory Interface，打开 IP 核的配置界面，如图 7-2 所示。

图 7-2 打开 UHS2 PSRAM Memory Interface IP 核



3. IP 选项配置

- Select Memory

Memory Type 是固定只读类型，表示 IP 支持的 PSRAM 颗粒型号，当前 IP 仅支持型号为 AP26408A-OKX 的 PSRAM 颗粒。

Memory Clock 选项表示当前 IP 需要运行的 memory 接口速率，该速率与 PSRAM 接口的差分 clk 速率大小相等。如 IP 速率需要跑 400MHz，那么该选项处需要填入 400MHz。

- Data Bus

AP26408A-OKX 的 DQ 宽度是 8bit，因此 Psram Width 选项是固定的，固定显示 8，客户不需要关心。Dq Width 是 IP 支持的 DQ 总位宽，比如 IP 支持 2 个 PSRAM 颗粒，那么总的 dq 位宽是 2x8=16。GW5AR-LV25UG25P 芯片下合封了两颗 PSRAM，如果客户两颗全部使用，那么 dq 总位宽是 16，因此 dq width 需要选择 16。

- Memory Address

AP26408A-OKX 的容量是 8Mx8bits=64Mbits，column address 是 11bit，row address 是 12bit，根据 4.4.2 章节 addr 与 PSRAM 地址的对应关系可得到 Addr Width=23bits。CS Width 表示 PSRAM 的颗粒数量。根据 4.4.2 章节的介绍，IP 用户接口数据和 PSRAM 的数据位宽是 8：1（Clk Ratio：4：1）的关系，那么 Data Width 显示 64。Data Mask 是写数据掩码位宽，每 1 个 Byte 对应 1bit 的 Data Mask，因此 Data Width=64bit 时，Data Mask=8。

- Simulation

当用户需要仿真 IP 的时候，可以勾选 Simulation 选项，它可以缩短 PSRAM 初始化的时间。当用户进行板上测试时，需要关掉此选项并点击右下角 OK 按钮重新生成 IP。

- Buffer Type

选择配置 IP 内部的存储资源类型。IP 内部用 fifo 进行缓存用户接口写入的命令和数据以及从 PSRAM 读取的数据，当 Buffer Type 选择 BSRAM 时，fifo 会使用 BSRAM 资源，当 Buffer Type 选择 REG 时，fifo 会使用寄存器和

LUT 资源。

- Options 选项卡

Options 的选项是对 PSRAM 颗粒的配置。

关于对 Wrap Length、PRA Enable、Wrap Enable 和 Auto-precharge 的配置，用户需根据 6.2 章节的配置说明进行配置即可，本章节不再赘述。

RW Latency 选项需要和 Memory CLK 匹配，200MHz 及以下对应 9_5，大于 200MHz 小于等于 333MHz 对应 13_5，大于 333MHz 小于等于 400MHz 对应 16_6，大于 400MHz 小于等于 533MHz 对应 20_10。用户在进行配置时一定在按照区间配置，否则 IP 读写可能会出错。

VREF Trim 选项用于计算 PSRAM 颗粒的判决电平，当该选项选择 50.00 时，判决电平是 PSRAM 工作电压的 50%，PSRAM 工作电压是 1.8V，因此判决电平的值为 1.8V×50.00%=0.9V。在使用 Gowin 开发板进行板级测试时，当 VCCX=3.3V 时，选项选择 50.00，IP 的最大速率到 533MHz。当 VCCX=1.8V 时，选项选择 44.83，IP 的最大速率到 533MHz。

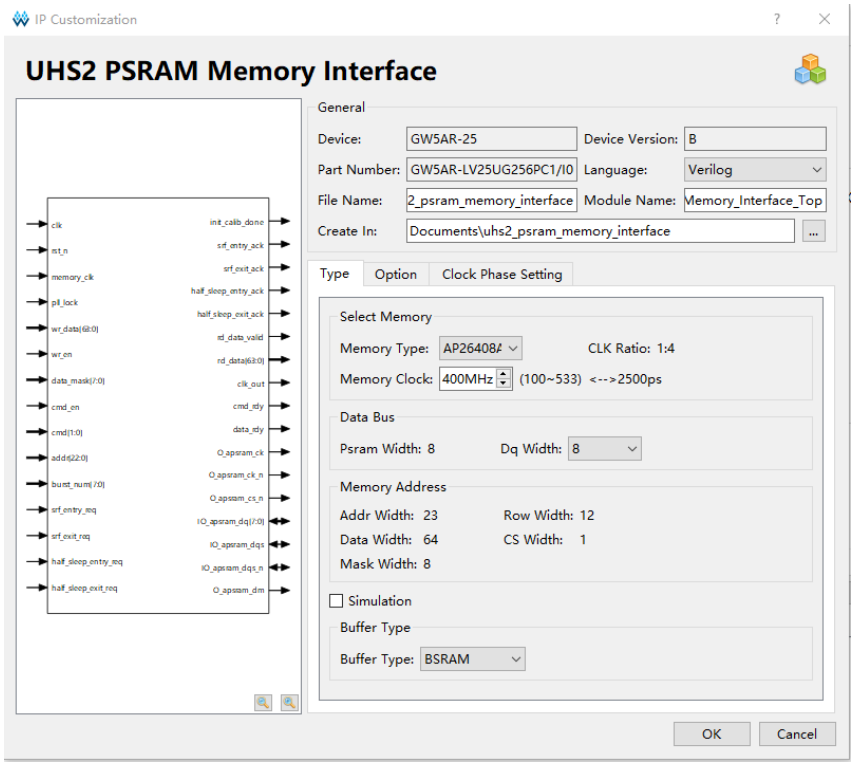
Drive Strength 选项可调整 PSRAM 接口的输出电流强度，该选项选择 18ohm 时比选择 40ohm 功耗大。

tREFi 选项固定为 7800000ps。

- Clock Phase Setting Parameter

Clock Phase Setting Parameter1 Value选项描述见 6.3 Clock Phase Setting Parameter1 Value。

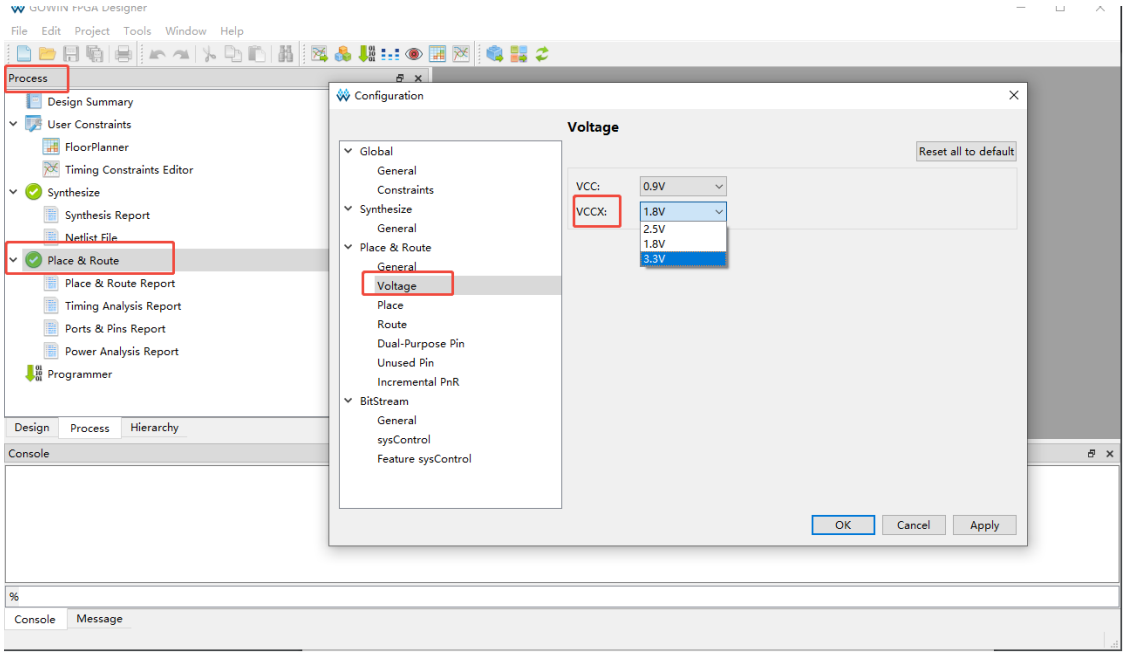
图 7-3 IP 配置选项



7.2 VCCX 电压配置

用户可在 process 对话框右击 Place & Route 选择 Configuration，在弹出对话框中单击 Voltage 即可配置 VCCX。如图 7-4 所示，用户选择的 VCCX 电压须与原理图 VCCX 供电电压一致。

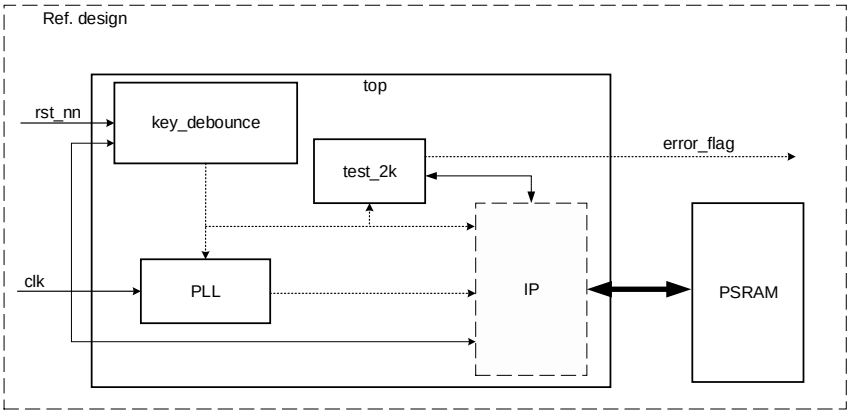
图 7-4 VCCX 配置界面



8 参考设计

为方便用户快速熟悉并使用 Gowin UHS2 PSRAM Memory Interface IP，手册提供了一个简单的参考设计，参考设计基本结构如图 8-1 所示。

图 8-1 参考设计基本结构框图



各模块功能解释如下：

- Key_debounce：用于消除由按键或拨码开关控制外部激励时产生的信号抖动，并生成全局复位信号。
- test_2k：生成写/读定时、写数据与使能并检测 PSRAM 返回 IP 的数据是否有误。
- PLL：倍频 Memory Colock 等。

表 8-1 输入端口列表

名称	描述
clk	输入参考时钟，默认 50MHz
rst_nn	输入复位信号

test_2k 等待 IP 初始化完成后，自动循环读写，对不同地址进行读写操作，并且每次突发长度自增加，遍历所有突发情况，对 IP 返回的读数据进行分析验证，并输出检测信号，当 error_flag 信号拉高表示有误码，反之没有误码。

9 文件交付

Gowin UHS2 PSRAM Memory Interface IP 交付文件主要包含文档和参考设计。

9.1 文档

文件夹主要包含用户指南 PDF 文档。

表 9-1 文档列表

名称	描述
IPUG1194, Gowin UHS2 PSRAM Memory Interface IP用户指南	Gowin UHS2 PSRAM Memory Interface IP用户手册，即本手册。

9.2 参考设计

Ref. Design 文件夹主要包含 Gowin UHS2 PSRAM Memory Interface IP 的网表文件，用户参考设计，约束文件、消抖模块、顶层文件及工程文件夹等。

表 9-2 Ref. Design 文件夹内容列表

名称	描述
top.v	参考设计的顶层module
key_debounce.v	按键消抖模块
test_2k.v	测试激励产生模块
UHS2_PSRAM_Memory_Interface.vo	Gowin UHS2 PSRAM Memory Interface IP网表文件
psram.cst	参考设计工程物理约束文件
psram.sdc	参考设计工程时序约束文件
psram.gao	参考设计工程gao文件
UHS2_PSRAM_Memory_Interface	IP核文件夹

GOWIN高云
智慧逻辑 定制未来