

Gowin goConfig UART IP 用户指南

IPUG1197-1.0, 2025-01-17

版权所有 © 2025 广东高云半导体科技股份有限公司

GO♥IN高云、GO♥IN、♥、GOWINSEMI、GOWIN、Gowin、高云、晨熙、小蜜蜂、LittleBee、 Arord-V、GowinPnR、GoBridge 均为广东高云半导体科技股份有限公司注册商标,本手册中提到 的其他任何商标,其所有权利属其拥有者所有。未经本公司书面许可,任何单位和个人都不 得擅自摘抄、复制、翻译本文档内容的部分或全部,并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可,并未以明示或暗示,或以禁止反言或其它方式授予任 何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外,高云半导体 概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何 明示或暗示的担保,包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知 识产权的侵权责任等,均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准 确性和完整性不承担任何法律或非法律责任,高云半导体保留修改文档中任何内容的权利, 恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2025/01/17	1.0	初始版本。

目录

图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	1
1.3 术语、缩略语	1
1.4 技术支持与反馈	2
2 性能简介	
21升级功能概试	3
2.1 开致功能视起	۵ ۵
2.2 OAA Ig日 2.2 1 UART 基本特性	4
2	
2.3 IP 特性	5
2.4 资源占用	
3 功能描述	6
3.1 Gowin goConfig LIART IP 结构框图	6
3.2 Gowin goConfig LIART IP 控制指令	7
3.2 Clowing OART II 社的组织	
3.3 1 SPI 接口抬会	
3.4.11APT 指令与 SPI 按口吨射关系	
4 佰亏疋义	
5 界面配置	
6 参考设计	
6.1 工程搭建流程说明	
6.1.1 配置生成 IP	22
6.1.2 项层调用 IP	22
6.1.3 软件配置	25
6.2 参考设计	27
6.2.1 FPGA 工程说明	
6.2.2 参考设计文件	

i

6.2.3 参考设计注意事项	28
----------------	----

图目录

图 2-1 UART 帧组成示例	4
图 2-2 SPI 接口时序	5
图 3-1 结构框图	6
图 3-2 Sector Erase 指令	8
图 3-3 Page Program 指令	8
图 3-4 Page Read 指令	8
图 3-5 状态指令	9
图 3-6 读 Flash ID 指令示例	9
图 3-7 复位 IP 指令示例	10
图 3-8 Reconfign 指令示例	10
图 3-9 Write Enable (06H)	11
图 3-10 Write Disable (04H)	12
图 3-11 Read Status Register-1 (05H)	12
图 3-12 Sector Erase (20H)	13
图 3-13 Page Program (02H)	13
图 3-14 Read JEDEC ID (9FH)	14
图 3-15 Read Data (03H)	14
图 3-16 Erase 指令映射	15
图 3-17 Write Data 指令映射	16
图 3-18 Read Data 指令映射	
图 3-19 Read Flash ID 指令映射	16
图 5-1 IP Core Generator 选项	
图 5-2 打开 Gowin goConfig UART IP 核	20
图 5-3 Gowin goConfig UART IP 配置界面	21
图 6-1 调用 IP 的 IO 名称示例	23
图 6-2 顶层 IO 定义示例	24
图 6-3 打开 Configuration 示例 1	25
图 6-4 打开 Configuration 示例 2	
图 6-5 勾选 Use MSPI as regular IO 示例	27
图 6-6 错误示例	27

图 6-7	考设计基本结构示意图

表目录

表 1-1	术语、缩略语	.1
表 2- 1	Gowin goConfig UART IP 概述	3
表 2-2	SPI 接口时序说明	5
表 2-3	资源利用	5
表 3-1	指令定义	7
表 3-2	? 状态比特表	9
表 3-3	ST_data 典型值	9
表 3-4	· SPI 接口指令1	0
表 4-1	IO 接口定义1	7
表 5-1	参数配置	!1
表 6-1	参考设计 src 文件夹内容列表2	28

1 关于本手册

1.1 手册内容

Gowin goConfig UART IP 用户指南主要内容包括性能简介、功能描述、信号定义、使用 说明、界面配置,旨在帮助用户快速了解 goConfig UART IP 的产品特性、特点及使用方 法。本手册中的软件界面截图参考的是 1.9.11 版本,因软件版本升级,部分信息可能会略有 差异,具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档。

- SUG100, Gowin 云源软件用户指南
- DS100, GW1N 系列 FPGA 产品数据手册
- DS102, GW2A 系列 FPGA 产品数据手册
- DS981, GW5AT 系列 FPGA 产品数据手册
- DS1103, GW5A 系列 FPGA 产品数据手册
- SUG100, Gowin 云源软件用户指南
- SUG283, Gowin 原语用户指南
- UG290, Gowin FPGA 产品编程配置手册

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
IP	Intellectual Property	知识产权
JTAG	Joint Test Action Group	联合测试行动组

表 1-1 术语、缩略语

术语、缩略语	全称	含义
SPI	Serial Peripheral Interface	串行外设接口
SRAM	Static Random Access Memory	静态随机存储器
UART	Universal Asynchronous Receiver/ Transmitter	异步收发传输器

1.4 技术支持与反馈

高云半导体提供全方位技术支持,在使用过程中如有任何疑问或建议,可直接与公司联系:

网址: www.gowinsemi.com.cn E-mail: support@gowinsemi.com Tel: +86 755 8262 0391



背景升级是近年来用户需求很高的功能。在使用 Gowin FPGA 产品上存在"功能 A",若用户想将"功能 A"升级或者重新烧录为"功能 B",且在升级或烧录"功能 B"过程中芯片的"功能 A"不会停止工作,升级完成后"功能 B"可以马上加载到芯片上,这就需要背景升级技术。

Gowin goConfig UART IP 可实现 UART 端口的在线升级功能,用户通过 UART 端口对 FPGA 进行烧录,完成存储的数据替换,实现背景升级。

Gowin goConfig UART IP 概述			
逻辑资源	请参见表 2-3		
交付文件			
设计文件	Verilog (encrypted)		
参考设计	Verilog		
TestBench	Verilog		
测试设计流程			
综合软件	GowinSynthesis		
应用软件	Gowin Software(V1.9.11 及以上)		

表 2-1 Gowin goConfig UART IP 概述

注!

可登录高云半导体网站查看芯片支持信息。

2.1 升级功能概述

实现升级功能包括两个过程:编程(Program),配置(Configure)。

- 编程(Program Flash): 将高云半导体云源软件生成的比特流数据,写入到 Flash 的过程 (下文简称"写入 Flash")。
- 配置(Configure SRAM):将 Flash 中的比特流数据,加载到 FPGA的 SRAM 存储区的 过程(下文简称"载入 SRAM")。

注!

- 普通升级:进行编程(Program)时,需要先擦除 SRAM(即停止了正在运行的功能),再"写入 Flash"。
- 背景升级:进行编程(Program)时,不会擦除 SRAM(即不影响正在运行的功能),直接"写入 Flash"。
- 配置(Configure)时,"普通升级"与"背景升级"操作过程一致。

背景升级功能示例如下:

用户一般通过正在运行的"功能 A",将待更新的"功能 B"写入 Flash;然后用户可在需要 更新功能时,通过一系列操作,将 Flash 内的"功能 B"载入 SRAM 内,完成功能的更新。 注!

- "功能 A"按照背景升级功能操作时,必须带有背景升级功能的模块。本文中,即"功能 A"必须带 Gowin goConfig UART IP。
- "功能 B"可以不带背景升级功能的模块,但是后续不能通过"功能 B"进行背景升级。
- "写入 Flash"过程,"功能 A"仍然正常运行;"载入 SRAM"过程,"功能 A"会停止运行。

2.2 UART 接口

2.2.1 UART 基本特性

Gowin goConfig UART IP 的 UART 接口由 TX 与 RX 组成。TX 用于 IP 发送数据,RX 用于 IP 接收数据。

UART 帧组成一般为: 起始位、数据、奇偶校验位、停止位。图 2-1 为 IP 使用的数据 帧。

- 起始位(SATRT): 1比特。
- 数据(Data): 8比特。以发送 0x01 为例,比特发送顺序为 1>0>0>0>0>0>0>0
- 奇偶校验位: 0/1 比特。可配置选择奇校验(1Bit)、偶校验(1Bit)、无校验(0Bit);
- 停止位:1比特。

图 2-1 UART 帧组成示例



2.2.2 Flash 接口特性

Gowin goConfig UART IP 的 Flash 接口为 SPI,采用四线模式,CS_N、SCLK、 MOSI、MISO。SPI 数据发送/接收方式:高比特先发送,一次发送一般以字节(8比特)为 单位。以发送 0x01 为例,比特发送顺序为 0>0>0>0>0>0>0>1。



图 2-2 SPI 接口时序

SPI的时钟为 25MHz(已验证),其他说明如表 2-2 所示。表格中的数据为理论数据。

表 2-2 SPI 接口时序说明

名称	描述	Min	Max	Unit
T _{clk_l}	LOW period of the SCLK	20	-	ns
T _{clk_h}	HIGH period of the SCLK	20	-	ns
T _{hd_csn}	CS_N Setup Time	100	-	ns
T _{su_csn}	CS_N Setup Time	240	-	ns
T _{hd_mosi}	MOSI Hold Time	20	-	ns
T _{su_mosi}	MOSI Setup Time	20	-	ns
T _{hd_miso}	MISO Hold Time	20	-	ns
T _{su_miso}	MISO Setup Time	20	-	ns

2.3 IP 特性

Gowin goConfig UART IP 特性包括:

- 支持8位数据位,1位停止位
- 支持奇校验、偶校验、无校验
- 支持 110~1000000 波特率设置

2.4 资源占用

Gowin goConfig UART IP 以默认配置,高云 GW1N-2C 器件为例,其资源利用情况如表 2-3 所示。

器件	编程语言	LUT	REG
GW2A-18	Verilog	774	513

表 2-3 资源利用

3 _{功能描述}

3.1 Gowin goConfig UART IP 结构框图

Gowin goConfig UART IP 的应用可分为用户(User)侧和 FPGA 侧。User 侧用于控制UART 接口,可能包含其他用户功能。FPGA 侧连接 SPI Flash,以及用户需要在 FPGA 上实现的功能。若仅考虑 IP, User 侧通过 UART 接口控制 FPGA 内的 IP,进而控制 Flash,完成背景升级的功能。

实现框图如图 3-1 所示, User 侧 UART 接口, 其他信号根据实际的功能需求选择控制或 使用。



图 3-1 结构框图

3.2 Gowin goConfig UART IP 控制指令

Gowin goConfig UART IP 支持的指令及使用如下文所述。

指令定义

Gowin goConfig UART IP 支持的指令如表 3-1 所示。

-	表:	3-1	指令	⋧定	<u>گ</u>

指令名称	指令地址(CMD)	描述	指令格式
Write Data(Page)	0xABCDEF02	写数据(Page)	CMD + ADDR + Data
Read Data(Page)	0xABCDEF03	读数据(Page)	CMD + ADDR + Data
Status	0xABCDEF04	读状态	CMD + Data
Read Falsh ID	0xABCDEF05	读 Flash ID	CMD + Data
Erase(Sector)	0xABCDEF01	擦除(Sector)	CMD + ADDR
Reset	0xABCDEF55	软复位	CMD + Length + Data
Reconfign	0xABCDEF99	Reconfign 指令	CMD

指令格式中,名称的定义与说明如下:

- CMD: 支持的指令参考表 3-1
 - 定义: 指令地址
 - 位宽: 32 bits
 - 发送顺序: CMD[31:24] > CMD[23:16] > CMD[15:8] > CMD[7:0]
- ADDR:
 - 定义: Flash 的地址
 - 位宽: 24 bits
 - 发送顺序: ADDR[23:16] > ADDR[15:8] > ADDR[7:0]
- Data:
 - 定义: 有效数据
 - 位宽: 一个数据8比特
 - 长度:不一样的指令,有效数据长度不一致;一般 Data_0 指第一个有效数据, Data_1 表示第二个有效数据,...Data_N 表示最后一个有效数据。

注!

一个扇区(Sector)有 4K-bytes, 1 个 Page 有 256-bytes; 所以 1*Sector = 16*Page。

Erase(0xABCDEF01)

擦除(Sector)指令: 0xABCDEF01; 格式: CMD + ADDR; 指令示意图如图 3-2 所示。

其中 CMD 为 32 比特,发送顺序为 0xAB > 0xCD > 0xEF > 0x01。ADDR 为 24 比特, 以 ADDR=0x010203 为例,发送顺序为 0x01 > 0x02 > 0x03。

图 3-2 Sector Erase 指令



注!

- 图中"白色底纹"的有效数据为"User"发送至"IP-UART 接口"。
- 下文中"灰色底纹"的有效数据为"IP-UART 接口"发送至"User"。
- 下文中,相似图例,未作特殊说明,则含义与本例中一致。
- 图示中可能使用到的名称定义如下:
 - CMD: 表 3-1 中支持的指令
 - Data_0: 第一个有效数据
 - Data_N: 最后一个有效数据
 - ADDR: Flash 的地址

Write Data (0xABCDEF02)

写数据(Page)指令: 0xABCDEF02;格式: CMD + ADDR + Data;指令示意图如图 3-3 所示。

其中 CMD 为 32 比特,发送顺序为 0xAB > 0xCD > 0xEF > 0x02。ADDR 为 24 比特, 以 ADDR=0x010203 为例,发送顺序为 0x01 > 0x02 > 0x03。Data 的有效长度为 256。

图 3-3 Page Program 指令

CMD	ADDR	Data_0		Data_N
-----	------	--------	--	--------

Read Data(0xABCDEF03)

读数据(Page)指令: 0xABCDEF03;格式: CMD + ADDR + Data;指令示意图如图 3-4 所示。

其中 CMD 为 32 比特,发送顺序为 0xAB > 0xCD > 0xEF > 0x03。ADDR 为 24 比特, 以 ADDR=0x010203 为例,发送顺序为 0x01 > 0x02 > 0x03。Data 的有效长度为 256。

图 3-4 Page Read 指令

CMD ADDR	Data_0		Data_N
----------	--------	--	--------

Status(0xABCDEF04)

状态指令: 0xABCDEF04; 格式: CMD + Data; 指令示例图如图 3-5 所示。

其中 CMD 为 32 比特,发送顺序为 0xAB > 0xCD > 0xEF > 0x04。Data 的有效长度为

3,两字节为固定值,Data=0xAA + 0x55 + ST_data, ST_data 反馈 IP 的状态。

图 3-5 状态指令

CMD	0xAA	0x55	ST_data
-----	------	------	---------

ST_data 的比特映射关系表如表 3-2 所示。

表 3-2 状态比特表

比特位	默认值	描述
Bit[6]	0	保留
Bit[5]	0	Page Program 超时
Bit[4]	0	Page Program 操作完成
Bit[7]	0	Flash 忙
Bit [3:2]	00	保留
Bit [1]	0	擦除超时
Bit [0]	0	擦除操作完成

ST_data 的典型值如表 3-3 所示。

表 3-3 ST_data 典型值

典型值	描述
0x01	擦除完成
0x03	擦除超时
0x10	Page Program 完成
0x00	无异常
0x30	Page Program 超时
0x80	Flash 操作中

注!

状态值仅反馈上一个操作的状态。例如当擦除完成后,ST_data = 0x01。当执行擦除后,再直接执行 Page Program,则 ST_data = 0x10.即不反馈擦除的状态,直接反馈 Page Program 的状态。

Read Flash ID(0xABCDEF05)

读 Flash ID 指令: 0xABCDEF05;格式: CMD + Data;指令示例图如图 3-6 所示。 其中 CMD 为 32 比特,发送顺序为 0xAB > 0xCD > 0xEF > 0x05。Data 的有效长度为

3,以 Data=0x010203 为例,接收到的数据顺序为 0x01 > 0x02 > 0x03。

图 3-6 读 Flash ID 指令示例

Reset(0xABCDEF55)

复位 IP 指令: 0xABCDEF55。将复位 IP 内部的状态。

其中 CMD 为 32 比特,发送顺序为 0xAB > 0xCD > 0xEF > 0x55。

注!

此过程只涉及 IP,不涉及背景升级流程

图 3-7 复位 IP 指令示例



Reconfign(0xABCDEF99)

Reconfign 指令: 0xABCDEF99。

其中 CMD 为 32 比特,发送顺序为 0xAB > 0xCD > 0xEF > 0x99。

拉低"GW_BACKGROUND_RECONFIG_N"管脚,可约束到器件的"RECONFIG_N"管脚,实现拉低"RECONFIG_N"的功能。

图 3-8 Reconfign 指令示例



3.3 Flash 接口操作

IP 的 Flash 接口为 SPI 接口。本章将描述 UART 接收到相关指令执行后, Flash 接口匹配的操作。SPI 接口的基本特性,参考 2.2.2 Flash 接口特性。可根据 IP 支持的指令与选择的 Flash,判断 IP 是否能控制 Flash。

3.3.1 SPI 接口指令

本节将描述 SPI 接口中使用的指令。Read Status Register-1 简写为 RD_ST1。

表 3-4 SPI 接口指令

指令	Byte1	Byte2	Byte3	Byte4	Byte5
Write Enable	06H	-			
Write Disable	04H				

指令	Byte1	Byte2	Byte3	Byte4	Byte5
Read Status Register-1	05H	(S7-S0)	-		
Sector Erase	20H	A23-A16	A15-A8	A7-A0	-
Page Program	02H	A23-A16	A15-A8	A7-A0	D7-D0
Read JEDEC ID	9FH	(MF7-MF0)	(ID15-ID8)	(ID7-ID0)	-
Read Data	03H	A23-A16	A15-A8	A7-A0	D7-D0

Write Enable (06H)

注!

无特殊说明, IP 使用的 SPI 的时序图中为 Mode0。

图 3-9 Write Enable (06H)



Write Disable (04H)





Read Status Register-1 (05H)

此寄存器简写为 RD_ST1。





Sector Erase (20H)





Page Program (02H)





Read JEDEC ID (9FH)



图 3-14 Read JEDEC ID (9FH)

Read Data (03H)

图 3-15 Read Data (03H)



3.4 UART 指令与 SPI 接口映射关系

本节描述 UART 指令与 SPI 接口映射关系,只描述 UART 指令能够映射到 SPI 接口的 指令。为方便描述,将使用指令名称代替各自的详细时序。

Erase(0xABCDEF01)

当 UART 接口判断为"Erase"指令时, SPI 接口会按照顺序执行: Write Enable > Sector Erase > RD_ST1 > Write Disable.

其中 RD_ST1 操作如下:

- 1. 判断是否超时(超过 200ms)
 - a. 超时,进入5
 - b. 未超时, 进入 2
- 2. 等待 4ms
- 3. 执行 RD_ST1 指令
- 4. 判断返回值(是否为 0x00)
 - a. 等于 0x00, 进入 5
 - b. 不等于 0x00, 进入 1
- 5. 下一项操作(指 Write Disable)

图 3-16 Erase 指令映射

UART:

Erase(Sector)

SPI: Write Enable Sector Erase RD_S11 Write Disab

Write Data (0xABCDEF02)

当 UART 接口判断为 Write Data 指令时, SPI 接口会按照顺序执行: Write Enable > Page Program > RD_ST1 > Write Disable.

其中 RD_ST1 操作如下:

- 1. 判断是否超时(超过 16ms)
 - a. 超时,进入5

b. 未超时, 进入2

- 2. 等待 4ms
- 3. 执行 RD_ST1 指令
- 4. 判断返回值(是否为 0x00)
 - a. 等于 0x00, 进入 5
 - b. 不等于 0x00, 进入 1
- 5. 下一项操作(指 Write Disable)

	图 3-1	7 Write Data 指令映	射	
UART:	Write Data(Page)			
SPI:	Write Enable	Page Program	RD_ST1	Write Disable
Read Data(0xABCD	EF03)			

R

当 UART 接口判断为 Read Data 指令时, SPI 接口会连续读出 256 字节(1个 Page) 的数据。

图 3-18 Read Data 指令映射

UART:

Read Data(Page)

SPI:

Read Data

Read Flash ID(0xABCDEF05)

当 UART 接口判断为 Read Flash ID 指令时, SPI 接口会执行 Read JEDEC ID。

图 3-19 Read Flash ID 指令映射

UART:

Read Flash ID

SPI:

Read JEDEC ID



Gowin goConfig UART IP 的 IO 描述见表 4-1。

表 4-1 IO 接口定义

信号名称	方向	描述	IO 分配约束	备注
goConfig 通用接口				所有信号输入
GW_OSC_CLK	Input	时钟输入,25MHz。	-	输出方向均以 IP 为参考。
GW_RSTN	Input	复位,低电平有效。		
goConfig 特殊接口				
GW_BACKGROUND_RECONFIG_N	Output	可配合"Reconfign"指令,拉低 某个信号。		
goConfig 外部接口				
GW_BACKGROUND_EXT_RX	Input	UART-RX	-	
GW_BACKGROUND_EXT_TX	Output	UART-TX	-	
goConfig Flash 接口		·		
GW_BACKGROUND_INT_SCLK	Output	SPI-SCLK	MSPI	
GW_BACKGROUND_INT_CS_N	Output	SPI-CS_N	MSPI	
GW_BACKGROUND_INT_MOSI	Output	SPI-MOSI	MSPI	
GW_BACKGROUND_INT_MISO	Input	SPI-MISO	MSPI	

注!

• IO 分配约束各定义如下:

-"-":无限制,一般 IP 接口的使用方式。可以自由命名,可以自由约束位置

- "MSPI": 需要将 IO 约束到器件 MSPI 对应的管脚

- 部分 FPGA 的 MSPI 管脚可能并不是 4 个,请根据 FPGA 的 Pinout 手册与 Flash 的手册自行映射。
- "GW_OSC_CLK"使用说明: 输入稳定的 25MHz 的时钟。
- "GW_BACKGROUND_RECONFIG_N"使用说明:
 - 通常配合"Reconfign"指令,将该管脚约束到器件专用的"RECONFIG_N"管脚,实现触发"RECONFIG_N"的功能。

- IO 接口分类定义如下:
 - "goConfig 通用接口": 其他 IP 中也能常见的 IO。例如时钟,复位等;
 - "goConfig 特殊接口": 背景升级 IP 中可能包含的 IO。其 IO 的功能通常与背景升级的整个流程相关或某些 特定功能;
 - "goConfig 外部接口":背景升级 IP 中主要通讯的 IO。其 IO 的管脚定义、功能等,有比较成熟的规范。例 如 I2C、SPI、JTAG 等;
 - "goConfig Flash 接口": 背景升级 IP 中连接 Flash 的 IO。



在高云半导体云源软件界面菜单栏 Tools 下,可启动 IP Core Generator 工具,完成调用 并配置 Gowin goConfig UART IP。

1. 打开 IP Core Generator。

建立工程后,点击左上角"Tools"选项卡,下拉单击"IP Core Generator"选项,就可打开 IP 核产生工具,如图 5-1 所示。

File Edit Project	ols Window Help												_ # X
🗅 📂 🖯 🗞 🖓	Start Page	🔒 💵 : 🗊 🕅 👘 💷 🧶											
Design 🕺	Gowin Analyzer Oscilloscone	8 x											
	Schematic Viewer							General					
P_test - [c:/w	IP Core Generator			Project File:	E:\	work_files\ide	_prj\IP_test\IP_	test.gprj					
GWZA-LV	Programmer			Synthesis Tool:	Go	winSynthesis							
Veniog Hi	FloorPlanner												
💼 src\go 😿	Timing Constraints Editor							Target Devic	æ				
1.1	DSim Cloud			Part Number:	GW	2A-LV18MG1	96C7/I6						
*	Options			Series:	GW	2A							
		1		Device:	GW	2A-18							
				Package:	MB	GA196							
				Speed Grade:	C7/	16							
				Core Voltage:	LV								
Derion Process H	lierarchy		Start Page		Decigo Summan		IP Core G	enerator 🔲 Ď	cocorfic wart v	m 🕞	goconfig uart trop y	D test syn mt	html 🖂
Merrage			, otorruge			-			a		a	 	
(1) (1) (0) (0)													×
(1) NOTE (EX0101) : (Current top module is "goConfig_	UART_Top"											

图 5-1 IP Core Generator 选项

2. 打开 Gowin goConfig UART IP 核。

选择"Soft IP Core > BackGround Configuration > goConfig UART",如图 5-2 所示,双击 即可打开配置界面。

Console Message

			0	0						
🐳 GOWIN FPGA Designer - [IP Core Generator]									-	ð ×
🛼 File Edit Project Tools Window Help										- 8 ×
🗋 🖿 🗏 🖏 🖶 🖛 🔺 🗠 🛍 🗎	4 🖂 🔱 👫 🖬 🕅 🕅 🧠 🏭 🎜									
Hierarchy 8 ×	Target Device: GW2A-LV18MG196C7/16									
🔍 🚍 🛨 Update	Eller									
Unit File										
✓ goConfig src\goconfig_uart\goconfig_uart.v	Name Versi	on			go	Config l	UART			
~GW_B src\goconfig_uart\goconfig_uart.v	> CLOCK									
	> 🧮 DSP		Information							
	> 10			_						
	Soft IP Core		Vendor: GOWIN Se	.I miconductor						
	> 🧰 AI		rendon comit se	meenductor						
	BackGround Configuration		Summarv							
	Souther and the second									
	acConfia SPI 1.0		Gowin goConfig UAR	T IP can realize the	online programmir	ng function throu	ugh UART port. Users can	program the FPGA th	rough the UART	
	and Mathematics		port to update the d	ata stored internally	, realizing the back	kground progran	nming.			
	DSP and Mathematics Mathematics Markersonnect Memory Control Microprocessor System Microprocessor System		Reference							
			Reference							
			Reference documents(CN) - IP reference designs and user guide							
	> SerDes		Reference docur	nents(EN) - IP refer	ence designs and u	iser guide				
	> 🛅 Deprecated									
	< .	>								
Design Process Hierarchy	💡 Start Page 🖂	Design Summ	iary 🗵	👶 IP Cor	re Generator	🗵	goconfig_uart.v	🖾 🕻	goconfig_uart_tmp.v	×
Message										8 ×
(0) (A) (0) (0)										
Console Message										

图 5-2 打开 Gowin goConfig UART IP 核

3. Gowin goConfig UART IP 核配置界面。

Gowin goConfig UART IP 核配置界面如图 5-3 所示。配置界面左侧是 goConfig UART IP 核的接口示意图,右侧为配置选项。

- 用户可通过修改 File Name, 配置产生文件名称;
- 可通过修改 Module Name, 配置产生的顶层模块名称;
- 可通过修改 SPI Slave Addr, 配置从机地址。

General Device: GW5AT-60 Device Version: B Part Number: GW5AT-LV60GW369ES Language: Verilog File Name: goconfig_uart Module Name: goConfig_UART_Top Create In: E:\work_files\ide_prj\IP_test\src\goconfig_uart Options GW8ACGECOMD MT EX GW8ACGECOMD MT GW8ACGECOMD MT GW8ACGECOMD MT GW8ACGECOMD MT GW8ACGECOMD MT GW8ACGECOMD MT GW8ACGECOMD	goConfig UARI					
Over Accessoon of a trace Over Accessoon of a trace Options Options Options Options Out accessoon of a trace		General				
OW BACKERCINED DET TAY OW BACKERCINED DET TAY Options Options Options Outer Ackercine bet size + Options Outer Ackercine bet size + Options Outer Ackercine bet size + Outer Ackercine bet size + <		Device:	GW5AT-60	Device Version:	В	
OW BACKERDURD BYT SEX File Name: goconfig_uart Module Name: goConfig_UART_Top Create In: E:\work_files\ide_prj\IP_test\src\goconfig_uart Options System Clock: 25.000MHz Idle Cycle: 100 UART Polarity: Odd UART Polarity: Odd UART Baud Rate Standard 115200 Custom: 115200		Part Number:	GW5AT-LV60GW369ES	Language:	Verilog	
Create In: E:\work_files\ide_prj\IP_test\src\goconfig_uart Options CWBACKERDURE RT CEN GWBACKERDURE RT GWBACKE		File Name:	goconfig_uart	Module Name:	goConfig_UART_T	ор
GWB ACKROUND NT SEX 		Create In:	E:\work_files\ide_prj\IP_t	est\src\goconfig_	uart	
GWBAXIZOURD RT SEX GWBAXIZOURD RT SEX GWBAXI	GW BACKGROUND DT FK	Ontions				
CWERCKERCHARD RECOMED NT CON	GWBACKEOUND INT SLIK					
GWE ACCERCIAND RECOMPONENT KON GWE ACCERCIAND RECOMPONENT KON GWE ACCERCIAND RECOMPONENT GWE ACCERCIAND GWE ACCERCIAND GWE ACCERCIAND GW	GW BACKGROUND INT MISD	System Clock	k: 25.000MHz 🔹			
CWERKERDURD RECORD N + UART Polarity: Odd UART Baud Rate UART Baud Rate Standard 115200 Custom: 115200	GWBACKEDUND INT CSN	Idle Cycle:	100			
GWERKEROURD RECOMPONENT AND CUSTOM: 115200		UART Polarit	y: Odd 🗸 🗸			
CWERCKROUND RECOMPON		UART Bauc	d Rate			
CWINCKROND RECONDER C		🗹 Standar	rd 115200 ~			
	GWRSTN GWRACKGROUND REDONT G N	Custom:	115200 💂			
		Custom:	115200			

图 5-3 Gowin goConfig UART IP 配置界面

表 5-1 参数配置

选项	描述	备注
System Clock	系统时钟	推荐 25MHz,时钟设置应该与实际使用相匹配
Idle Cycle	UART 空闲等待周期 范围: 2~65535	指系统时钟的周期,以 25MHz 为例,一个周期 40ns,默认配置下即 100*40ns
UART Polarity	校验位设置:None、 Odd、Even	-
UART Baud Rate	波特率设置 范围: 110~1000000	



本节主要介绍 Gowin goConfig UART IP 参考设计的搭建与使用方法。详细信息请参见 高云半导体官网给出的相关参考设计。

6.1 工程搭建流程说明

用户搭建包含背景升级 IP 的工程,或者将背景升级 IP 插入已有工程时,可按照以下流 程进行操作:

- 配置生成 IP: Gowin goConfig UART IP
- 顶层调用 IP
- 软件配置: Dual-Purpose Pin 中勾选 Use MSPI as regular IO

工程前期的搭建,以及上述流程完成后的其他的操作,与正常的工程搭建执行一致,不 在本文中进行详细的说明。

如果包含背景升级 IP 的工程搭建中遇到了问题,也可按照此流程排查,判断是否为 IP 使用问题。

6.1.1 配置生成 IP

背景升级 IP 选择 Gowin goConfig UART IP,并配置生成。详细说明可参考 5 界面配置。

6.1.2 顶层调用 IP

在工程的顶层中,调用 IP 时, IP 一般没有特殊要求,但是在约束 IO 位置时, IP 的 Flash 接口需要与 MSPI 的端口对应。调用示例可参考 7 参考设计实例中的"Top.v"文件。详 细的说明请参考 4 信号定义。

IO 调用示例

图 6-1 是参考设计"Top.v"中调用 Gowin goConfig UART IP 的示例。

图 6-1 调用 IP 的 IO 名称示例

// IP goConfig_UART_Top inst_uart(E // SPI Flash .GW BACKGROUND INT SCLK(spi sclk), .GW BACKGROUND INT CS N(spi cs n), .GW BACKGROUND INT MOSI(spi mosi), .GW BACKGROUND INT MISO(spi miso), // UART .GW BACKGROUND EXT RX(uart rx), .GW BACKGROUND EXT TX(uart tx), 11 .GW BACKGROUND RECONFIG N(reconfig n), // General IO .GW RSTN(rstn), .GW OSC CLK(clk 25M));

图 6-2 是参考设计"Top.v"中,正确使用 Gowin goConfig UART IP 时的 IO 定义。

```
图 6-2 顶层 IO 定义示例
```

```
l module top
2 🚍 🛱 (
3 // uart
      parameter UART_SLAVE_SYSCLK = 25_000_000 //采样频率
1 L)
Ł
5 🗖 (
7
      // uart
3
      input uart_rx,
3
     output uart tx,
)
      // SPI
L
      output spi_sclk,
2
     output spi_cs_n,
3
1
     input spi_miso,
      output spi mosi,
5 7 3
      output reconfig n,
      //test IO
  11
       output spi_cs_n_test,
9
)
1 2 3
1
  11
       output spi_sclk_test,
  11
       output spi_mosi_test,
  11
       output spi miso test,
      output uart_rx_test,
     output uart tx test,
5 5 7 3 9 )
     output test,
      //others
      input clk in,
      input rstn
  );
```

6.1.3 软件配置

云源软件配置方法如下所示,单击"Project > Configuration > Place & Route > Dual-Purpose Pin ", 勾选"Use MSPI as regular IO"。

两种方式打开 Configuration, 如图 6-3 和图 6-4 所示。

图 6-3 打开	Configuration	示例	1
----------	---------------	----	---

🐝 GOWIN	I FPGA Desi	gner - [E:\	work_	files\I	P_A_new	\GoCc
🄰 File 🛛 E	dit Projec	t Tools	Win	dow	Help	
🗋 📂	📳 🏄 A	rchive Proj	ject			間
Process	🚖 R	estore Arc	hived	Proje	ct	×
📄 De	sign 🙆 S	et Device				
🗸 🇾 Us	er C 💿 🕻	onfiguratio	on	2		
	Flot 🔲 D	esign Sum	mary			
\varkappa	Timing Co	nstraints E	ditor			
🗸 🥐 Syr	nthesize					
	Synthesis F	Report				
	Netlist File					
🗸 🥐 Pla	ice & Route	•				
	Place & Ro	oute Repor	t			
	Timing Ana	alysis Repo	ort			
	Ports & Pir	ns Report				
	Power Ana	lysis Repo	rt			
In Pro	ogrammer					
	-					
Design	Process	Hierarch	ıy			

GOWIN FPGA Designer - [E:\work_files\IP_A_new\GoCo File Edit Project Tools Window Help Process Process Design Summary User Constraints FloorPlanner Timing Constraints Editor Synthesize Synthesis Report Netlist File Place & Route Place & Route Place & R C Rerun Timing An Power Ana Clean Programmer Configuration 3		图 6-4 打开	开 Configuration 示例 2
File Edit Project Tools Window Help Process Design Summary User Constraints FloorPlanner Timing Constraints Editor Synthesize 2 Synthesis Report Netlist File Place & Route 2 Run Place & Route 2 Netlist File Place & Rerun Timing An Ports & Pi Clean&Rerun All Power Ana Stop Clean Programmer Configuration 3	🞇 GOWIN	I FPGA Desi	igner - [E:\work_files\IP_A_new\GoCo
Process Process Design Summary User Constraints FloorPlanner Timing Constraints Editor Synthesis Report Netlist File Place & Route Place & Route Place & R Rerun Place & R Rerun All Ports & Pi Clean&Rerun All Power Ana Stop Clean Programmer Configuration 3	🎽 File 🛛 E	dit Projec	ct Tools Window Help
Process Design Summary User Constraints FloorPlanner FloorPlanner Synthesize Synthesis Report Netlist File Place & Route Place & Route Place & Rerun Fiming An Ports & Pi Power Ana Power Ana Clean Configuration 3	🗋 📂		
 Design Summary User Constraints FloorPlanner Timing Constraints Editor Synthesize 2 Synthesis Report Netlist File Place & Route 2 Run Place & Route 2 Rerun All Ports & Pi Clean&Rerun All Power Ana Stop Clean Programmer Configuration 	Process		8 ×
 User Constraints FloorPlanner Timing Constraints Editor Synthesize Synthesis Report Netlist File Place & Route Place & Route Place & Route Rerun Timing An Rerun All Ports & Pi Clean & Rerun All Power Ana Stop Clean Configuration 	📄 De	sign Summ	ary
FloorPlanner Timing Constraints Editor Synthesize Synthesis Report Netlist File Place & Route Place & Route Place & R Run Place & R Rerun Timing An Rerun All Ports & Pi Clean Programmer Clean Stop Clean Brorgrammer Clean Configuration 3	🗸 📝 Us	er Constraiı	nts
Synthesize Synthesize Synthesis Report Netlist File Place & Route Place & Route Place & R Rerun Timing An Ports & Pi Power Ana Power Ana Programmer Clean		FloorPlann	ner
Synthesize 2 Synthesis Report Netlist File Place & Route 2 Place & Route 2 Place & R C Rerun Ports & Pi 2 Clean&Rerun All Power Ana 5top Clean Programmer Configuration 3	$\stackrel{\sim}{\sim}$	Timing Cor	nstraints Editor
Synthesis Report Netlist File Place & Route Place & Revun Place & Revun Place & Revun Rerun All Ports & Pi Programmer Clean Stop Clean Stop Clean Stop Clean Brocess Hierarchy	🔨 🥐 Syr	nthesize	2
Netlist File Place & Route Place & Revun Place & Revun Timing An Ports & Pi Power Ana Power Ana Programmer Clean Stop Clean Stop Clean Stop Clean C		Synthesis F	Report
Place & Route Place & Return Place & Return Timing An Ports & Pi Power Ana Power Ana Programmer Clean Configuration 3		Netlist File	·
Place & Re Place & Re Timing An Ports & Pi Power Ana Power Ana Programmer Clean Clean Stop Clean 3 1 Design Process Hierarchy	🗸 🥐 Pla	ice & Route	2 _{Bup}
Timing An Ports & Pi Power Ana Power Ana Programmer Clean Configuration 3 1 Design Process Hierarchy		Place & Ro	C Rerun
Ports & Pi Clean&Rerun All Power Ana Stop Clean Programmer Configuration 3 Process Hierarchy		Timing An	🥏 Rerun All
Power Ana Stop Clean Clean Configuration 3		Ports & Pi	🥏 Clean&Rerun All
Clean Configuration 3 Design Process Hierarchy		Power Ana	Stop
Configuration 3 Design Process Hierarchy	↓能 Pro	ogrammer	Clean
3 Design Process Hierarchy		l	Configuration
Design Process Hierarchy			3
	Design	1 Process	Hierarchy

图 6-5 为勾选 Use MSPI as regular IO 示例。单击"Place & Route > Dual-Purpose Pin", 勾选"Use MSPI as regular IO"。

🐳 Configuration		×
	Dual-Purpose Pin	
 Global General Constraints Synthesize General Place & Route General Voltage Place Route Dual-Purpose Pin Unused Pin BitStream General sysControl Feature sysControl 	 Use JTAG as regular IO Use SSPI as regular IO Use MSPI as regular IO Use READY as regular IO Use DONE as regular IO Use RECONFIG_N as regular IO Use I2C as regular IO 	
		OK Cancel Apply

图 6-5 勾选 Use MSPI as regular 10 示例

当出现如下错误时,需要检查是否勾选"Use MSPI as regular IO"。

图 6-6 错误示例

liveantuk couscuatur itte, r'ikoux'ittes/tr'e'uem/docouitk/oo"sost/naur_sht/buo/ts-tt/usi_nestku/ibka_buolecr/suc/ibka_buolecr/su
WARN (CT1122) : 'reconfig_n' will be placed to RECONFIGN pin according to constraint, and then the signal may lead to gwCONFIG programming d:
Physical Constraint parsed completed
Running placement
ERROR (PR2028) : The constrained location is useless in current package
ERROR (PR2017) : 'spi_cs_n' cannot be placed according to constraint, for the location is a dedicated pin (MSPI)
ERROR (PR2028) : The constrained location is useless in current package
ERROR (PR2017) : 'spi_sclk' cannot be placed according to constraint, for the location is a dedicated pin (MSPI)
ERROR (PR2028) : The constrained location is useless in current package
ERROR (PR2017) : 'spi_mosi' cannot be placed according to constraint, for the location is a dedicated pin (MSPI)
ERROR (PR2028) : The constrained location is useless in current package
ERROR (PR2017) : 'spi_miso' cannot be placed according to constraint, for the location is a dedicated pin (MSPI)
Generate file "E:\work_files\IP_A_new\GoConfig\00_2024\uart_spi\pro\12-11\ref_design\fpga_project\impl\pnr\fpga_project.pin.html" completed

6.2 参考设计

6.2.1 FPGA 工程说明

Gowin goConfig UART IP 的 FPGA 参考设计主要包含两个组成部分 IP 模块以及用户模块。

- IP 模块:调用 IP,并给出了一种使用方法示例。模块说明如下:
 - IP 的使用需要更改云源软件配置,参考设计中已经包含有对应的示例;详细说明可参考 6.1 工程搭建流程说明。
 - IP 的部分 IO 使用时存在限制,可模仿参考设计的使用,详细说明可参考 4 信号定义。

- 用户模块: 通过一个简单的 LED 测试, 代表用户的设计。

图 6-7 参考设计基本结构示意图



6.2.2 参考设计文件

Gowin goConfig UART IP 参考设计中,相关文件如表 6-1 所示。

名称	描述
fpga_project.cst	工程物理约束文件
goconfig_uart	IP文件夹
goconfig_uart.v	生成的 IP 文件,加密。
goconfig_uart.vo	生成 IP 的网表文件,仿真使用。
gowin_rpll	gowin_rpll 文件夹
gowin_rpll.v	gowin_rpll 模块,用于生成 25 MHz 的时钟。
Тор.v	顶层模块,包含 LED 的测试应用。

表 6-1 参考设计 src 文件夹内容列表

6.2.3 参考设计注意事项

Gowin goConfig UART IP 本次提供的参考设计中,仅包含 FPGA 的工程,以及部分说明文档;不提供仿真环境,以及 UART 总线的驱动示例。

"UART 总线的驱动示例"请联系 FAE 获取。

