



Gowin AXI to AHB Sync IP 用户指南

IPUG1201-1.1, 2025-05-23

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、**Arora-V**、GowinPnR、GoBridge 均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2025/02/28	1.0	初始版本。
2025/05/23	1.1	新增参考设计。

目录

图目录.....	ii
表目录.....	iii
1 关于本手册.....	1
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语.....	2
1.4 技术支持与反馈.....	2
2 概述.....	3
2.1 介绍.....	3
2.2 功能特性.....	3
2.3 资源使用.....	4
3 功能描述.....	5
4 信号描述.....	8
5 参数描述.....	11
6 界面配置.....	12
7 应用场景.....	14
8 参考设计.....	15

图目录

图 6-1 界面配置.....	13
图 7-1 AXI 连接 AHB-Lite 互联.....	14
图 7-2 AXI 连接 AHB-Lite 从设备.....	14

表目录

表 1-1 术语、缩略语.....	2
表 2-1 Gowin AXI to AHB Sync IP 概述.....	3
表 2-2 资源使用情况.....	4
表 3-1 AXI4 与 AHB-Lite 的突发类型映射.....	5
表 3-2 不支持的 AXI 信号.....	6
表 3-3 AXI4 信号到 HPROT 信号的映射.....	6
表 4-1 信号描述.....	8
表 5-1 参数描述.....	11

1 关于本手册

1.1 手册内容

Gowin AXI to AHB Sync IP 用户指南主要包含功能特性、功能描述、信号描述、参数描述、界面配置、应用场景、参考设计等内容，旨在帮助用户快速了解 AXI to AHB Sync IP 的特性和使用方法。本手册中的软件界面截图参考的是 1.9.11.02 (64-bit) 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

- [SUG100, Gowin 云源软件用户指南](#)
- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [DS117, GW1NR 系列 FPGA 产品数据手册](#)
- [DS821, GW1NS 系列 FPGA 产品数据手册](#)
- [DS861, GW1NSR 系列 FPGA 产品数据手册](#)
- [DS841, GW1NZ 系列 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [DS971, GW2AN-18X & 9X 器件数据手册](#)
- [DS976, GW2AN-55 器件数据手册](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [DS1239, GW5AST 系列 FPGA 产品数据手册](#)
- [DS1105, GW5AS 系列 FPGA 产品数据手册](#)
- [DS1108, GW5AR 系列 FPGA 产品数据手册](#)

- [DS1118, GW5ART 系列 FPGA 产品数据手册](#)

1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
AHB	Advanced High-performance Bus	高级高性能总线
AMBA	Advanced Microcontroller Bus Architecture	高级微控制器总线架构
AXI	Advanced eXtensible Interface	高级可扩展接口
FPGA	Field Programmable Gate Array	现场可编程门阵列
IP	Intellectual Property	知识产权

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

2.1 介绍

Gowin AXI to AHB Sync IP 是一种协议转换器，用于将 AMBA AXI4 协议转换为 AMBA AHB-Lite 协议，它允许 AXI4 主设备访问 AHB-Lite 从设备。

表 2-1 Gowin AXI to AHB Sync IP 概述

Gowin AXI to AHB Sync IP	
逻辑资源	请参见表 2-2
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software (V1.9.11.02 及以上)

注！

可登录 [高云半导体网站](#) 查看芯片支持信息。

2.2 功能特性

Gowin AXI to AHB Sync IP 主要包含以下功能特性：

- 兼容 AMBA AXI4 协议
- 兼容 AMBA AHB-Lite 协议
- 可配置地址宽度：24 - 64 bits
- 可配置数据宽度：32 或 64 bits
- AXI4 和 AHB-Lite 接口共用时钟与复位信号
- AXI4 和 AHB-Lite 接口具有相同的地址和数据宽度

- 支持窄传输：
 - 在 32-bit 数据总线上支持 8/16 bits 传输
 - 在 64-bit 数据总线上支持 8/16/32 bits 传输

2.3 资源使用

通过 Verilog 语言实现 Gowin AXI to AHB Sync IP。因使用器件的密度、速度和等级不同，其性能和资源使用情况可能不同。以高云 GW5AT 系列 FPGA 为例，Gowin AXI to AHB Sync IP 资源使用情况如表 2-2 所示。

表 2-2 资源使用情况

器件系列	资源	资源使用	配置
GW5AT	Logic	704	Address Bus Width: 32
	Register	289	Data Bus Width: 32
	BSRAM	0	AXI ID Width: 4

3 功能描述

支持多达 2 个未完成的读/写事务（2R、2W 或 1R1W）。

如果 AXI4 侧未准备好进行下一个 AHB-Lite 传输，AHB-Lite 将会发起 BUSY 或 IDLE 周期。

AXI4 突发类型与 AHB-Lite 突发类型的映射如表 3-1 所示。如果 AXI4 事务跨越了 1 KB 地址边界，则 AxLEN 为 3、7 或 15 的 AXI4 增量突发将会被转换为 AHB INCR 突发。

表 3-1 AXI4 与 AHB-Lite 的突发类型映射

ARBURST/AWBURST	ARLEN/AWLEN	HBURST	HBURST (cross 1K)
INCR	0	SINGLE	N/A
INCR	3	INCR4	INCR
INCR	7	INCR8	INCR
INCR	15	INCR16	INCR
INCR	1, 2, 4-6, 8-14, 16-255	INCR	INCR
FIX	0-15	SINGLE	N/A
WRAP	1	SINGLE	N/A
WRAP	3	WRAP4	N/A
WRAP	7	WRAP8	N/A
WRAP	15	WRAP16	N/A

遵守 AHB-Lite 1 KB 地址边界要求。

当 AHB-Lite 接口收到错误响应时，一个突发传输中的剩余传输将会继续传输（而不是被取消）。

读和写事务仲裁优先级：

- AXI4 写事务只有在 AXI4 写命令和其第一次数据传输都被接收之后，才会参与仲裁。
- 在第一次仲裁中，读事务通常优先于写事务。

- 如果写事务在与读事务的仲裁中失败，写事务将会被缓存。这些被缓存的写事务被称为“待处理写事务”。
- 仲裁优先级顺序为：待处理写事务 > 读事务 > 写事务。

写事务的顺序和读事务的顺序各自是独立维护的，而读事务与写事务之间的顺序是不维护的。

对于带有部分写使能信号的窄 AXI4 写传输，只有 WDATA 中预定的字节才会被写入 AHB-Lite 接口。

限制与约束

1. 不支持表 3-2 中列出的 AXI 信号。

表 3-2 不支持的 AXI 信号

Signal Name	Source	Description
Read/Write Address Channel		
AxQOS	Master	Quality of service
AxREGION	Master	Region identifier
AxUSER	Master	User signal
Low Power Interface		
CSYSREQ	Clock controller	System exit low-power state request
CSYSACK	Peripheral device	Exit low-power state acknowledgement
CACTIVE	Peripheral device	Clock active

2. RRESP/BRESP 仅返回 OKAY 或 SLVERR，不返回 DECERR 和 EXOKAY。
3. AXI4 信号到 HPROT 信号的映射如表 3-3 所示。

表 3-3 AXI4 信号到 HPROT 信号的映射

AXI signals	AHB-Lite signals
ARCACHE[0]/AWCACHE[0] (AXI4 bufferable/nonbufferable)	HPROT[2](bufferable)
ARCACHE[1]/AWCACHE[1] (AXI4 modifiable)	HPROT[3](cacheable)
ARCACHE[2]/AWCACHE[2] (AXI4 read allocate)	Ignored
ARCACHE[3]/AWCACHE[3] (AXI4 write allocate)	Ignored
ARPROT[0]/AWPROT[0] (AXI4 privileged/non-privileged)	HPROT[1](privileged/user access)
ARPROT[1]/AWPROT[1]	Secure accesses are not supported

AXI signals	AHB-Lite signals
(AXI4 secure/non-secure)	Secure accesses are not supported
ARPROT[2]/AWPROT[2] (AXI4 data/instruction access)	HPROT[0](data/opcode access) Note: HPROT[0] is the inverse of ARPROT[2]/AWPROT[2]

4. WSTRB 限制

- 仅单次传输的 **AXI4** 写事务支持部分写使能信号
 - 在部分写使能信号的情况下，在 **AHB-Lite** 接口上传输会被转换为单次或多次窄传输。
 - 在写使能信号为零的情况下，在 **AHB-Lite** 接口上会发起 **IDLE** 传输。
- 对于其他 **AXI4** 写事务
 - 不支持部分和写使能信号为零，否则会报告 **SLVERR** 错误。
 - **WDATA** 的有效字节由 **AWADDR** 和 **AWSIZE** 决定，与 **WSTRB** 无关。

4 信号描述

Gowin AXI to AHB Sync IP 的信号描述如表 4-1 所示。

表 4-1 信号描述

信号	I/O	位宽	描述
araddr	input	[ADDR_BUS_WIDTH ^[1] - 1:0]	AXI 读地址
arburst	input	[1:0]	AXI 读突发类型（0 = 固定，1 = 递增，2 = 回环）
arcache	input	[3:0]	AXI 读缓存类型
arid	input	[AXI_ID_WIDTH ^[2] - 1:0]	AXI 读地址 ID 标签
arlen	input	[7:0]	AXI 读突发长度（0=1 次传输，1=2 次传输，...，255=256 次传输）
arlock	input	1	AXI 读锁定类型，仅支持普通访问（arlock=0）
arprot	input	[2:0]	AXI 读保护类型
arready	output	1	AXI 读地址就绪
arsize	input	[2:0]	AXI 读突发大小（0=1 字节，1=2 字节，2=4 字节，3=8 字节，其他：不支持）
arvalid	input	1	AXI 读地址有效
awaddr	input	[ADDR_BUS_WIDTH ^[1] - 1:0]	AXI 写地址
awburst	input	[1:0]	AXI 写突发类型（0 = 固定，1 = 递增，2 = 回环）
awcache	input	[3:0]	AXI 写缓存类型
awid	input	[AXI_ID_WIDTH ^[2] - 1:0]	AXI 写地址 ID
awlen	input	[7:0]	AXI 写突发长度（0=1 次传输，1=2 次传输，...，255=256 次传输）
awlock	input	1	AXI 写锁定类型，仅支持普通访问（awlock = 0）

信号	I/O	位宽	描述
awprot	input	[2:0]	AXI 写保护类型
awready	output	1	AXI 写地址就绪
awsiz	input	[2:0]	AXI 写突发大小 (0=1 字节, 1=2 字节, 2=4 字节, 3=8 字节, 其他: 不支持)
awvalid	input	1	AXI 写地址有效
bid	output	[AXI_ID_WIDTH ^[2] - 1:0]	AXI 写响应 ID
bready	input	1	AXI 写响应就绪
bresp	output	[1:0]	AXI 写响应
bvalid	output	1	AXI 写响应有效
rdata	output	[DATA_BUS_WIDTH ^[3] - 1:0]	AXI 读数据
rid	output	[AXI_ID_WIDTH ^[2] - 1:0]	AXI 读 ID 标签
rlast	output	1	AXI 读最后一次传输
rready	input	1	AXI 读数据就绪
rresp	output	[1:0]	AXI 读响应
rvalid	output	1	AXI 读数据有效
wdata	input	[DATA_BUS_WIDTH ^[3] - 1:0]	AXI 写数据
wlast	input	1	AXI 写最后一次传输
wready	output	1	AXI 写数据就绪
wstrb	input	[(DATA_BUS_WIDTH ^[3] / 8) - 1:0]	AXI 写选通信号
wvalid	input	1	AXI 写数据有效
clk	input	1	系统总线时钟
resetn	input	1	系统总线复位
haddr	output	[ADDR_BUS_WIDTH ^[1] - 1:0]	AHB-Lite 地址总线
hburst	output	[2:0]	AHB-Lite 突发类型
hprot	output	[3:0]	AHB-Lite 保护控制
hrdata	input	[DATA_BUS_WIDTH ^[3] - 1:0]	AHB-Lite 读数据总线
hready	input	1	AHB-Lite 传输完成
hresp	input	1	AHB-Lite 传输响应
hsize	output	[2:0]	AHB-Lite 传输大小
htrans	output	[1:0]	AHB-Lite 传输类型
hwdata	output	[DATA_BUS_WIDTH ^[3] - 1:0]	AHB-Lite 写数据总线
hwrite	output	1	AHB-Lite 读/写传输信号

注!

- ^[1]ADDR_BUS_WIDTH 是 Address Bus Width 选项的值;

- ^[2]AXI_ID_WIDTH 是 AXI ID Width 选项的值；
- ^[3]DATA_BUS_WIDTH 是 Data Bus Width 选项的值。

5 参数描述

Gowin AXI to AHB Sync IP 的参数描述如表 5-1 所示。

表 5-1 参数描述

名称	描述	取值范围	默认值
Address Bus Width	地址总线的宽度	24 - 64	32
Data Bus Width	数据总线的宽度	32, 64	32
AXI ID Width	AXI id tag 的宽度	1 - 16	4

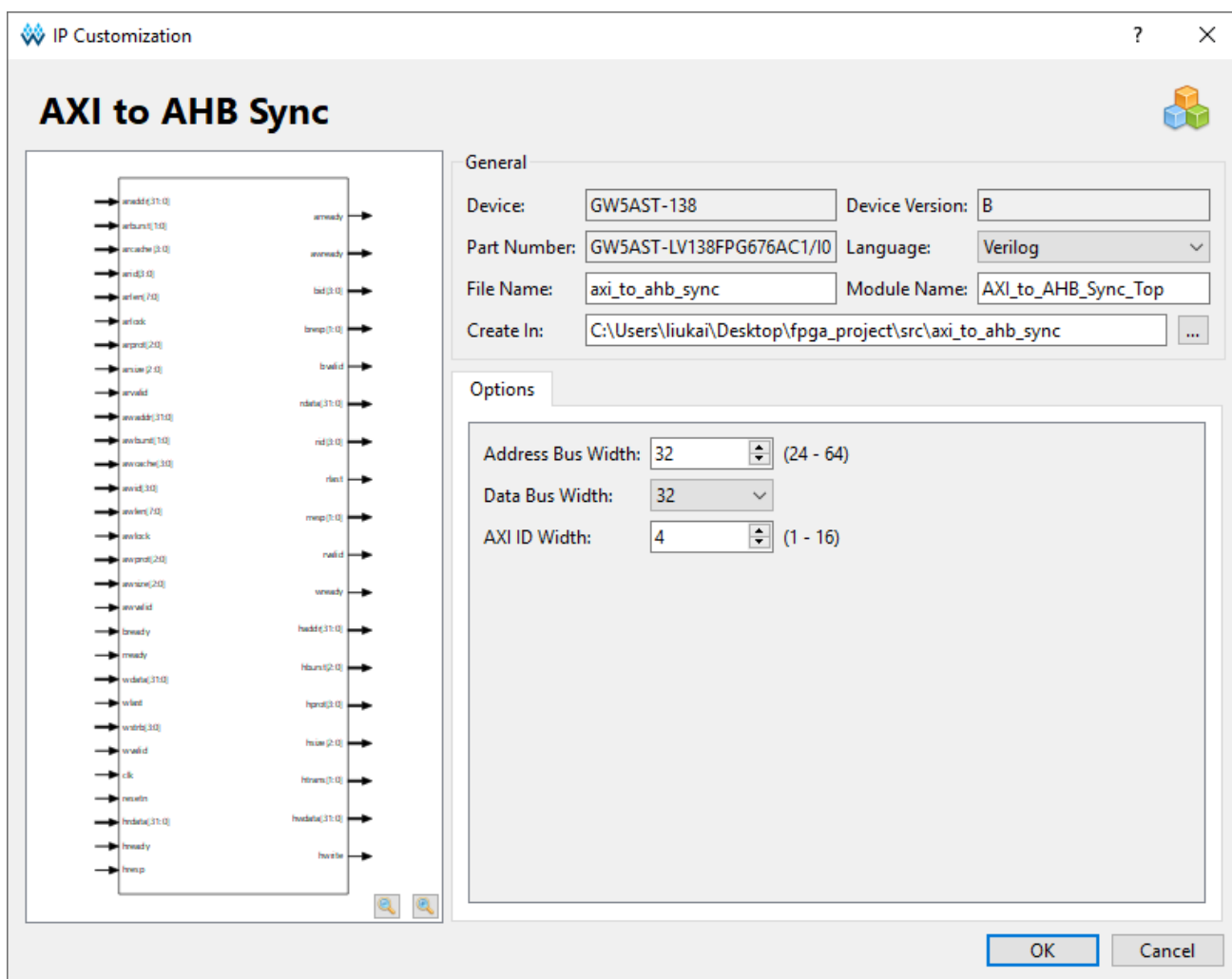
6 界面配置

用户可以在高云半导体云源软件的 IP Core Generator 工具，调用并配置 Gowin AXI to AHB Sync IP。

选择菜单栏“Tool > IP Core Generator”或工具栏“”，打开 IP Core Generator，IP 列表中选择“Soft IP Core > Microprocessor System > Bus Interconnect > AXI to AHB Sync 1.0”。

Gowin AXI to AHB Sync IP 界面配置如图 6-1 所示。

图 6-1 界面配置



选项配置描述如下所示。

- **Address Bus Width:** 地址总线的宽度，取值范围为 24 - 64，默认值为 32。
- **Data Bus Width:** 数据总线的宽度，取值范围为 32、64，默认值为 32。
- **AXI ID Width:** AXI id tag 的宽度，取值范围为 1 - 16，默认值为 4。

7 应用场景

Gowin AXI to AHB Sync IP 的应用场景一般包括两种，一种是 AXI4 主设备连接一个 AHB-Lite 互联，如图 7-1 所示；一种是 AXI4 主设备连接一个 AHB-Lite 从设备，如图 7-2 所示。AHB-Lite 从设备或互联的 HMASTLOCK 输入信号必须接低电平，因为 AXI to AHB Sync 不支持锁定传输。AHB-Lite 从设备或互联的 HSEL 输入信号必须接高电平，因为传输状态可以由 AXI to AHB Sync 的 HTRANS 输出信号控制。

图 7-1 AXI 连接 AHB-Lite 互联

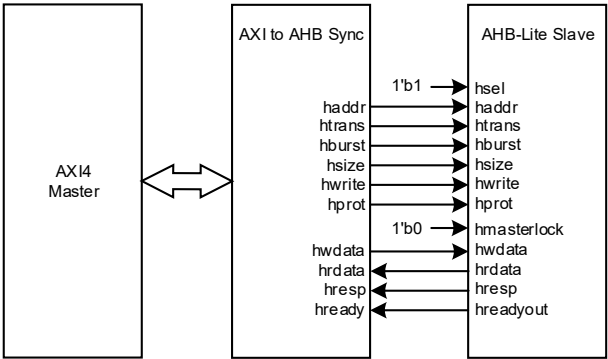
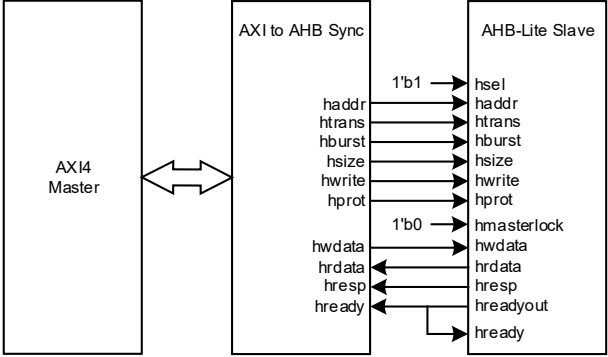


图 7-2 AXI 连接 AHB-Lite 从设备



8 参考设计

详细信息请参见高云半导体网站 Gowin AXI to AHB Sync IP 相关[参考设计](#):

- 硬件参考设计:

- ...\ref_design\FPGA_RefDesign\DK_START_GW5AST138_V1.0\axi2ahb_sync

- 软件参考设计:

- ...\ref_design\MCU_RefDesign\axi2abh_sync

