



Gowin AHB to APB Sync Down IP 用户指南

IPUG1202-1.0, 2025-02-28

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、**Gowin**、**高云**、晨熙、小蜜蜂、**LittleBee**、**Arora-V**、**GowinPnR**、**GoBridge** 均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其所有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2025/02/28	1.0	初始版本。

目录

图目录.....	ii
表目录.....	iii
1 关于本手册.....	1
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语.....	2
1.4 技术支持与反馈.....	2
2 概述.....	3
2.1 介绍.....	3
2.2 功能特性.....	3
2.3 资源使用.....	4
3 功能描述.....	5
4 信号描述.....	6
5 参数描述.....	8
6 界面配置.....	9
7 参考设计.....	11

图目录

图 3-1 结构框图.....	5
图 6-1 界面配置.....	10

表目录

表 1-1 术语、缩略语.....	2
表 2-1 Gowin AHB to APB Sync Down IP 概述.....	3
表 2-2 资源使用情况.....	4
表 4-1 信号描述.....	6
表 5-1 参数描述.....	8

1 关于本手册

1.1 手册内容

Gowin AHB to APB Sync Down IP 用户指南主要包含功能特性、结构框图、功能描述、信号描述、参数描述、界面配置、参考设计等内容，旨在帮助用户快速了解 AHB to APB Sync Down IP 的特性和使用方法。本手册中的软件界面截图参考的是 1.9.11.01 (64-bit) 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

- [SUG100, Gowin 云源软件用户指南](#)
- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [DS117, GW1NR 系列 FPGA 产品数据手册](#)
- [DS821, GW1NS 系列 FPGA 产品数据手册](#)
- [DS861, GW1NSR 系列 FPGA 产品数据手册](#)
- [DS841, GW1NZ 系列 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [DS971, GW2AN-18X & 9X 器件数据手册](#)
- [DS976, GW2AN-55 器件数据手册](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [DS1239, GW5AST 系列 FPGA 产品数据手册](#)
- [DS1105, GW5AS 系列 FPGA 产品数据手册](#)
- [DS1108, GW5AR 系列 FPGA 产品数据手册](#)

- [DS1118, GW5ART 系列 FPGA 产品数据手册](#)

1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
AHB	Advanced High-performance Bus	高级高性能总线
AMBA	Advanced Microcontroller Bus Architecture	高级微控制器总线架构
APB	Advanced Peripheral Bus	高级外围总线
FPGA	Field Programmable Gate Array	现场可编程门阵列
IP	Intellectual Property	知识产权

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

2.1 介绍

Gowin AHB to APB Sync Down IP 是一种协议转换器，用于将 AMBA AHB 协议转换为 AMBA APB 协议，它允许 AHB 主设备访问 APB 从设备。

表 2-1 Gowin AHB to APB Sync Down IP 概述

Gowin AHB to APB Sync Down IP	
逻辑资源	请参见表 2-2
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software (V1.9.11.01 及以上)

注!

可登录 [高云半导体网站](#) 查看芯片支持信息。

2.2 功能特性

Gowin AHB to APB Sync Down IP 主要包含以下功能特性：

- 支持 APB2、APB3 和 APB4 协议。
- 以半同步方式运行 APB 接口，其速度慢于 AHB 接口。

2.3 资源使用

通过 Verilog 语言实现 Gowin AHB to APB Sync Down IP。因使用器件的密度、速度和等级不同，其性能和资源使用情况可能不同。以高云 GW5AT 系列 FPGA 为例，AHB to APB Sync Down IP 资源使用情况如表 2-2 所示。

表 2-2 资源使用情况

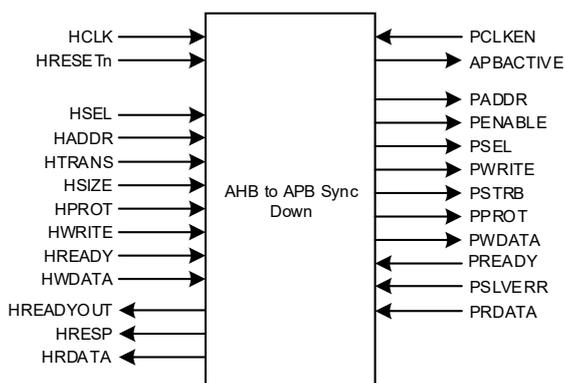
器件系列	资源	资源使用	配置
GW5AT	Logic	59	Address Width: 64KB
	Register	57	
	BSRAM	0	

3 功能描述

结构框图

Gowin AHB to APB Sync Down IP 结构框图如图 3-1 所示。

图 3-1 结构框图



AHB 与 APB 的桥接有一个输出信号，称为 APBACTIVE，用于控制时钟门控单元来产生一个 PCLK 时钟门控，称为 PCLKG。当没有 APB 传输时，APBACTIVE 信号为低电平，并且停止 PCLKG。为总线逻辑和外设操作设计了独立时钟引脚的外设，可以使用 PCLK 时钟门控来降低功耗。

AHB to APB Sync Down 需要一个与 HCLK 同步的 APB 时钟，通过 PCLKEN 信号，PCLK 可以与 HCLK 保持一致，或者为 HCLK 的分频。

当系统使用 AMBA 2.0 协议时，PSLVERR 信号可以接低电平，PREADY 信号可以接高电平。

当使用 APB2 和 APB3 外设系统时，可以忽略 PPROT[2]和 PSTRB[3:0]信号。

对于 HCLK 等于 PCLK 的系统，如果 APB 从设备无错误响应，则每次读写的最小周期为 3 个 HCLK 周期。

如果 PCLKEN 设置为高电平，则 PCLK 等于 HCLK。如果每个 HCLK 周期翻转切换 PCLKEN，则 PCLK 是 HCLK 时钟的分频。

4 信号描述

Gowin AHB to APB Sync Down IP 的信号描述如表 4-1 所示。

表 4-1 信号描述

信号	I/O	位宽	描述
HCLK	input	1	系统总线时钟
HRESETn	input	1	系统总线复位
PCLKEN	input	1	APB 时钟使能
HSEL	input	1	设备选择
HADDR	input	[ADDRWIDTH ^[1] - 1:0]	地址
HTRANS	input	[1:0]	传输控制
HSIZE	input	[2:0]	传输大小
HPROT	input	[3:0]	保护控制
HWRITE	input	1	写控制
HREADY	input	1	传输阶段完成
HWDATA	input	[31:0]	写数据
HREADYOUT	output	1	设备就绪
HRDATA	output	[31:0]	读数据
HRESP	output	1	设备响应
PADDR	output	[ADDRWIDTH ^[1] - 1:0]	APB 地址
PENABLE	output	1	APB 使能
PWRITE	output	1	APB 写
PSTRB	output	[3:0]	APB 字节选通
PPROT	output	[2:0]	APB 保护
PWDATA	output	[31:0]	APB 写数据
PSEL	output	1	APB 选择

信号	I/O	位宽	描述
APBACTIVE	output	1	APB 总线活动状态（用于 APB 总线的时钟门控）
PRDATA	input	[31:0]	每个 APB 从设备的读数据
PREADY	input	1	每个 APB 从设备的就绪信号
PSLVERR	input	1	每个 APB 从设备的错误状态

注!

^[1]ADDRWIDTH 是 Address Width 选项的值。

5 参数描述

Gowin AHB to APB Sync Down IP 的参数描述如表 5-1 所示。

表 5-1 参数描述

名称	描述	取值范围	默认值
Address Width	地址总线的宽度	1KB - 256MB	64KB

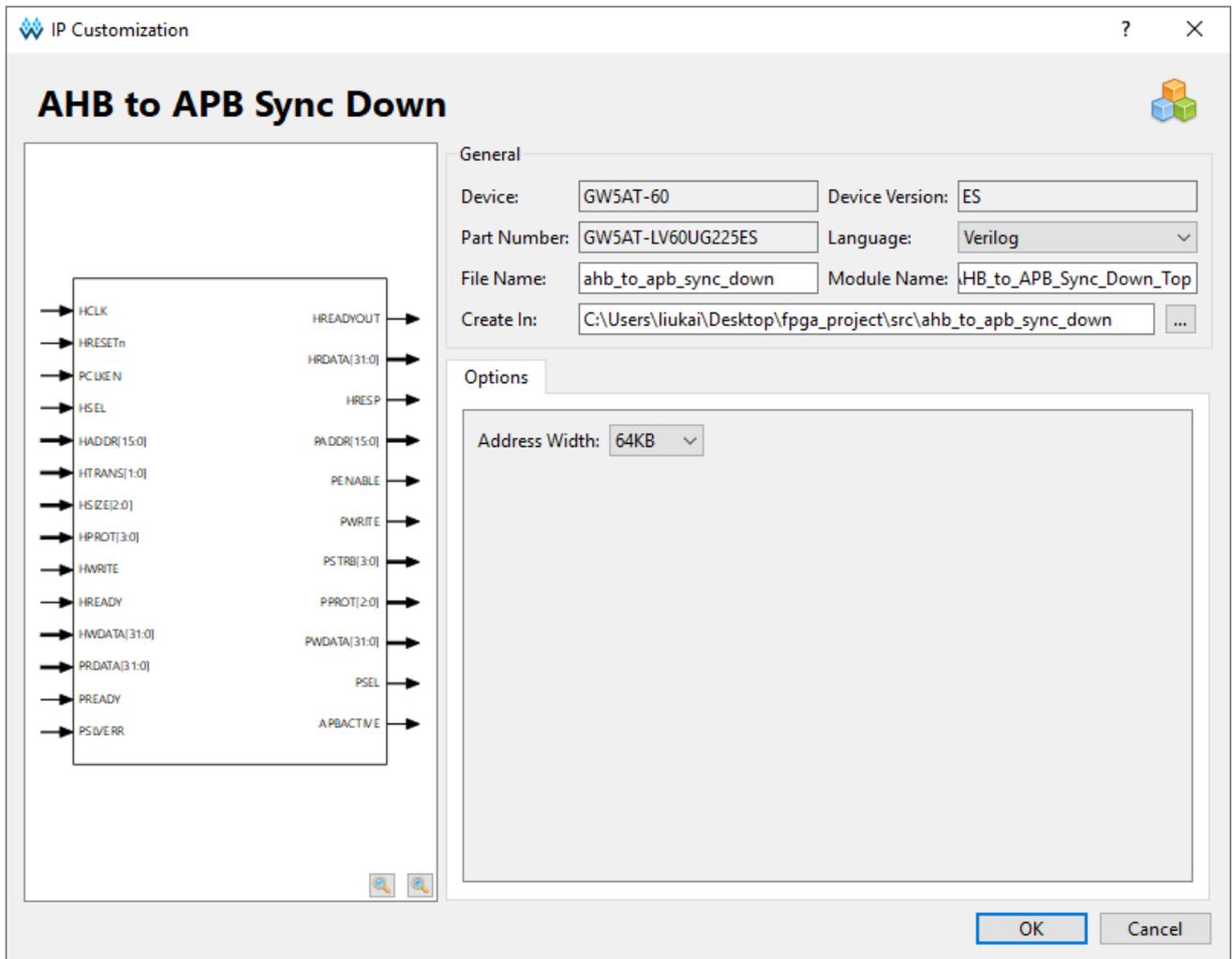
6 界面配置

用户可以在高云半导体云源软件的 IP Core Generator 工具，调用并配置 Gowin AHB to APB Sync Down IP。

选择菜单栏“Tool > IP Core Generator”或工具栏“”，打开 IP Core Generator，IP 列表中选择“Soft IP Core > Microprocessor System > Bus Interconnect > AHB to APB Sync Down 1.0”。

Gowin AHB to APB Sync Down IP 界面配置如[图 6-1](#)所示。

图 6-1 界面配置



选项配置包括 Address Width 地址总线的宽度，取值范围为 1KB - 256MB，默认值为 64KB。

7 参考设计

详细信息请参见高云半导体网站 Gowin AHB to APB Sync Down IP 相关[参考设计](#):

- 硬件参考设计:

...

`\\ref_design\FPGA_RefDesign\DK_START_GW5AST138_V1.0\ahb_to_apb_sync_down`

- 软件参考设计:

`...\\ref_design\MCU_RefDesign\ahb_to_apb_sync_down`

