



Gowin TDC IP 用户指南

IPUG1208-1.0, 2025-04-30

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、**Arora-V**、GowinPnR、GoBridge 均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2025/04/30	1.0	初始版本。

目录

插图清单	图目录	ii
表格清单	表目录	iii
1	关于本手册	1
1.1	目的	1
1.2	相关文档	1
1.3	术语、缩略语	2
1.4	技术支持与反馈	2
2	概述	3
3	特征与性能	4
3.1	主要特征	4
3.2	工作频率	4
3.3	资源利用	4
4	功能描述	5
4.1	时钟	5
4.2	精度	5
4.3	测量	6
5	端口列表	7
6	界面配置	8
7	参考设计	10

图目录

图 4-1 时钟框图.....	5
图 4-2 测量时序图.....	6
图 6-1 选择 TDC.....	8
图 6-2 Gowin TDC IP 配置界面	9
图 7-1 参考设计方案整体框图.....	10

表目录

表 1-1 术语、缩略语.....	2
表 2-1 Gowin TDC IP 概述.....	3
表 3-1 资源利用.....	4
表 5-1 Gowin TDC IP IO 端口.....	7

1 关于本手册

1.1 目的

Gowin TDC IP 用户指南旨在帮助用户快速掌握 Gowin TDC 的功能。它主要帮助用户快速了解 Gowin TDC IP 的产品特性、特点及使用方法。本手册中的软件界面截图参考的是 V 1.9.11.02 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [DS117, GW1NR 系列 FPGA 产品数据手册](#)
- [DS821, GW1NS 系列 FPGA 产品数据手册](#)
- [DS861, GW1NSR 系列 FPGA 产品数据手册](#)
- [DS841, GW1NZ 系列 FPGA 产品数据手册](#)
- [DS961, GW2ANR 系列 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [DS971, GW2AN-18X & 9X 器件数据手册](#)
- [DS976, GW2AN-55 器件数据手册](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [DS1239, GW5AST 系列 FPGA 产品数据手册](#)
- [DS1105, GW5AS 系列 FPGA 产品数据手册](#)
- [DS1108, GW5AR 系列 FPGA 产品数据手册](#)

- [DS1118, GW5ART 系列 FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
IP	Intellectual Property	知识产权
LUT	Look-up Table	查找表
TDC	Time-to-Digital Converter	时间数字转换器

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

Gowin TDC IP 可以实现对输入信号脉冲宽度测量的功能。

表 2-1 Gowin TDC IP 概述

Gowin TDC IP	
逻辑资源	见表 3-1。
交付文件	
设计文件	Verilog (加密)
参考设计	Verilog
测试平台	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software (V1.9.11.02 及以上)

注！

可登录 [高云半导体网站](#) 查看芯片支持信息。

3 特征与性能

3.1 主要特征

- 占用资源少
- 精度可达到 ns 级别
- 支持最大量程可参数配置

3.2 工作频率

Gowin TDC IP 的工作频率取决于 IP 所要实现的精度，详见 [4.1 时钟](#) 章节。

3.3 资源利用

[表 3-1](#) 给出了某种配置下资源利用。不同的配置所消耗的资源不同，需要根据实际情况评估。

表 3-1 资源利用

LUTs	REGs	Device Series	Speed Level
64	36	GW1N-9	C6/I5

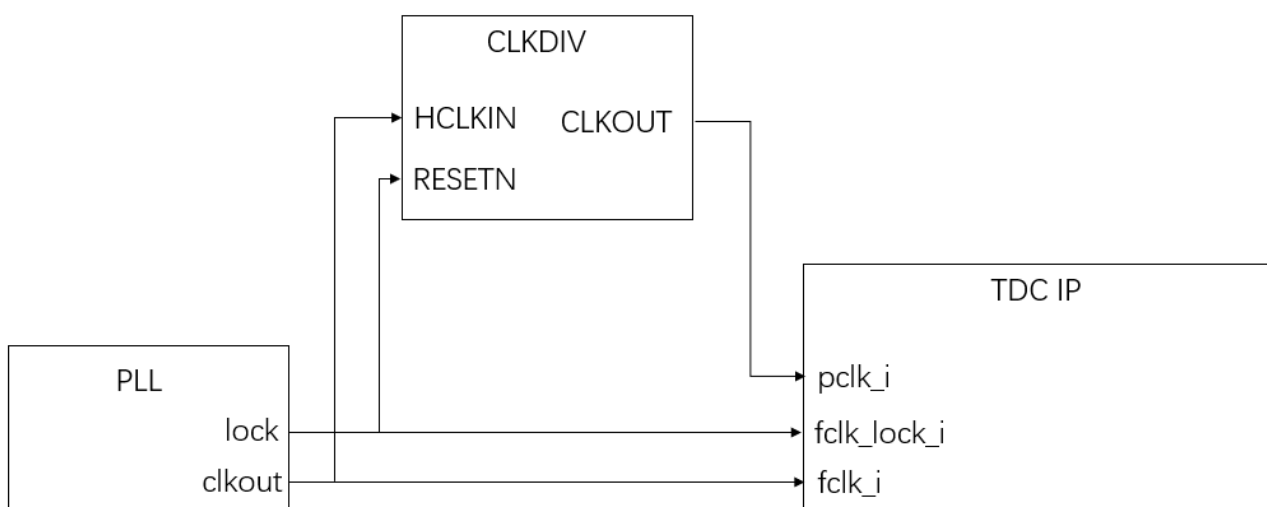
4 功能描述

4.1 时钟

用户在调用 Gowin TDC IP 时，需要按照下图所示，提供 IP 正确的时钟拓扑，以保证 IP 的正常运行。其中 CLKDIV 的分频参数需要配置为“4”。

若用户例化多个 Gowin TDC IP，且所例化的 IP 精度相同，则不同 Gowin TDC IP 可共享 pclk_i, fclk_i 和 fclk_lock_i 信号。其中 pclk 的频率为 PLL 输出时钟频率/4。

图 4-1 时钟框图



4.2 精度

TDC 精度即 TDC 可测量的最小分辨率。公式如下：

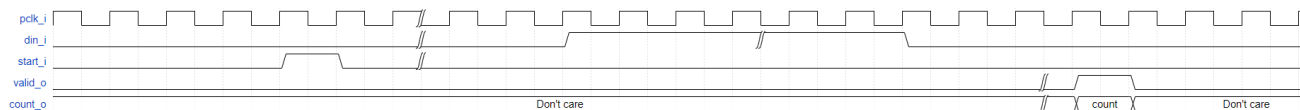
$$\text{精度} = 1/(\text{fclk} \times 2)$$

其中 fclk 为 PLL clkout 输出时钟的频率。

4.3 测量

当 IP `start_i` 由 0 变为 1 时，Gowin TDC IP 开始一次测量。当 IP `din_i` 检测到高电平，IP 开始记录高电平时间，直到检测到 `din_i` 变为低电平。之后 IP 输出测量结果，`valid_o` 为 1 时，`count` 输出的值为测量结果。

图 4-2 测量时序图



如上图所示，用户需要在 `din_i` 脉冲出现之前，将 `start_i` 拉高，使 IP 开始监测脉冲信号的到来。待一次脉冲结束后，`valid_o` 输出一个周期的高电平，此时 `count_o` 为有效测量结果。测量结果为 $\text{count_o}/(\text{fclk} \times 2)$ 。其中 `fclk` 为 PLL `clkout` 输出时钟的频率。

5 端口列表

Gowin TDC IP 的 IO 端口如表 5-1 所示。

表 5-1 Gowin TDC IP IO 端口

信号	方向	位宽	描述
时钟输入			
fclk_i	input	1	高速时钟输入，一般由 PLL 生成，时钟频率决定 TDC 的精度。
pclk_i	input	1	低速时钟输入，一般由 CLKDIV 生成，频率为 fclk 的 1/4。
控制信号			
fclk_lock_i	input	1	fclk_i 锁定指示信号 1: fclk_i 锁定 0: fclk_i 未锁定
rstn_i	input	1	复位信号输入，低电平有效。
测量信号			
din_i	input	1	测量信号输入。
start_i	input	1	测量启动，当此输入由 0 变为 1，IP 开始监测脉冲信号并测量。
测量结果			
count_o	output	Count Width	测量结果输出，valid_o 为 1 时有效。
valid_o	output	1	测量结果有效指示，每次测量完后，输出一个周期高电平。高电平表示 count_o 输出有效。

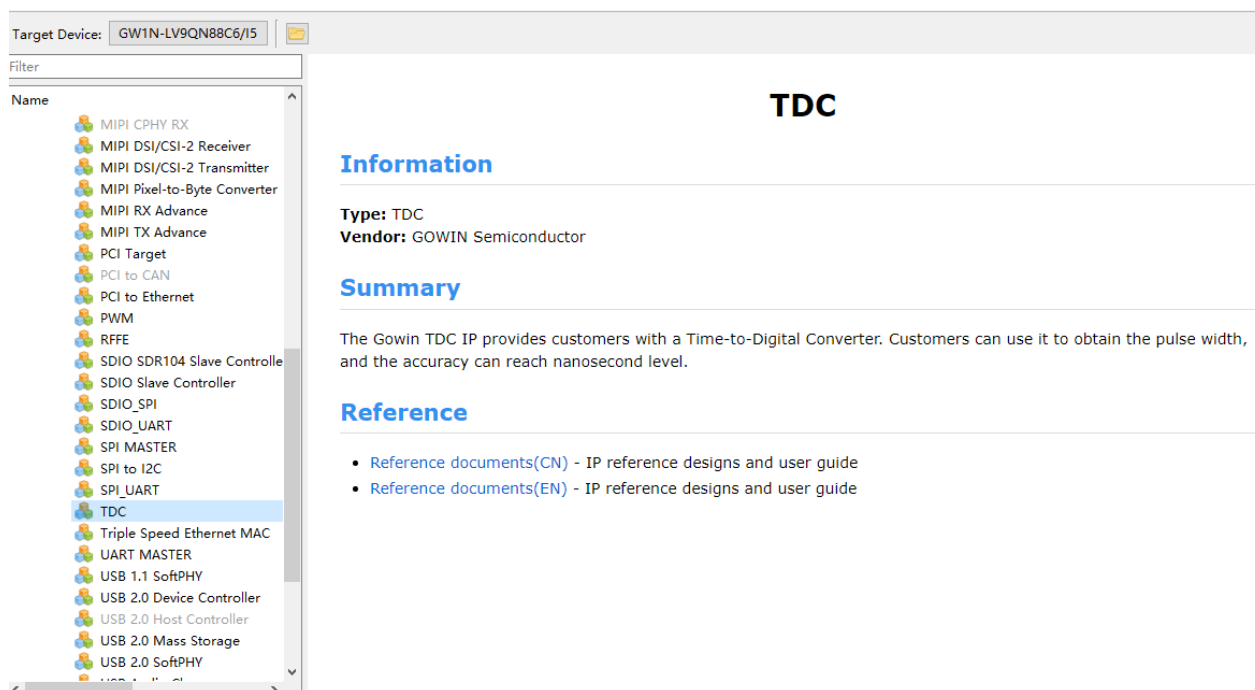
6 界面配置

用户可在 IDE 中通过 IP Core Generator 工具调用并配置 Gowin TDC IP。本章节介绍了主要配置界面、配置流程以及各配置选项含义。

1. 打开 IP Core Generator。

用户建立工程后，单击左上角“Tools”选项卡，下拉单击 IP Core Generator 选项，可打开 IP Core Generator，选择“TDC”，如图 6-1 所示。

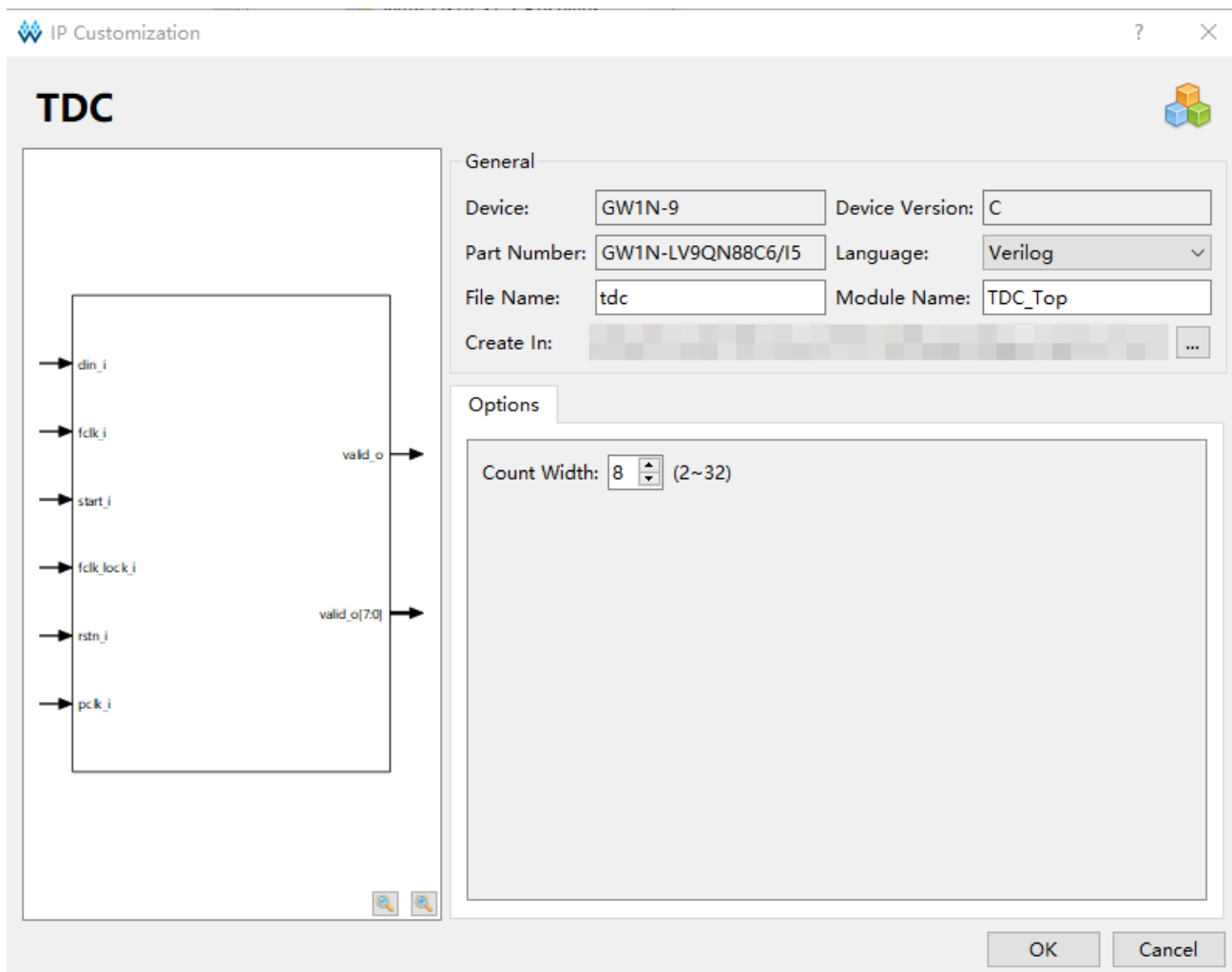
图 6-1 选择 TDC



2. TDC 配置界面

配置界面左端是 Gowin TDC IP 的接口示意图，右端是配置选项如图 6-2 所示。

图 6-2 Gowin TDC IP 配置界面



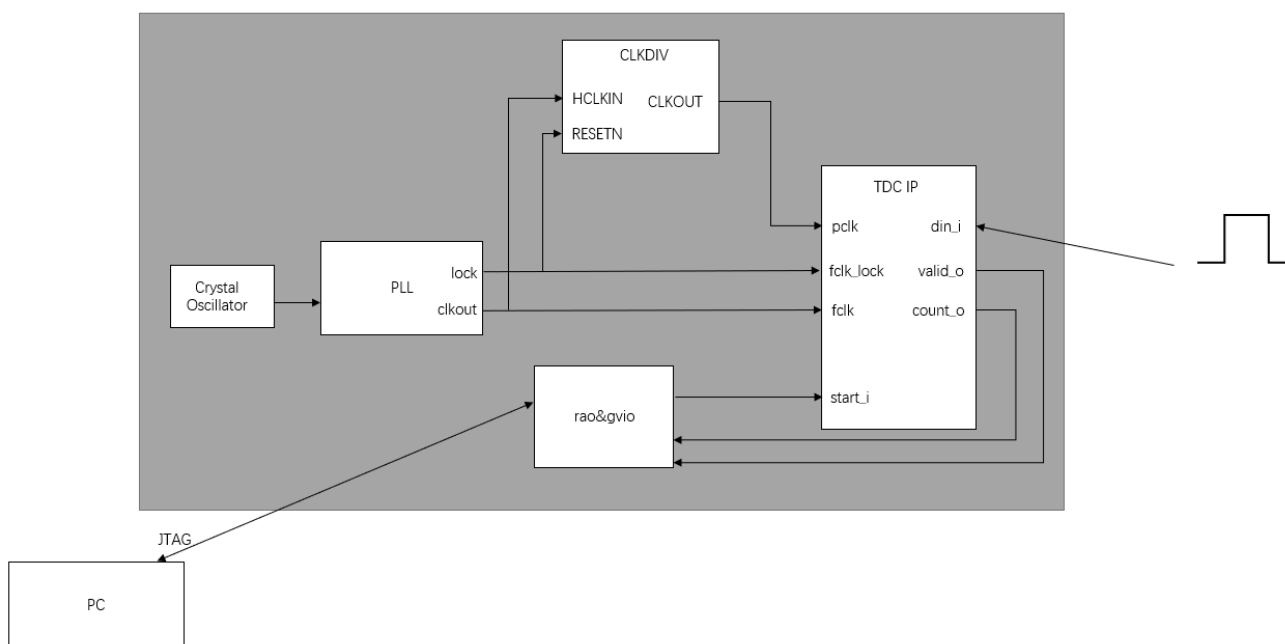
Gowin TDC IP 的参数配置如下所示。

Count Width: 测量结果输出位宽，范围 2~32。此参数影响 IP 的最大量程，计算如下：预计测量脉冲的最大时间为 T ，`fclk` 的频率为 F 。该参数为 $\lceil \log_2(2 \cdot F \cdot T) + 1 \rceil$ 取整数部分。

7 参考设计

详细信息请参见高云半导体官网 Gowin TDC IP [参考设计](#)，参考设计方案整体框图如下图所示。

图 7-1 参考设计方案整体框图



如上图所示，参考设计中例化 Gowin TDC IP，并调用 PLL 和 CLKDIV 为 IP 提供必要时钟和信号。同时用户需在外部提供一个待测信号，输入到 IP 的 `din_i`。在设计中使用 `rao` 工具查看 IP 测量结果，使用 `gvio` 工具驱动 TDC IP 控制信号。用户可使用 Gowin IDE 通过 JTAG 改变 `gvio` 信号的值，从而达到动态配置 TDC IP 的目的。

操作步骤如下：

1. 下载 `fs` 到开发板。
2. 在电脑上打开 Gowin IDE 的 Gowin Analyzer Oscilloscope 工具。



3. 点击 Gvio Core 的 按钮允许 gvio 工具。

4. 通过 gvio 配置 tdc_rstn=1，释放 IP 复位。



5. 点击 Analyzer Oscilloscope 的 开始抓取信号。

6. 通过 gvio 配置 tdc_start=1，启动测量。

7. 在开发板外部产生输入脉冲信号。此时，Analyzer Oscilloscope 会触发一次。用户读取 count_o 的值计算 IP 测量脉冲宽度结果。

