




Gowin DDR3 Memory Interface IP 用户指南

IPUG281-2.2,2023-09-12

版权所有 © 2023 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

| 日期 | 版本 | 说明 |
|------------|-----|--|
| 2018/08/24 | 1.0 | 初始版本。 |
| 2019/03/12 | 1.1 | 新增 DDR3 1:4 时钟比例关于连续突发的描述和使用。 |
| 2019/07/12 | 1.2 | <ul style="list-style-type: none">● 修改地址格式；● 增加读写效率的相关描述。 |
| 2020/01/06 | 1.3 | 修改静态参数选项。 |
| 2021/06/30 | 1.4 | <ul style="list-style-type: none">● 增加 memory_clk、pll_lock 端口；● 设计源代码文件更新。 |
| 2021/11/25 | 1.5 | <ul style="list-style-type: none">● 修改 cmd_en 与 cmd_ready 的时序描述；● 修改 wr_data_en 与 wr_data_rdy 的时序描述。 |
| 2022/08/12 | 1.6 | <ul style="list-style-type: none">● 修改用户接口时序描述；● 增加控制器连续突发模式及非连续突发模式描述。 |
| 2022/10/17 | 1.7 | 修改时序图中的 wr_data_wren 为 wr_data_en, clk 为 clk_out, wr_data_ready 为 wr_data_rdy。 |
| 2023/06/08 | 2.0 | <ul style="list-style-type: none">● 新增 GW5AST-138 器件描述；● 新增 pll_stop 信号。● 删除第 8 章参考设计和第 9 章文件交付。 |
| 2023/08/18 | 2.1 | <ul style="list-style-type: none">● 新增 GW5A-25 器件支持；● 删除 Burst_Number_Enable 选项；● 删除 app_burst_number 接口信号的有关内容。 |
| 2023/09/12 | 2.2 | GW5A-25 器件支持 pll_stop。 |

目录

| | |
|-----------------------------|-----------|
| 目录 | i |
| 图目录 | iii |
| 表目录 | iv |
| 1 关于本手册 | 1 |
| 1.1 手册内容 | 1 |
| 1.2 相关文档 | 1 |
| 1.3 术语、缩略语 | 1 |
| 1.4 技术支持与反馈 | 2 |
| 2 概述 | 3 |
| 3 主要特征与性能 | 4 |
| 3.1 主要特征 | 4 |
| 3.2 工作频率与带宽效率 | 5 |
| 3.3 资源利用 | 5 |
| 4 功能描述 | 6 |
| 4.1 整体结构 | 6 |
| 4.2 Memory Controller | 6 |
| 4.3 PHY | 6 |
| 4.3.1 初始化单元 | 7 |
| 4.3.2 数据通路单元 | 7 |
| 4.3.3 控制通路单元 | 7 |
| 4.3.4 I/O 逻辑单元 | 7 |
| 4.4 用户接口 | 8 |
| 4.4.1 初始化接口 | 8 |
| 4.4.2 命令和地址接口 | 8 |
| 4.4.3 命令与写数据位置关系 | 9 |
| 4.4.4 写数据接口 | 10 |
| 4.4.5 读数据 | 12 |
| 4.4.6 刷新 | 14 |
| 5 IP 使用注意事项 | 16 |

| | |
|---------------------|-----------|
| 5.1 时钟与复位 | 16 |
| 5.1.1 时钟 | 16 |
| 5.1.2 复位 | 16 |
| 5.2 pll_stop | 17 |
| 6 端口列表 | 19 |
| 7 参数配置 | 22 |
| 8 界面配置 | 24 |

图目录

| | |
|--|----|
| 图 4-1 DDR3 Memory Interface IP 结构图 | 6 |
| 图 4-2 DDR3 PHY 基本结构图 | 7 |
| 图 4-3 初始化完成信号时序图 | 8 |
| 图 4-4 Rank-Bank-Row-Column 顺序的寻址方案 | 8 |
| 图 4-5 命令、地址与使能信号时序图-A | 9 |
| 图 4-6 cmd 与数据位置关系图 | 10 |
| 图 4-7 时钟比例 1:2, Burst_Mode=BC4 或时钟比例 1: 4 写数据时序图 | 11 |
| 图 4-8 时钟比例 1:2, Burst_Mode=BL8, 写数据时序图 | 11 |
| 图 4-9 时钟比例 1:2, Burst_Mode=OTF, 写数据时序图 | 12 |
| 图 4-10 时钟比例 1:2, Burst_Mode=BC4, 读数据时序图 | 13 |
| 图 4-11 时钟比例 1:2, Burst_Mode=BL8, 读数据时序图 | 13 |
| 图 4-12 时钟比例 1:2, Burst_Mode=OTF, 读数据时序图 | 14 |
| 图 4-13 时钟比例 1:4, 读数据时序图 | 14 |
| 图 4-14 用户刷新时序图 | 15 |
| 图 5-1 时钟 | 16 |
| 图 5-2 复位 | 17 |
| 图 5-3 138k pll_stop | 17 |
| 图 5-4 25K pll_stop | 17 |
| 图 8-1 打开 IP Core Generator | 24 |
| 图 8-2 打开 DDR3 Memory Interface IP 核 | 25 |
| 图 8-3 IP 核接口示意图 | 25 |
| 图 8-4 基本信息配置界面 | 26 |
| 图 8-5 Type 选项卡 | 27 |
| 图 8-6 Options 选项卡 | 27 |
| 图 8-7 Timing 选项卡 | 28 |
| 图 8-8 Debug Setting 选项卡 | 28 |

表目录

| | |
|--|----|
| 表 1-1 术语、缩略语 | 1 |
| 表 2-1 Gowin DDR3 Memory Interface IP | 3 |
| 表 3-1 资源利用情况 | 5 |
| 表 4-1 cmd 命令 | 8 |
| 表 5-1 Gowin DDR3 Memory Interface IP 的 IO 端口列表 | 19 |
| 表 6-1 Gowin DDR3 Memory Interface 的静态参数选项 | 22 |
| 表 6-2 DDR3 时间参数 | 23 |

1 关于本手册

1.1 手册内容

Gowin DDR3 Memory Interface IP 用户指南主要内容包括 IP 的结构与功能描述、端口说明、时序说明、配置调用、参考设计等，旨在帮助用户快速了解 Gowin DDR3 Memory Interface IP 的产品特性、特点及使用方法。本手册中的软件界面截图参考的是 V1.9.9 Beta-3 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [DS1104, GW5AST 系列 FPGA 产品数据手册](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

| 术语、缩略语 | 全称 | 含义 |
|--------|--------------------------|---------|
| ECC | Error Correcting Code | 纠错码 |
| FIFO | First Input First Output | 先进先出队列 |
| GSR | Global System Reset | 全局系统复位 |
| IP | Intellectual Property | 知识产权 |
| LUT | Look-up Table | 查找表 |
| RAM | Random Access Memory | 随机存取存储器 |

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

Gowin DDR3 Memory Interface IP 是一个通用的 DDR3 内存接口 IP，符合 JESD79-3F 标准协议。该 IP 包含 DDR3 内存控制器（Memory Controller, MC）与对应的物理层接口（Physical Interface, PHY）设计。Gowin DDR3 Memory Interface IP 为用户提供一个通用的命令接口，使其与内存芯片进行互连，完成用户的访存需求。

表 2-1 Gowin DDR3 Memory Interface IP

| Gowin DDR3 Memory Interface IP | |
|--------------------------------|-----------------------------------|
| 逻辑资源 | 请参见表3-1。 |
| 交付文件 | |
| 设计文件 | Verilog (encrypted) |
| 参考设计 | Verilog |
| TestBench | Verilog |
| 测试设计流程 | |
| 综合软件 | GowinSynthesis® |
| 应用软件 | Gowin Software (V1.9.9 Beta-3及以上) |

注！

可登录[高云半导体网站](#)查看芯片支持信息。

3 主要特征与性能

3.1 主要特征

- 支持 GW2A-18、GW2AR-18、GW2A-55、GW5AST-138、GW5A-25 等 FPGA 器件
- 能与工业标准的 DDR3 SDRAM 器件和具有 JESD79-3F 规范兼容的模块接口
- 支持存储器数据路径宽度为 8、16、24、32、40、48、56、64 和 72 位
- 支持单列 RDIMM、UDIMM 和 SODIMM 内存模块
- 支持 x8 和 x16 数据宽度的内存芯片
- 可编程突发长度 4 或 8 或 OTF
- GW2A-18、GW2A-55、GW2AR-18 下支持时钟比例 1:2 和 1:4，GW5AST-138 下支持时钟比例 1: 4
- 支持 ECC
- 可配置的 CL
- 可配置的 AL
- 可配置的 CWL
- 可配置的 t_{FAW}
- 可配置的 t_{RAS}
- 可配置的 t_{RCD}
- 可配置的 t_{RFC}
- 可配置的 t_{RRD}
- 可配置的 t_{RTP}
- 可配置的 t_{WTR}
- 支持动态片上终端 ODT 的控制

- 支持自动刷新和用户启动刷新，自动刷新间隔可配置

3.2 工作频率与带宽效率

Gowin DDR3 Memory Interface IP 可支持的 DDR3 SDRAM 数据速率为：

- 时钟比例 1:2 模式下支持 533Mbps；
- 时钟比例 1:4 模式下支持 533Mbps，800Mbps。

Gowin DDR3 Memory Interface IP 带宽效率统计如下：

- 时钟比例 1:2 模式下，突发长度为 4，带宽效率为 50%；
- 时钟比例 1:2 模式下，突发长度为 8，带宽效率为 90%；
- 时钟比例 1:4 模式下，带宽效率为 90%。

3.3 资源利用

Gowin DDR3 Memory Interface IP 通过 Verilog 语言实现，应用于高云 GW2A-18、GW2AR-18、GW2A-55、GW5AST-138 等系列 FPGA，其资源利用情况如表 3-1 所示，有关在其他高云 FPGA 上的应用验证，请关注后期发布信息。

表 3-1 资源利用情况

| DQ_WIDTH | LUTs | REGs | I/O | f _{MAX} | 器件系列 | 速度等级 |
|----------|------|------|-----|------------------|---------------------|----------------|
| 8(x8) | 1061 | 1009 | 151 | 600Mbps | GW2A-55/ GW2A-18 | -6 -7 -8 |
| 16(x8) | 1312 | 1365 | 231 | | | |
| 24(x8) | 1557 | 1721 | 311 | | | |
| 32(x8) | 1639 | 2077 | 391 | | | |
| 40(x8) | 1845 | 2433 | 471 | | | |
| 48(x8) | 2060 | 2789 | 551 | | | |
| 56(x8) | 2271 | 3145 | 631 | | | |
| 64(x8) | 2483 | 3501 | 711 | | | |
| 72(x8) | 2694 | 3857 | 791 | | | |

注！

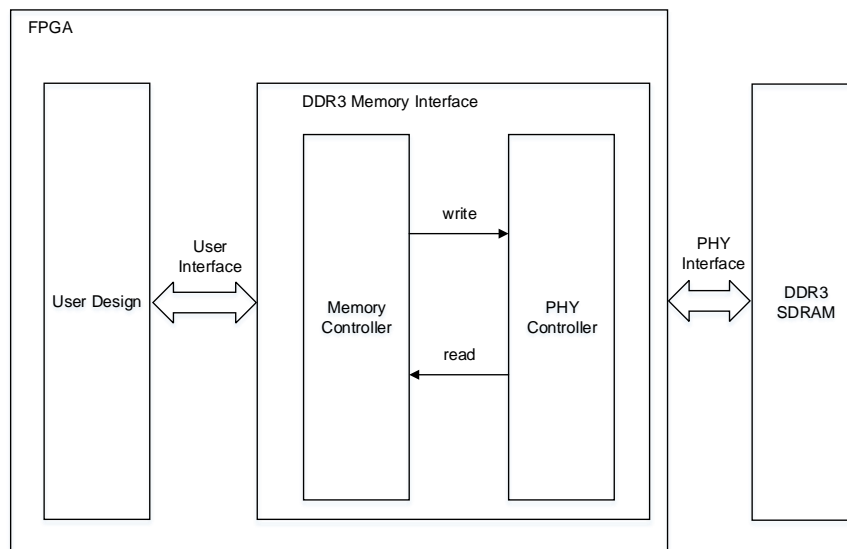
在表 3-1 中，Gowin DDR3 Memory Interface 配置用户地址宽度为 29 位，DRAM WIDTH 为 x8，时钟比例为 1:2；时钟比例为 1:4 资源大概是表格中的 2 倍。

4 功能描述

4.1 整体结构

Gowin DDR3 Memory Interface IP 基本结构如图 4-1 所示，主要包含 Memory Controller、Physical Interface 等模块。图 4-1 中的 User Design 是 FPGA 中需要与外部 DDR3 SDRAM 芯片所连接的用户设计。

图 4-1 DDR3 Memory Interface IP 结构图



4.2 Memory Controller

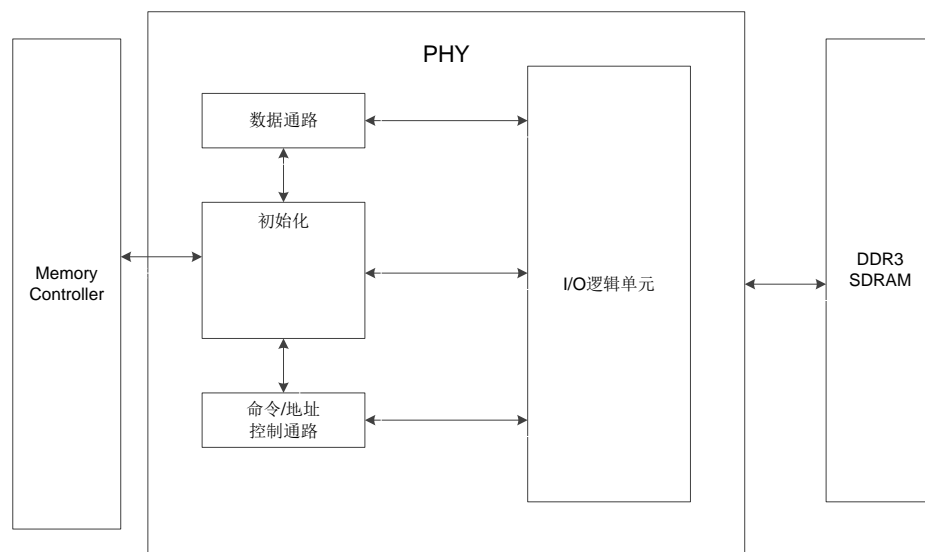
Memory Controller 属 MC 层，实现协议层功能，内部状态机进行 BANK、ROW、COL 及刷新控制。Memory Controller 接收用户侧读写命令，内部以 FIFO 逻辑存储，将读写命令转化为 PHY 侧可识别的接口时序，输入到 PHY 侧。

4.3 PHY

PHY 提供了 MC 与外部 DDR3 SDRAM 之间的物理层定义与接口，接收来自 MC 层内存控制器的命令，并向 DDR3 SDRAM 颗粒提供接口时序。

PHY 的基本结构如图 4-2 所示，主要包括四个模块，分别为初始化模块、数据通路、命令地址控制通路和 I/O 逻辑模块。

图 4-2 DDR3 PHY 基本结构图



4.3.1 初始化单元

初始化模块主要完成 DDR3 SDRAM 上电后的初始化和读校准。在完成所有初始化与读校准之后，信号“init_calib_complete”会由低变高，指示整个初始化完成。

注！

init_calib_complete 信号被拉高之前，不允许执行读/写操作。

上电初始化

按照 JESD79-3F 协议标准，上电后需对 DDR3 SDRAM（颗粒或 DIMM）进行初始化，包括复位、时钟使能、模式寄存器的配置及 ZQ 校准等过程。

4.3.2 数据通路单元

数据通路包括写数据和读数据过程。

4.3.3 控制通路单元

命令/地址控制通路为单向通路，接收 MC 发送的命令与地址信号，并与数据通路配合，处理写、读数据时延参数，并将命令发送到 I/O 逻辑模块。

4.3.4 I/O 逻辑单元

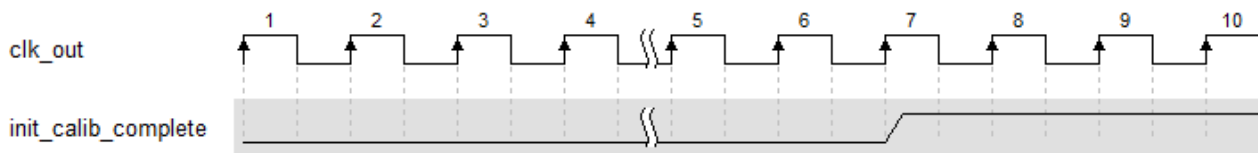
I/O 逻辑模块主要是对数据通路和命令/地址通路传递过来的数据、命令、地址信号进行时钟域的转换。

4.4 用户接口

4.4.1 初始化接口

init_calib_complete: DDR3 SDRAM 必须经过校准操作才能进行正常的写、读操作。因此上电后 PHY 会对 DDR3 SDRAM 进行初始化校准操作，初始化完成后 **init_calib_complete** 拉高，如图 4-3 所示。

图 4-3 初始化完成信号时序图



4.4.2 命令和地址接口

命令

用户可通过 **cmd** 及 **cmd_en** 向 IP 写入命令，控制器根据写入命令的先后顺序，向 DDR3 颗粒发起读写事务。

- **cmd** 为命令端口；
- **cmd_en** 为命令使能信号，高电平时 **cmd** 有效。

cmd 含义如表 4-1 所示：

表 4-1 **cmd** 命令

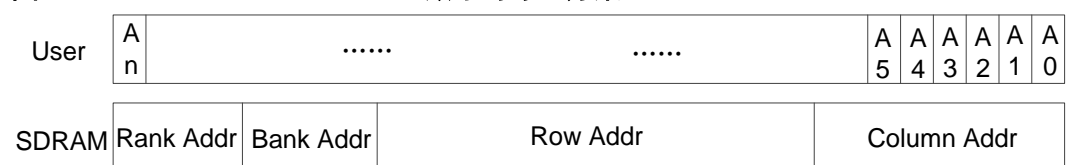
| 命令 | cmd[2:0] |
|-------|----------|
| Read | 3'b001 |
| Write | 3'b000 |

地址

addr 是用户侧地址总线，与 **cmd** 一同写入控制器，当 **cmd_en** 有效时，**addr** 有效。

在应用中，用户接口的地址总线 **addr** 与物理内存的 Rank、Bank、Row、Column 之间存在一定的映射关系，在本设计中，按照 Rank-Bank-Row-Column 的顺序进行依次排列，其寻址方案如图 4-4 所示。用户在应用中，应注意提供的地址顺序。

图 4-4 Rank-Bank-Row-Column 顺序的寻址方案



addr 为 DDR 地址，即 **addr** 直接反映 DDR 内存地址。当 DDR3 **burst_mode** 配置 BC4 时，一次写/读需向 DDR 内写入/读取 4 个 dq 数据，

因此一次 DDR 写/读占用 4 个地址；当 DDR3 burst_mode 配置 BL8 时，一次写/读需向 DDR 内写入/读取 8 个 dq 数据，因此一次 DDR 写/读占用 8 个地址。用户在使用过程中，应注意对地址的控制。

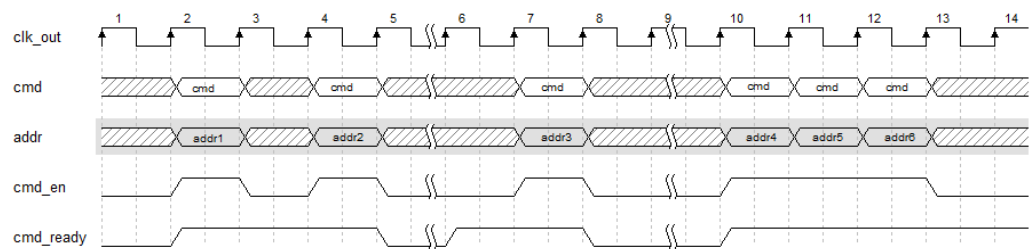
时钟比例 1:2，地址与命令时序

时钟比例 1:2 下，cmd_ready 为高电平，表示 DDR 控制器可以接收用户命令。

cmd_en 为 1 且 cmd_ready 为 1 时将 cmd 及 addr 写入 IP，addr1 和 addr2 无任何关系，不必是相邻地址。

命令、地址及使能信号之间的时序如图 4-5 所示。

图 4-5 命令、地址与使能信号时序图-A



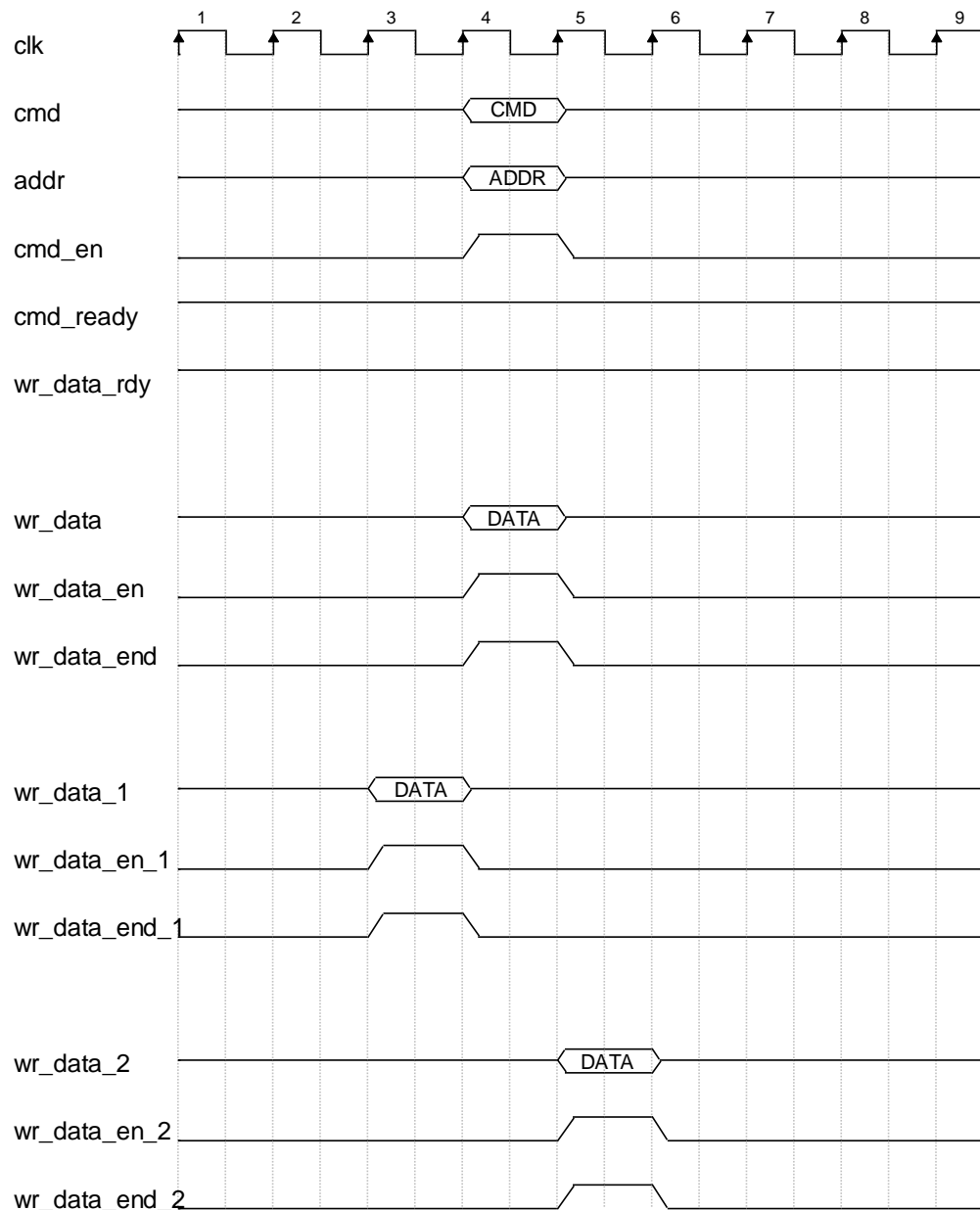
时钟比例 1:4，地址与命令时序

地址和命令时序与时钟比例 1:2 时相同，请查看图 4-5 时序。

4.4.3 命令与写数据位置关系

cmd 与数据位置关系如图 4-6 所示。

图 4-6 cmd 与数据位置关系图



4.4.4 写数据接口

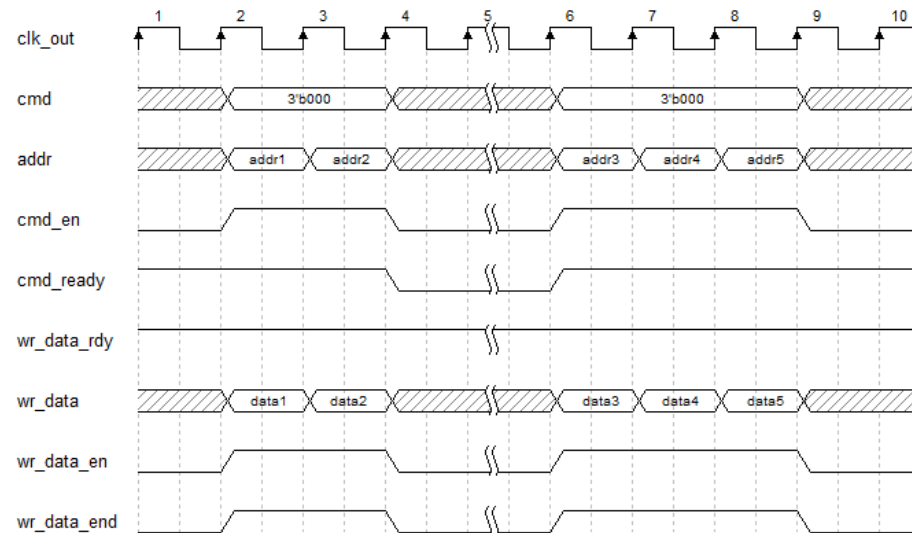
- **wr_data**: 数据总线接口，用户可通过此接口写入需要存储 DDR 内的数据。
- **wr_data_en**: 数据写入使能接口，高电平时 **wr_data** 有效。
- **wr_data_end**: 表明当前周期 **wr_data** 总线上的数据是当前写入的最后一个数据。
- **wr_data_rdy**: 当 **wr_data_rdy** 为高电平时，表示控制器可以接收 user 数据，用户可通过接口 **wr_data**、**wr_data_en** 与 **wr_data_end** 将数据写入控制器。

当时钟比例 1:2 时，**burst_mode** 配置 BC4，**wr_data** 与 **dq** 数据位宽比

为 1:4，此时一个 `wr_data` 可满足 DDR 一次突发写，`wr_data_en` 与 `wr_data_end` 的行为相同，所以用户在写数据时将 `wr_data_en` 与 `wr_data_end` 同时写 1 即可。

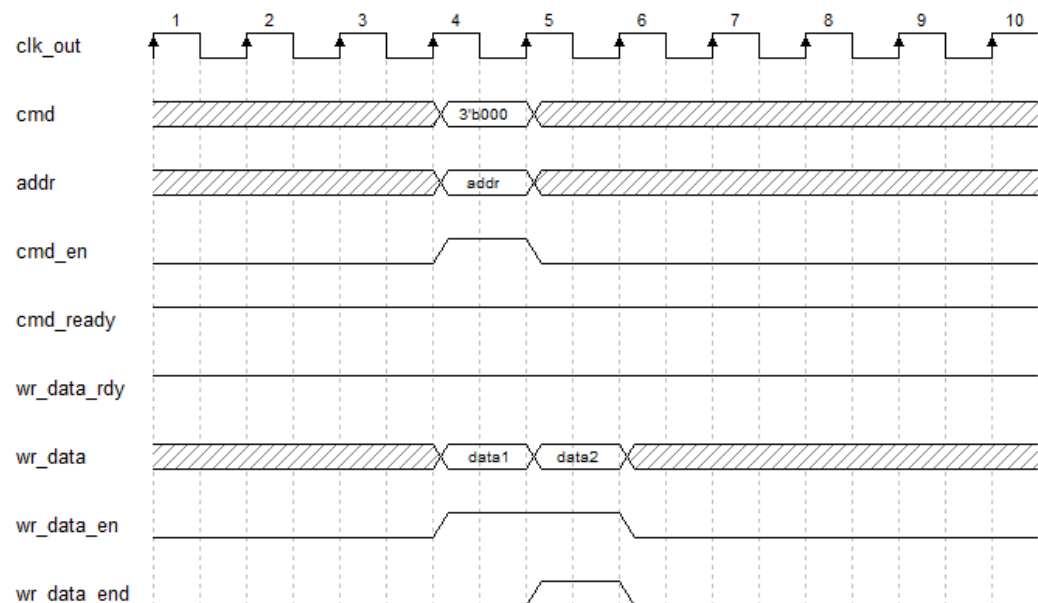
当时钟比例 1:4，`burst_mode` 配置 BL8 时，与上述举例情况相同。时序如图 4-7 所示。

图 4-7 时钟比例 1:2，Burst_Mode=BC4 或时钟比例 1: 4 写数据时序图



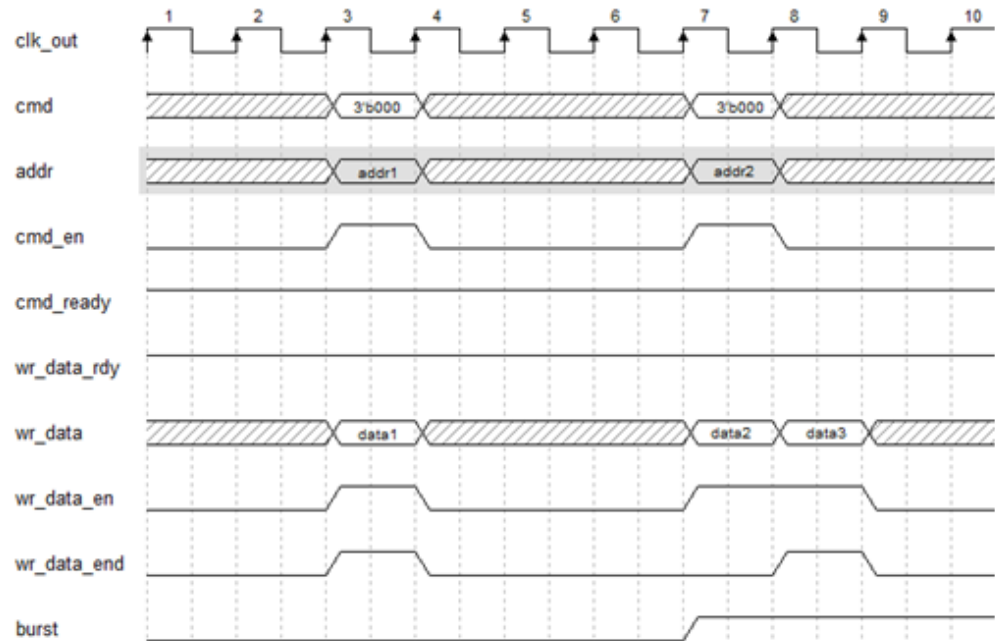
当时钟比例配置 1:2，`burst_mode` 配置 BL8 时，`wr_data` 与 `dq` 数据位宽比为 1:4，此时 DDR 一次突发写数据需要两个 `wr_data`，那么 `wr_data_en` 应持续连续两个周期，第二个周期将 `wr_data_end` 写 1。时序如图 4-8 所示。

图 4-8 时钟比例 1:2，Burst_Mode=BL8，写数据时序图



仅当时钟比例 1:2 时，支持 burst_mode 配置 OTF 模式，在此模式下，端口信号 burst 为 0 则表示当前 DDR 颗粒的 burst_mode 为 BC4，端口信号 burst 为 1 则表示当前 DDR 颗粒的 burst_mode 为 BL8，此时用户应根据情况控制好 wr_data_en 和 wr_data_end 信号。时序如图 4-9 所示。

图 4-9 时钟比例 1:2，Burst_Mode=OTF，写数据时序图



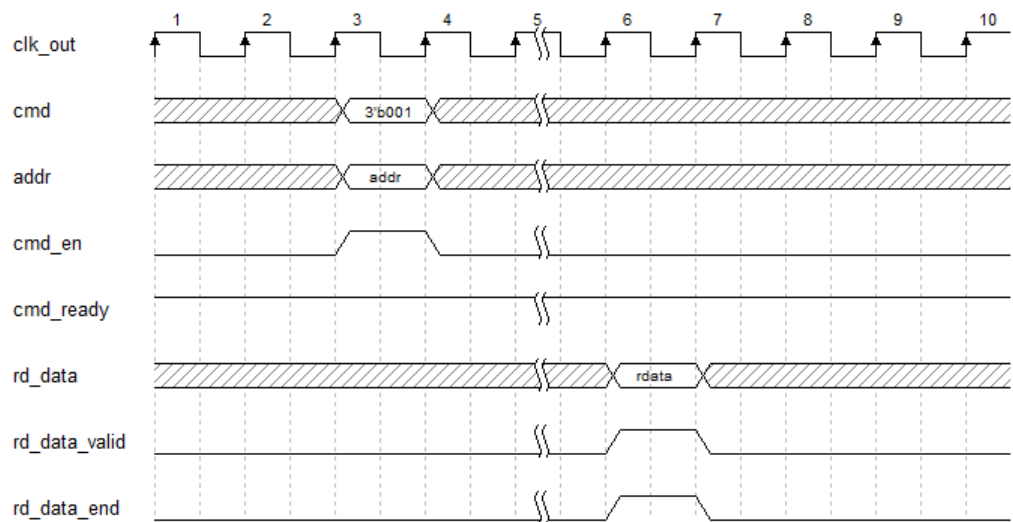
4.4.5 读数据

用户可通过用户接口 rd_data、rd_data_valid 与 rd_data_end 读取 DDR3 SDRAM 返回的数据。

- 端口 rd_data 为返回的读数据端口；
- 端口信号 rd_data_valid 为读数据有效端口，当其为高电平时，指示此时返回的 rd_data 有效；
- 端口 rd_data_end 指示在当前 burst_mode 下所返回的最后一组数据，高电平时有效。

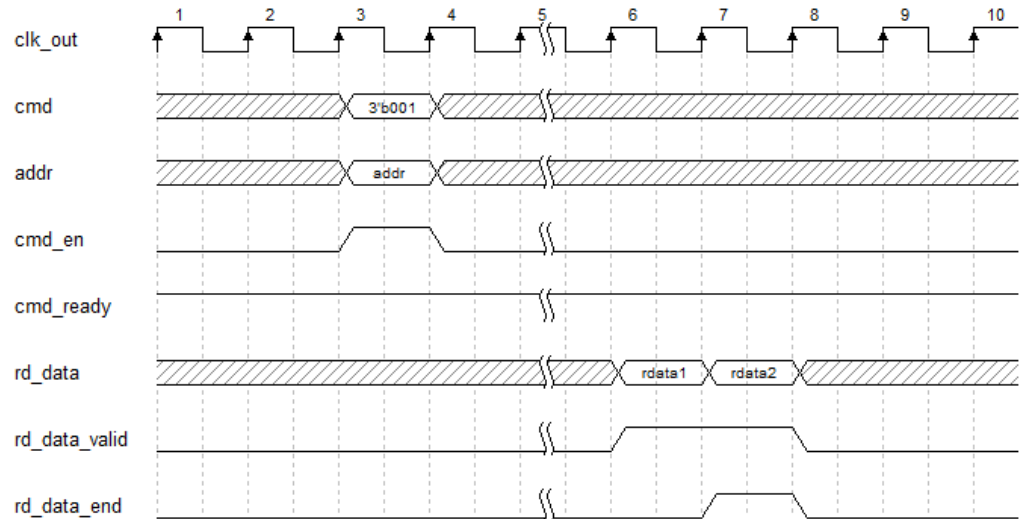
与写操作时类似，当时钟比例 1:2 时，用户配置突发长度为 BL4 时，读数据占用一个 clk 周期，如图 4-10 所示。

图 4-10 时钟比例 1:2, Burst_Mode=BC4, 读数据时序图



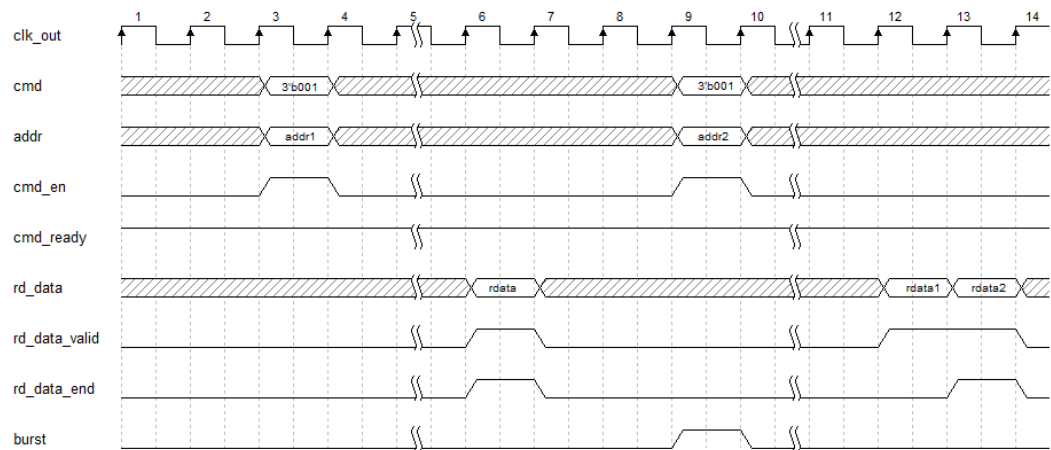
与写操作时类似，当时钟比例 1:2 时，用户配置突发长度为 BL8 时，读数据占用两个 clk 周期，如图 4-11 所示。

图 4-11 时钟比例 1:2, Burst_Mode=BL8, 读数据时序图



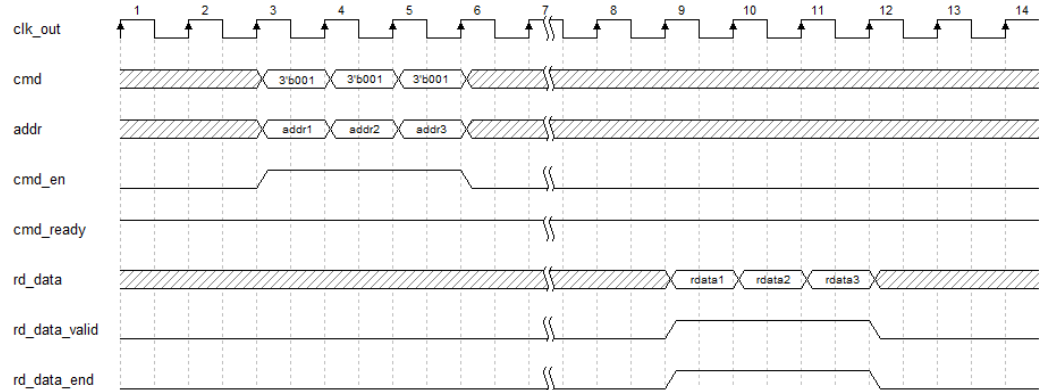
当时钟比例 1:2 时，用户配置突发模式为 OTF 时（即 BL4 与 BL8 可由用户控制 burst 端口实现随意切换），当 cmd_en 有效时，burst 为 0 表示 BL4 读出，读数据占用一个 clk 周期，burst 为 1 表示 BL8 读出，读数据占用两个 clk 周期，如图 4-12 所示。

图 4-12 时钟比例 1:2, Burst_Mode=OTF, 读数据时序图



当时钟比例 1:4 时，读数据按照读命令顺序依次返回数据，如图 4-13 所示。

图 4-13 时钟比例 1:4, 读数据时序图



4.4.6 刷新

刷新

在 DDR3 SDRAM 存储阵列需要不断的刷新来保证数据不丢失，因此需要 Gowin DDR3 Memory Interface IP 周期性的向 DDR3 SDRAM 发送刷新指令。Gowin DDR3 Memory Interface IP 间隔 t_{REFI} 时间产生刷新命令，刷新命令产生后，MC 执行完最后一条读写命令后，会 PreCharge 所有 Bank，然后执行 Refresh 命令，刷新操作具有较高优先级。

自刷新

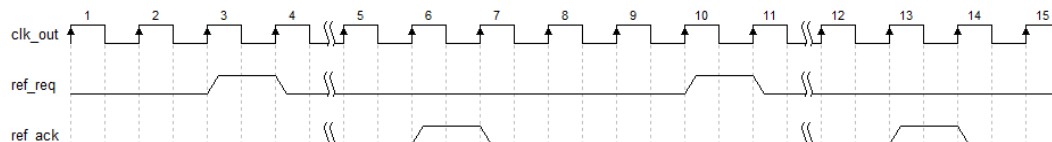
用户可通过端口 `sr_req` 发送自刷新（self refresh）请求，配置 DDR3 SDRAM 进入自刷新模式。在自刷新模式下，DDR3 SDRAM 会自动刷新存储阵列，无需 Gowin DDR3 Memory Interface IP 发送刷新指令。

Gowin DDR3 Memory Interface IP 在完成对 DDR3 SDRAM 的自刷新配置后，会向用户返回信号 `sr_ack`，表示 DDR3 SDRAM 已进入自刷新模式。

用户刷新

用户可以通过选项配置刷新模式为用户刷新，需将“USER_REFRESH”设置为“ON”。用户可在任意时刻通过端口 `ref_req` 向 MC 提出刷新请求，无需通过 `cmd` 端口向 MC 发出其它命令。发送用户刷新指令时，`ref_req` 需持续一个周期的高电平，完成刷新指令发送后，MC 会反馈 `ref_ack` 信号，持续一个周期的高电平，如图 4-14 所示。

图 4-14 用户刷新时序图



用户刷新操作可能会影响 MC 已经接收的或正在执行的指令。在进行用户刷新操作前，MC 会优先完成正在执行的命令操作。用户应考虑发出用户刷新与各项指令之间的配合，避免造成 t_{REFI} 违规。

考虑最坏情况下，用户刷新可参考以下公式进行操作，命令一定时间来完成传输，可大致通过 t_{RCD} 、 CL 、数据传输时间、 t_{RP} 等参数计算，且用户刷新应在时间参数 t_{REFI} 违规前完成，因此两次用户刷新时间的最大间隔约为：

$$t_{REFI} - (t_{RCD} + (CL + 4) \times t_{CK} + t_{RP}) \times nBA$$

在实际应用中，若启动用户刷新，用户需要在 DDR3 SDRAM 完成初始化后立刻发出一个用户刷新，以确立后续用户刷新请求的时间基准。

5 IP 使用注意事项

5.1 时钟与复位

5.1.1 时钟

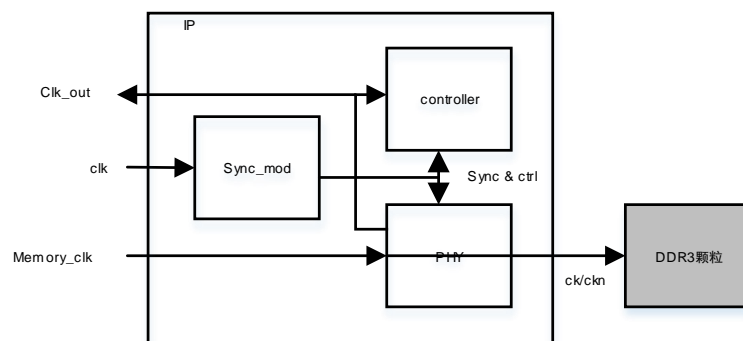
IP 有三个时钟，两个输入时钟 `clk` 和 `memory_clk`，一个输出时钟 `clk_out`。

如图 5-1 所示，`clk` 用于产生一些同步及控制信号，这些同步及控制信号作用于 IP 的主体逻辑（PHY 层和 Memory controller），`clk` 要求是低速的连续时钟，推荐值为 50MHz，可将板载晶振的输入连接到 `clk`。

`memory_clk` 是高速时钟，使用 HCLK 资源，驱动 PHY 并向外输出送到 DDR3 颗粒。

`clk_out` 是 `memory_clk` 的分频时钟，当 `clk_ratio=4:1` 时，`clk_out` 是 `Memory_clk` 的四分频时钟，使用 PCLK 资源，`clk_out` 作为 IP 的逻辑处理时钟，并向外输出到 user 逻辑，user 对 IP 的接口操作应该与 `clk_out` 同步。

图 5-1 时钟

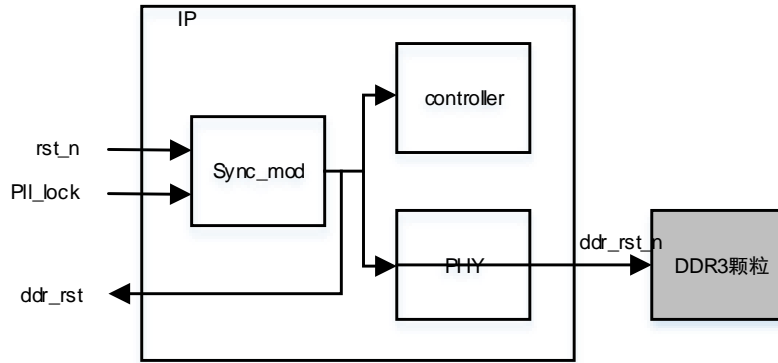


5.1.2 复位

IP 有输入信号 `rst_n` 和 `pll_lock`，输出信号 `ddr_rst`。如图 5-2 所示，`rst_n` 和 `pll_lock` 进行或运算产生 `ddr_rst`，作为 IP 的全局复位，并向外送到 user。任何复位逻辑都可以接入 `rst_n`，`pll_lock` 只能接入 PLL 的 LOCK 信号，如果 `pll_lock` 没有接入 PLL 的 LOCK 信号，IP 将不能检测时钟是否

稳定，此时容易出现 DDR 初始化失败。

图 5-2 复位



5.2 pll_stop

pll_stop 是在 5A(S)(T)器件环境下存在的控制信号，是控制 memory_clk 的开关，低有效。如图 5-3 和图 5-4 所示，使用 138K 器件时，pll_stop 直接接入 PLL 的 enclk2。使用 25K 器件时，pll_stop 需要接入转接模块 pll_mDRP_intf，间接控制 PLL 的 clkout2 输出，pll_mDRP_intf 的 clk 与 PLL 的 mdclk 和 ckin 相同。

图 5-3 138k pll_stop

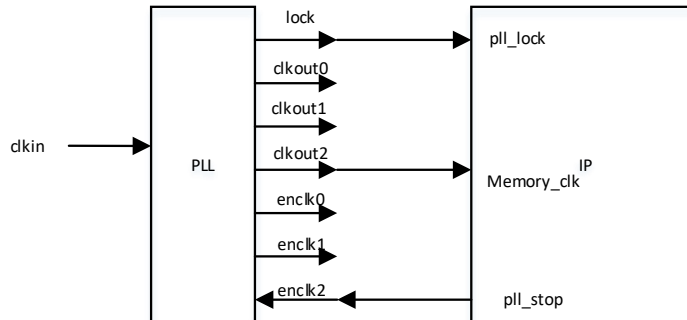
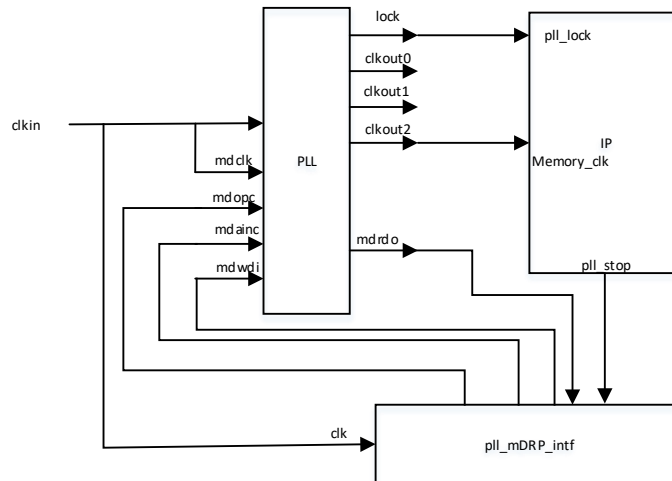


图 5-4 25K pll_stop



pll_mDRP_intf 模块在 Gowin_DDR3_Memory_Interface_RefDesign 参考设计中，请从官网下载。

6 端口列表

Gowin DDR3 Memory Interface IP 的 IO 端口如表 6-1 所示。

表 6-1 Gowin DDR3 Memory Interface IP 的 IO 端口列表

| 信号 | 位宽 | 方向 | 描述 |
|----------------|----------------|--------|---|
| User Interface | | | |
| addr | ADDR_WIDTH | Input | 地址输入，信号宽度可以设置为parameter。 |
| cmd | 3 | Input | 命令通道 |
| cmd_en | 1 | Input | 命令与地址使能信号： 0: 无效 1: 有效 |
| cmd_ready | 1 | Output | 高电平时指示Memroy Interface可接收命令与地址 |
| rd_data | APP_DATA_WIDTH | Output | 读数据通道 |
| rd_data_end | 1 | Output | 高电平时指示当前输出的一组rd_data的结束周期 |
| rd_data_valid | 1 | Output | rd_data有效信号： 0: 无效 1: 有效 |
| burst | 1 | Input | OTF控制端口，为1'b1时是BL8模式；为1'b0时是BL4模式，仅OTF模式下有效 |
| wr_data | APP_DATA_WIDTH | Input | 写数据通道 |
| wr_data_end | 1 | Input | 高电平指示当前时钟周期是此组数据wr_data的最后一个周期 |
| wr_data_mask | APP_MASK_WIDTH | Input | wr_data掩码，0: 对应wr_data字节无效，1: 对应wr_data字节有效 |
| wr_data_rdy | 1 | Output | 高电平时表示MC可以接收用户数据 |

| 信号 | 位宽 | 方向 | 描述 |
|-----------------------------|-------------------|--------|--|
| wr_data_en | 1 | Input | wr_data写使能信号： 0: 无效 1: 有效 |
| sr_req | 1 | Input | 自刷新请求 |
| sr_ack | 1 | Output | 自刷新应答信号 |
| ref_req | 1 | Input | 用户刷新请求 |
| ref_ack | 1 | Output | 用户刷新应答信号 |
| clk | 1 | Input | 参考输入时钟，一般为PCB晶振输入，推荐50M晶振。 |
| memory_clk | 1 | Input | 用户输入颗粒接口频率，使用GW2A器件时，该时钟可以是pll的输出时钟或其他时钟；使用GW5A器件时，此时钟必须由PLL的clkout2输出 |
| pll_stop | 1 | output | 此端口用法参见 5.2 pll_stop |
| pll_lock | 1 | Input | 如果memory_clk为PLL倍频输入，此接口接PLL的pll_lock管脚，如果用户不使用PLL，此接口接高电平 |
| rst_n | 1 | Input | 系统复位输入信号： 0: 有效 1: 无效 |
| init_calib_complete | 1 | Output | 初始化完成信号 |
| clk_out | 1 | Output | 用户设计时钟，频率为Memory Clk的1/2 |
| ecc_err | APP_DATA_WIDTH/32 | Output | ECC指示信号输出 |
| ddr_rst | 1 | Output | 经过IP处理过的复位信号，供用户设计使用，高复位 |
| DDR3 SDRAM Interface | | | |
| O_dds_addr | ROW_WIDTH | Output | Row地址（激活命令）、Column地址（读、写命令） |
| O_dds_bank | BANK_WIDTH | Output | Bank地址 |
| O_dds_cs_n | CS_WIDTH | Output | 片选，低有效 |
| O_dds_ras_n | 1 | Output | Row地址选通信号 |
| O_dds_cas_n | 1 | Output | Column地址选通信号 |
| O_dds_we_n | 1 | Output | Row写使能 |
| O_dds_ck | CK_WIDTH | Output | 提供给DDR3 SDRAM的时钟信号 |
| O_dds_ck_n | CK_WIDTH | Output | 与dds_ck组成差分信号 |

| 信号 | 位宽 | 方向 | 描述 |
|---------------|-----------|-------------|------------------|
| O_dds_cke | CKE_WIDTH | Output | DDR3 SDRAM时钟使能信号 |
| O_dds_odt | ODT_WIDTH | Output | 内存信号端接电阻控制 |
| O_dds_reset_n | 1 | Output | DDR3 SDRAM复位信号 |
| O_dds_dm | DM_WIDTH | Output | DDR3 SDRAM数据屏蔽信号 |
| IO_dds_dq | DQ_WIDTH | Bidirection | DDR3 SDRAM数据 |
| IO_dds_dqs | DQS_WIDTH | Bidirection | DDR3 SDRAM数据选通信号 |
| IO_dds_dqs_n | DQS_WIDTH | Bidirection | 与dds_dqs组成差分信号 |

7 参数配置

Gowin DDR3 Memory Interface IP 可支持 DDR3 SDRAM 器件，用户需根据设计要求配置 Gowin DDR3 Memory Interface 的各个静态参数与时序参数，具体参数分别如表 7-1 和表 7-2 所示。

表 7-1 Gowin DDR3 Memory Interface 的静态参数选项

| 名称 | 描述 | 选项 |
|------------------|---------------------|--|
| Memory Type | 存储器类型 | MT41J128M16JT-125k Custom |
| Memory Clock | 颗粒接口时钟频率 | 根据颗粒工作时钟及需求写入 |
| CLK Ratio | 用户接口时钟频率与颗粒接口时钟频率比值 | 1:4, 1:2 |
| DIMM Type | 颗粒DIMM 类型 | Components, RDIMMs, UDIMMs, SODIMMs |
| Dq Width | Dq数据位宽 | 8, 16, 24, 32, 40, 48, 56, 64, 72 |
| Dram Width | 单颗粒的数据位宽 | 8, 16 |
| Rand Address | Rank地址 | 对于Single与Dual rank器件，此选择为1。 |
| Bank Address | 内存BANK地址宽度 | 根据DDR3 SDRAM芯片选择 |
| Row Address | 内存行地址宽度 | 根据DDR3 SDRAM芯片选择 |
| Column Address | 内存列地址宽度 | 根据DDR3 SDRAM芯片选择。 |
| Burst Mode | 颗粒突发模式 | “4”、“8”、“OTF”；时钟比例1:2时支持4/OTF，时钟比例1:4时只支持8 |
| Burst Type | 颗粒突发类型 | “Sequential” “Interleaved” |
| CAS Latency | CAS延迟时间 | 5, 6, 7, 8 |
| Additive Latency | 附加延迟时间 | 0, CL-1, CL-2 |
| CW Latency | CWL延迟时间 | 根据实际选择 |
| RTT NOM | Nominal ODT数值 | “OFF”: OFF “20”: 20 “30”: 30 “40”: 40 |

| 名称 | 描述 | 选项 |
|--------------|---|---|
| | | “60”: 60 “120”: 120 |
| RTT_WR | Multiple-RANK中用于写端口的Dynamic ODT的数值，对于 Single-Component 设计 RTT_WR无效。 | “OFF”: RTT_WR disabled “120”: RZQ/2 “60”: RZQ/4 |
| USER_REFRESH | 是否由用户自己控制刷新操作 | “ON”, “OFF” |

表 7-2 DDR3 时间参数

| 名称 | 描述 |
|-------------------|---|
| t _{CK} | Memory接口时钟周期(ps) |
| t _{CKE} | CKE信号最小脉冲时间(ps) |
| t _{FAW} | 同一rank中允许同时发送大于四个行激活命令的间隔时间，因此最小值应该不小于t _{RRD} 的四倍。 |
| t _{RAS} | ACTIVE到PRECHARGE时间 |
| t _{RCD} | ACTIVE到READ或WRITE时间 |
| t _{REFI} | 内存刷新时间间隔 |
| t _{RFC} | REFRESH到ACTIVE/REFRESH间隔 |
| t _{RP} | PRECHARGE周期 |
| t _{RRD} | ACTIVE到ACTIVE时间间隔 |
| t _{RTP} | READ到PRECHARGE时间间隔 |
| t _{WTR} | WRITE到READ时间间隔 |
| AL | Additive Latency |
| CL | CAS Latency |

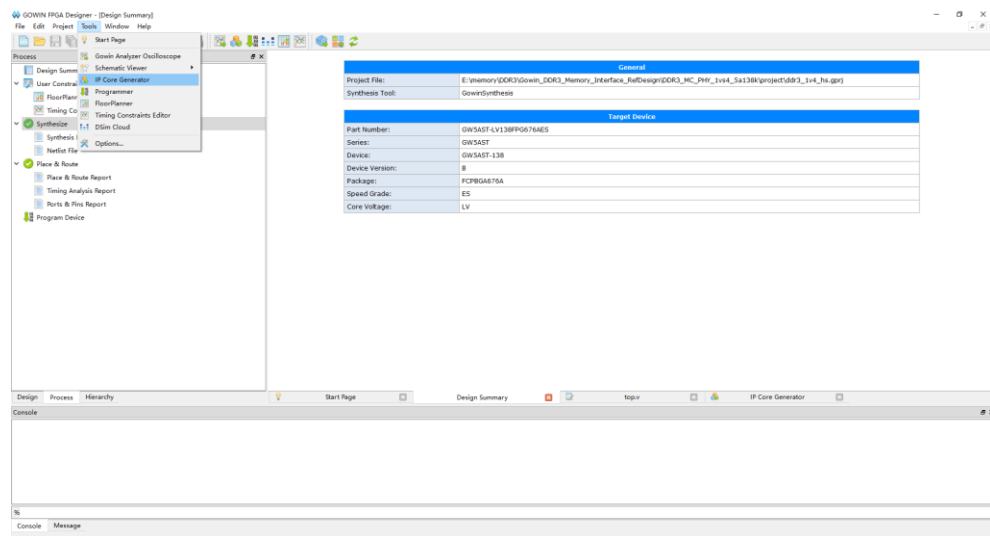
8 界面配置

用户可在 IDE 中通过 IP Core Generator 工具调用并配置 Gowin DDR3 Memory Interface IP。本章节以选择使用 AD3U160022G11 内存颗粒为例，介绍了主要配置界面、配置流程以及各配置选项含义（以时钟比例 1:2 为例）。

1. 打开 IP Core Generator

用户建立工程后，点击左上角 Tools 选项卡，下拉单击 IP Core Generator 选项，就可打开 Gowin 的 IP 核产生工具，如图 8-1 所示。

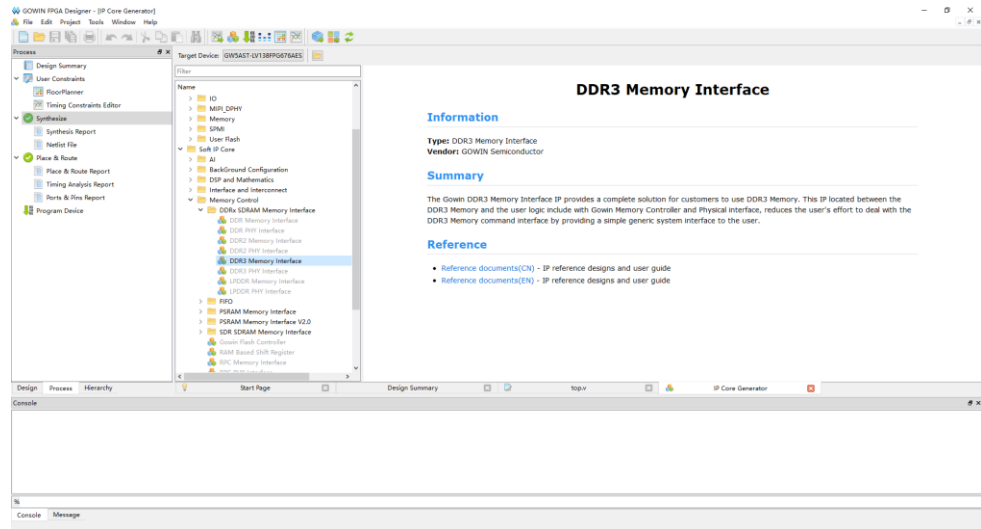
图 8-1 打开 IP Core Generator



2. 打开 DDR3 Memory Interface IP 核

点击 DDR 选项，双击 DDR3 Memory Interface，打开 DDR3 Memory Interface IP 核的配置界面，如图 8-2 所示。

图 8-2 打开 DDR3 Memory Interface IP 核

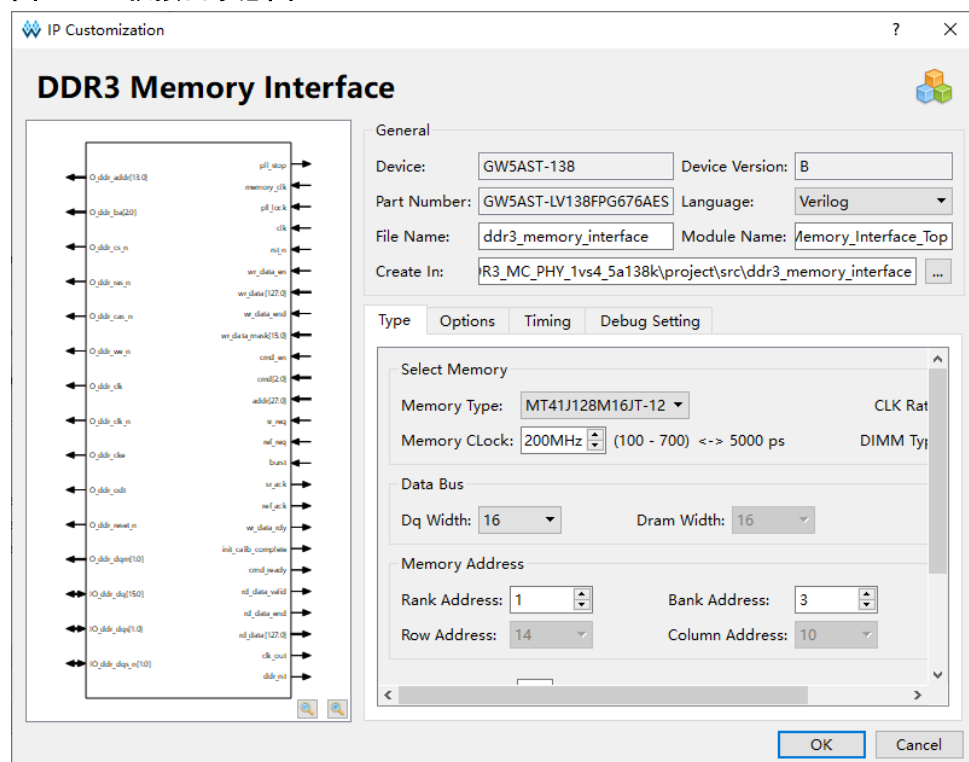


3. DDR3 Memory Interface IP 核端口界面

配置界面左端是 DDR3 Memory Interface IP 核的接口示意图，如图 8-3 所示。

接口示意图中左端是 DDR3 Memory Controller 与用户端接口，用户通过将自己的用户设计连接到 DDR3 Memory Interface IP 中实现命令和数据的收发，右端是 PHY（Physical interface）与内存颗粒的接口，用户通过将 DDR3 Memory Interface IP 核与自己所需内存颗粒连接，实现对数据的存取。用户使用不同的配置信息，接口示意图中的信号位宽，信号数量将会随之改变。

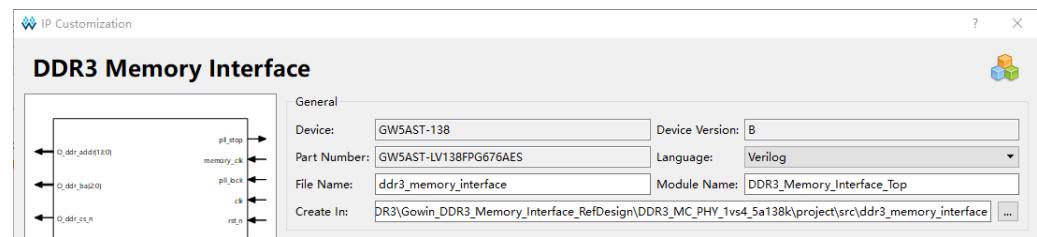
图 8-3 IP 核接口示意图



4. 配置基本信息

在配置界面的上部分是工程基本信息配置界面， **Module Name** 选项后面是工程产生后顶层文件的名称，默认为“**ddr3_memory_interface_top**”，用户可自行修改。“**File Name**”是 IP 核文件产生的文件夹，存放 DDR3 Memory Interface IP 核所需文件，默认为“**DDR3 Memory_Interface**”，用户可自行修改路径。**Create IN** 选项是 IP 核文件夹产生路径，默认为“**\工程路径\src\DDR3_Memory_Interface**”，用户可自行修改路径。右下角“**Add to Current Project**”选项是询问是否产生的 IP 直接添加到你的工程中，默认勾选，如图 8-4 所示。

图 8-4 基本信息配置界面

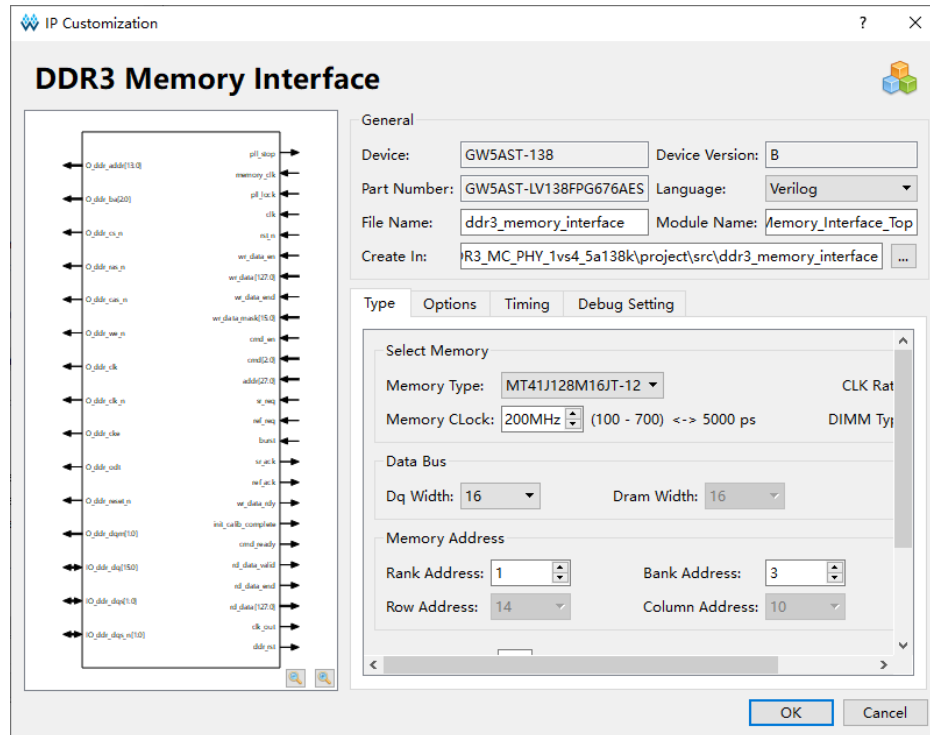


5. Type 选项卡

在 **Type** 选项卡中，用户需要配置所使用的 DDR3 内存芯片的基本信息。

- **Select Memory** 选项
- **Data Bus** 选项
- **Memory Address** 选项: **Memory Address** 中主要填写 DDR3 内存颗粒的 Rank, Bank, Row, Column 地址信息，当选择好 DDR3 内存颗粒类型后，GUI 会自动填写，如果选择 **Custom** 则需要用户根据自己使用的 DDR3 内存类型自行选择。
- 不可操作项，置灰。

图 8-5 Type 选项卡

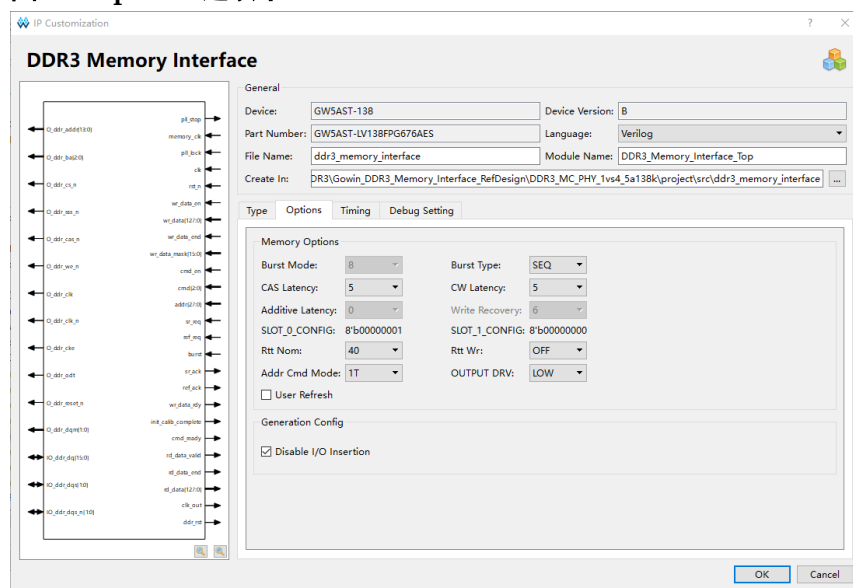


6. Options 选项卡如图 8-6 所示，已选择“MT41J128M16JT-125K”内存颗粒为例。

- Memory options 选项
- Generation Config 选项

勾选后产生的 IP 中，没有插入 IBUF、OBUF 等原语，直接使用 port 连接逻辑，默认勾选。

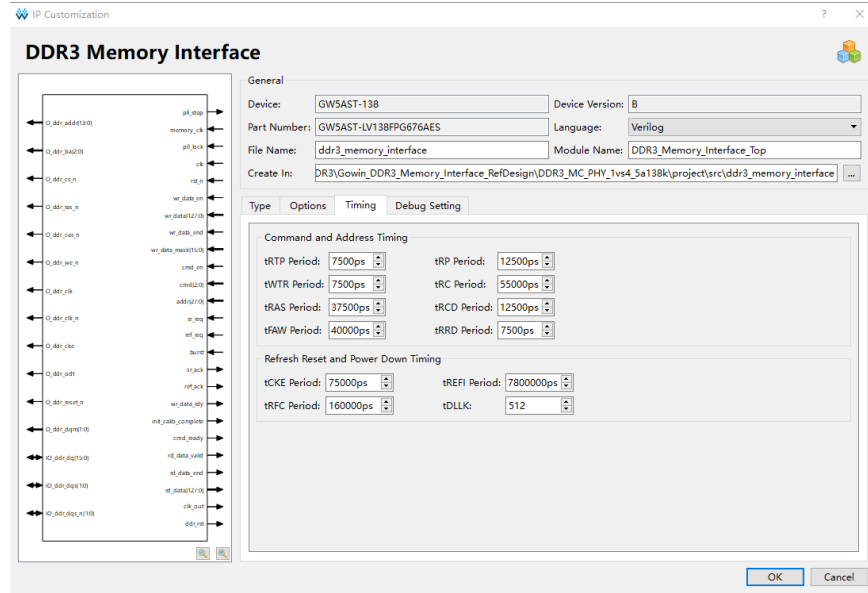
图 8-6 Options 选项卡



7. Timing 选项

- Command and Address Timing 选项
- Refresh, Reset and Power Timing 选项

图 8-7 Timing 选项卡



8. Debug Setting 选项

此选项是使能 debug 接口和调试参数。

图 8-8 Debug Setting 选项卡

