




Gowin DDR3 Memory Interface IP ユーザーガイド

IPUG281-2.6J, 2026-01-16

著作権について(2026)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、**Arora-V**、GowinPnR、及びGoBridgeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale(GOWINSEMI 取引条件)**に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2018/08/24	1.0J	初版。
2019/03/12	1.1J	クロック比が 1 : 4 の場合の連続バーストの説明と使用法を追加。
2019/07/12	1.2J	<ul style="list-style-type: none"> ● アドレスフォーマットを変更。 ● 読み出し/書き込み効率の説明を追加。
2020/01/06	1.3J	静的パラメータを変更。
2021/06/30	1.4J	<ul style="list-style-type: none"> ● memory_clk、pll_lock ポートを追加。 ● デザインのソースコードファイルを更新。
2021/11/25	1.5J	<ul style="list-style-type: none"> ● cmd_en と cmd_ready のタイミングの説明を変更。 ● wr_data_en と wr_data_rdy のタイミングの説明を変更。
2022/08/12	1.6J	<ul style="list-style-type: none"> ● ユーザーインターフェースのタイミングの説明を変更。 ● コントローラの連続バーストモードと非連続バーストモードの説明を追加。
2022/10/17	1.7J	一部の信号名を更新。
2023/06/08	2.0J	<ul style="list-style-type: none"> ● GW5AST-138 デバイスの説明を追加。 ● pll_stop 信号を追加。 ● 「8 リファレンスデザイン」と「9 提供されるファイル」を削除。
2023/08/18	2.1J	<ul style="list-style-type: none"> ● GW5A-25 デバイスのサポートを追加。 ● Burst_Number_Enable オプションを削除。 ● app_burst_number 信号に関する内容を削除。
2023/09/12	2.2J	GW5A-25 に pll_stop のサポートを追加。
2024/12/31	2.3J	<ul style="list-style-type: none"> ● サポートされる最大レートなどを変更。 ● GW5A(T)-60K デバイスの場合における pll_stop の内容を追加。 ● Data_Mask の説明を変更。 ● リセットの説明を更新。
2025/3/14	2.4J	<ul style="list-style-type: none"> ● 主な特徴の説明を更新。 ● リソース使用量の説明を更新。
2025/05/09	2.5J	<ul style="list-style-type: none"> ● ODT の説明を追加。 ● 静的パラメータの構成の説明を更新。
2026/01/16	2.6J	<ul style="list-style-type: none"> ● AXI4 インターフェースの説明を追加。 ● 「Buffer Type」オプションの説明を追加。

目次

図一覧.....	iii
表一覧.....	iv
1 本マニュアルについて.....	1
1.1 マニュアルの内容.....	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	1
1.4 テクニカル・サポートとフィードバック.....	2
2 概要.....	3
3 主な特徴およびパフォーマンス.....	4
3.1 主な特徴.....	4
3.2 動作周波数と帯域幅の効率.....	5
3.3 リソース使用量.....	5
4 機能の説明.....	7
4.1 構造.....	7
4.2 Memory Controller.....	8
4.3 PHY.....	8
4.3.1 初期化モジュール.....	8
4.3.2 データバス.....	9
4.3.3 制御バス.....	9
4.3.4 I/O ロジックモジュール.....	9
4.4 ユーザーインターフェース.....	9
4.4.1 初期化インターフェース.....	9
4.4.2 クロック.....	9
4.4.3 リセット.....	10
4.4.4 pll_stop.....	11
4.4.5 コマンドおよびアドレスインターフェース.....	13
4.4.6 コマンドと書き込みデータの位置関係.....	14
4.4.7 書き込みデータインターフェース.....	15
4.4.8 読み出しデータインターフェース.....	18
4.4.9 リフレッシュ.....	20
4.5 AXI4 インターフェース.....	21

4.5.1 アービトレーション・モード.....	21
4.5.2 AXI4 インターフェースのタイミング.....	22
5 ODT.....	25
6 ポート一覧.....	27
7 パラメータの構成.....	32
7.1 Gowin DDR3 Memory Interface IP のパラメータの構成.....	32
7.2 AXI4 インターフェースのパラメータ.....	34
8 GUI での構成.....	35

図一覧

図 4-1 DDR3 Memory Interface IP の構造.....	7
図 4-2 DDR3 PHY の基本構造.....	8
図 4-3 初期化完了信号のタイミング図.....	9
図 4-4 クロック.....	10
図 4-5 リセット.....	11
図 4-6 138k pll_stop.....	12
図 4-7 25K pll_stop.....	12
図 4-8 Rank-Bank-Row-Column 順のアドレッシング方法.....	13
図 4-9 コマンド、アドレス、およびイネーブル信号のタイミング図-A.....	14
図 4-10 cmd とデータの位置関係図.....	15
図 4-11 クロック比が 1:2 で Burst_Mode=BC4、またはクロック比が 1:4 の場合のデータ書き込みタイミング図.....	16
図 4-12 クロック比が 1:2 で Burst_Mode=BL8 の場合のデータ書き込みタイミング図.....	17
図 4-13 クロック比が 1:2 で Burst_Mode=OTF の場合のデータ書き込みタイミング図.....	17
図 4-14 クロック比が 1:2 で Burst_Mode=BC4 の場合のデータ読み出しタイミング図.....	18
図 4-15 クロック比が 1:2 で Burst_Mode=BL8 の場合のデータ読み出しタイミング図.....	19
図 4-16 クロック比が 1:2 で Burst_Mode=OTF の場合のデータ読み出しタイミング図.....	19
図 4-17 クロック比 1:4 の場合のデータ読み出しタイミング図.....	20
図 4-18 ユーザーリフレッシュのタイミング図.....	21
図 4-19 AXI4 書き込みチャンネルのタイミング.....	23
図 4-20 AXI4 読み出しチャンネルのタイミング.....	24
図 5-1 FloorPlanner での ODT の構成.....	26
図 8-1 IP Core Generator を開く.....	35
図 8-2 DDR3 Memory Interface IP コアを開く.....	36
図 8-3 IP コアの構成画面.....	37
図 8-4 一般情報の構成画面.....	38
図 8-5 パラメータの構成画面.....	39

表一覧

表 1-1 用語、略語.....	1
表 2-1 Gowin DDR3 Memory Interface IP.....	3
表 3-1 リソース使用量(1).....	5
表 3-2 リソース使用量(2).....	5
表 4-1 cmd ポートを介したコマンド.....	13
表 6-1 Gowin DDR3 Memory Interface IP の IO ポート一覧.....	27
表 6-2 AXI4 のポート一覧.....	29
表 7-1 DDR3 のタイミングパラメータ.....	33

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが Gowin DDR3 Memory Interface IP を使いこなせるよう、その機能、ポート、タイミング、呼び出しと構成、およびリファレンス・デザインなどについて説明します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、Gowin ソフトウェア V1.9.12.01 の場合のもので、ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- [GW2A シリーズFPGA 製品データシート\(DS102\)](#)
- [GW2AR シリーズFPGA 製品データシート\(DS226\)](#)
- [GW5AST シリーズFPGA 製品データシート\(DS1104\)](#)
- [GW5A シリーズFPGA 製品データシート\(DS1103\)](#)
- [Gowin ソフトウェア ユーザーガイド\(SUG100\)](#)

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
ECC	Error Correcting Code	誤り訂正符号
FIFO	First Input First Output	先入れ先出し
GSR	Global System Reset	グローバル・システム・リセット

用語、略語	正式名称	意味
IP	Intellectual Property	設計資産
ODT	On-Die Termination	オンダイ終端
LUT	Look-up Table	ルックアップテーブル
RAM	Random Access Memory	ランダム・アクセス・メモリ

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

Gowin DDR3 Memory Interface IP は、JESD79-3F 標準規格に準拠している汎用 DDR3 メモリインターフェース IP です。この IP には、DDR3 メモリコントローラ(Memory Controller、MC)及び対応する物理インターフェース(Physical Interface、PHY)デザインが含まれています。Gowin DDR3 Memory Interface IP は、メモリとの接続を可能にする汎用コマンドインターフェースを提供しています。

表 2-1 Gowin DDR3 Memory Interface IP

Gowin DDR3 Memory Interface IP	
ロジックリソース	表 3-1 と表 3-2 を参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin ソフトウェア(V1.9.11 以降)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

3 主な特徴およびパフォーマンス

3.1 主な特徴

- 業界標準の DDR3 SDRAM デバイスおよび JESD79-3F 仕様互換のモジュールをサポート
- 8、16、24、32、40、48、56、64、及び 72 ビットのメモリ・データ・パス幅をサポート
- シングルランク RDIMM、UDIMM、及び SODIMM メモリモジュールをサポート
- x8/x16 データ幅のメモリをサポート
- プログラム可能なバースト長(4、8、または OTF)
- クロック比 1:2 および 1:4 は、GW2A-18、GW2A-55、GW2AR-18 デバイスに適用。クロック比 1:4 は、GW5AST-138 デバイスに適用
- ECC をサポート
- 構成可能な CL
- 構成可能な AL
- 構成可能な CWL
- 構成可能な t_{FAW}
- 構成可能な t_{RAS}
- 構成可能な t_{RCD}
- 構成可能な t_{RFC}
- 構成可能な t_{RRD}
- 構成可能な t_{RTP}
- 構成可能な t_{WTR}
- ODT の動的制御をサポート
- 自動リフレッシュ及びユーザーによるリフレッシュをサポート。構成可能な自動リフレッシュ間隔
- AXI4 インターフェースをサポート

3.2 動作周波数と帯域幅の効率

Gowin DDR3 Memory Interface IP がサポートする DDR3 SDRAM データレートは：

- クロック比 1:2 モードでは、最大 533Mbps をサポートします。
- クロック比 1:4 モードでは、GW5A(R)(S)-25 デバイスは最大 1100Mbps をサポートし、GW5A(T)-60 デバイスは最大 1100Mbps をサポートします。その他のデバイスは、最大 800Mbps をサポートします。

Gowin DDR3 Memory Interface IP 帯域幅効率の一覧は次のとおりです。

- クロック比 1 : 2 モードでは、バースト長が 4 の場合、帯域幅効率は 50% です。
- クロック比 1 : 2 モードでは、バースト長が 8 の場合、帯域幅効率は 90% です。
- クロック比 1 : 4 モードでは、帯域幅効率は 90% です。

3.3 リソース使用量

Gowin DDR3 Memory Interface IP は、Verilog で実装され、GW2A(X)シリーズ FPGA と GW5A(X)シリーズ FPGA(15K を除く)に適用されます。そのリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。例えば、GW5A-LV25UG324C2/I1 の場合、そのリソース使用量は表 3-1 に示すとおりです。

表 3-1 リソース使用量(1)

シリーズ	スピードグレード	デバイス名	リソース使用量
GW5A-25	C2	LUT	2173
		REG	3410
		ALU	125
		BSRAM	8

表 3-1 では、Gowin DDR3 Memory Interface は、28 ビットのユーザーアドレス幅、x16 DRAM WITDH、クロック比 1:4 のユーザー定義のインターフェースとして構成されています。

AXI4 インターフェースとして構成されている場合、AXI4 インターフェースで使用されるリソースは表 3-2 に示すとおりです。

表 3-2 リソース使用量(2)

シリーズ	スピードグレード	デバイス名	リソース使用量
GW5A-25	C2	LUT	252
		REG	168
		ALU	35
		BSRAM	4

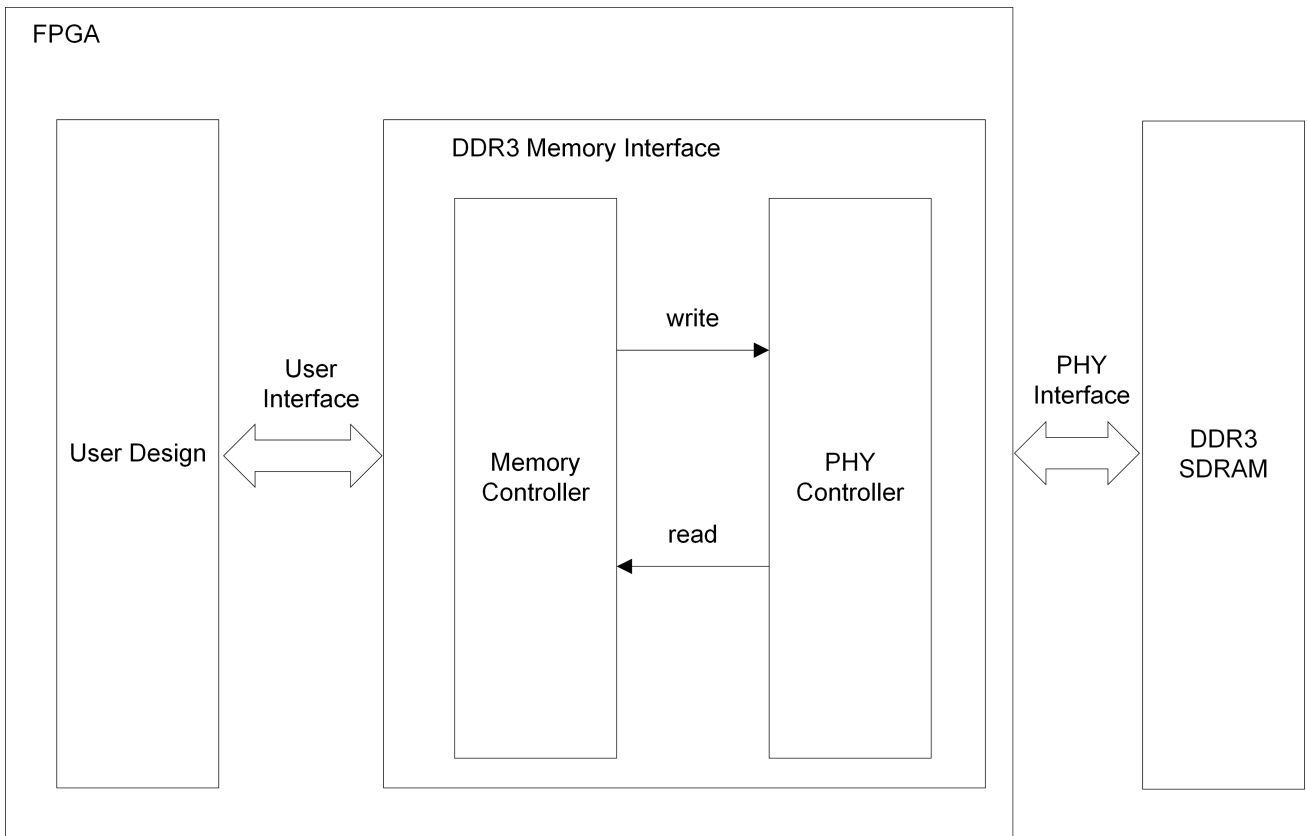
表 3-2 では、AXI4 インターフェースはアドレス幅 28 ビット、データ幅 128 ビット、ID 幅 4 ビットに構成されており、内部バッファとしては BSRAM リソースが使用されています。内部バッファとして SSRAM を選択する場合、ロジックリソースの使用量が増加し、ユーザーは手動で構成し、Gowin ソフトウェアを使用してリソース使用量を分析・確認する必要があります。

4 機能の説明

4.1 構造

Gowin DDR3 Memory Interface IP の基本構造には、主に Memory Controller、Physical Interface 等のモジュールが含まれています(図 4-1)。図 4-1 内の User Design は、外部 DDR3 SDRAM チップに接続する必要がある、FPGA のユーザーデザインです。

図 4-1 DDR3 Memory Interface IP の構造



4.2 Memory Controller

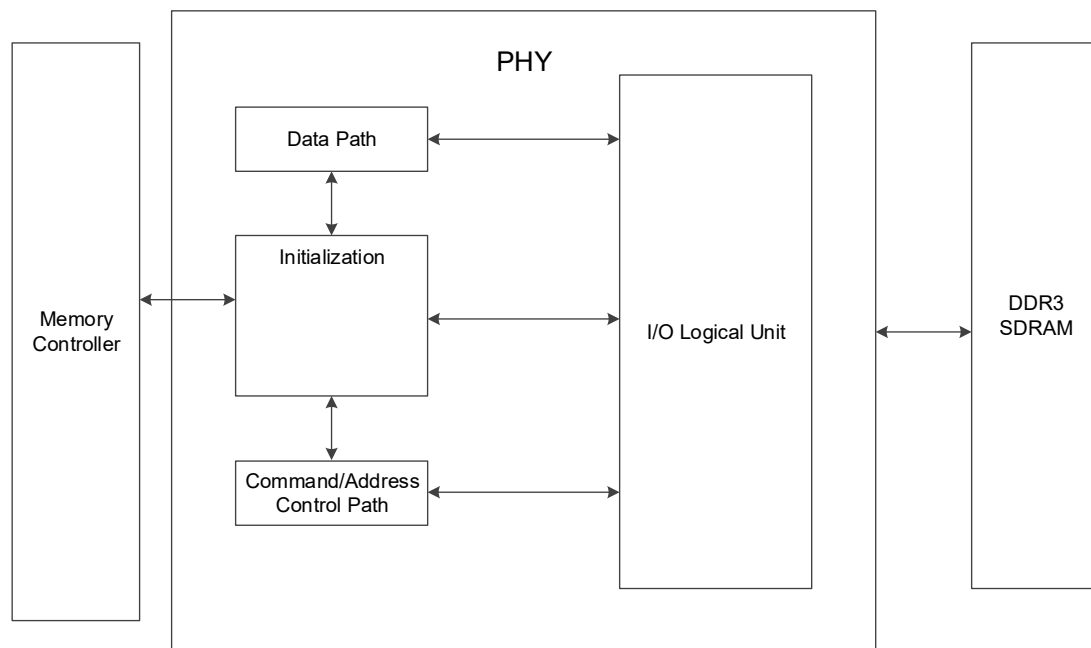
Memory Controller はプロトコル層の機能を実装し、内部状態機械は BANK、ROW、COL、およびリフレッシュ制御を実行します。Memory Controller は、ユーザー側の読み出しおよび書き込みコマンドを受信して内部で FIFO 形式で格納します。Memory Controller は、読み出しおよび書き込みコマンドを PHY 側で識別可能なインターフェースタイミングに変換し、PHY 側に入力します。

4.3 PHY

PHY は、MC と外部 DDR3 SDRAM 間の物理層の定義及びインターフェースを提供します。また、PHY は、MC 層からのコマンドを受信して、DDR3 SDRAM にインターフェースタイミングを提供します。

図 4-2 に示すように、PHY には主に、初期化モジュール、データパス、コマンド/アドレス制御パス、および I/O ロジックモジュールの 4 つのモジュールが含まれています。

図 4-2 DDR3 PHY の基本構造



4.3.1 初期化モジュール

初期化モジュールは、主に DDR3 SDRAM のパワーアップ後の初期化及び読み出し校正 (キャリブレーション) に使用されます。すべての初期化と読み出し校正が完了した後、信号「init_calib_complete」は Low から High になり、すべての初期化が完了したことを指示します。

注記：

init_calib_complete 信号が High にプルアップされるまで、読み出し/書き込みは許可されません。

パワーアップ初期化

JESD79-3F スタandardに従って、パワーアップ後は DDR3 SDRAM(チップまたは DIMM)に対して、リセット、クロックイネーブル、モードレジスタの構成及び ZQ キャリブレーションといったプロセスを含む初期化を行う必要があります。

4.3.2 データパス

データパスには、データ書き込みとデータ読み出しが含まれます。

4.3.3 制御パス

コマンド/アドレス制御パスは単方向パスです。MC が送信したコマンド及びアドレス信号を受信し、データパスとともに書き込み読み出しデータ遅延パラメータを処理してコマンドを I/O ロジックに送信します。

4.3.4 I/O ロジックモジュール

I/O ロジックモジュールは、主にデータパス及びコマンド/アドレスパスを介して転送されたデータ、コマンド、アドレス信号に対してクロックドメインの変換を行います。

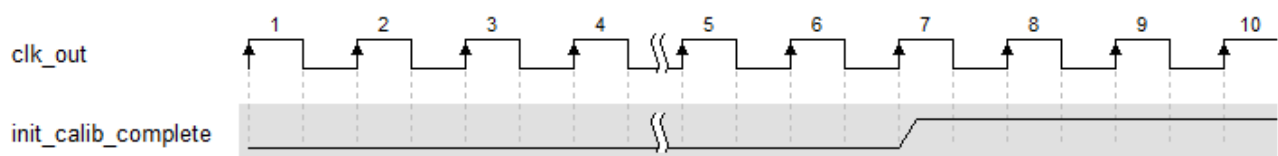
4.4 ユーザーインターフェース

パラメータの構成、インターフェース信号の使用方法、ポート一覧が含まれます。

4.4.1 初期化インターフェース

init_calib_complete : DDR3 SDRAM は、通常書き込みおよび読み出し操作を実行するには、校正(キャリブレーション)する必要があります。したがって、PHY は電源投入後に DDR3 SDRAM を初期化(校正)し、初期化後に init_calib_complete は High になります(図 4-3)。

図 4-3 初期化完了信号のタイミング図

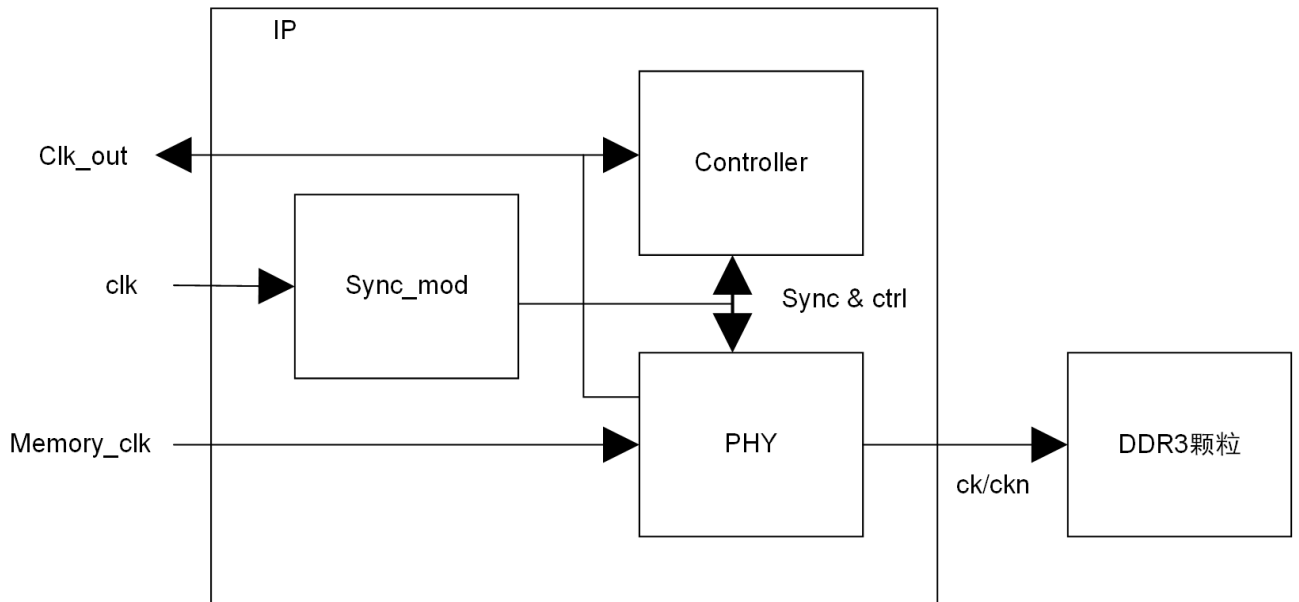


4.4.2 クロック

IP には、2つの入力クロック clk および memory_clk と 1つの出力クロック clk_out を含む、3つのクロックがあります。図 4-4 に示すように、clk は、いくつかの同期信号と制御信号を生成するために使用されます。これらの同期信号と制御信号は、IP のメインロジック (PHY 層および Memory controller) に作用します。clk の要件は、低速連続クロックで、その推奨周波数は 50MHz で、オンボード水晶発振器からの入力を clk に接続できます。Memory_clk は、HCLK リソースを使用して PHY を駆動し、DDR3 メモリに出力する、高速クロックです。clk_out は、memory_clk の分周クロックです。clk_ratio=4:1 の場合、clk_out

は **Memory_clk** の 4 分周クロックで、**clk_ratio=2:1** の場合、**clk_out** は **Memory_clk** の 2 分周クロックです。**clk_out** は、**PCLK** リソースを使用します。**clk_out** は IP のロジック処理クロックとして使用され、ユーザーロジックに出力されます。ユーザーによる IP へのインターフェース操作は、**clk_out** と同期する必要があります。

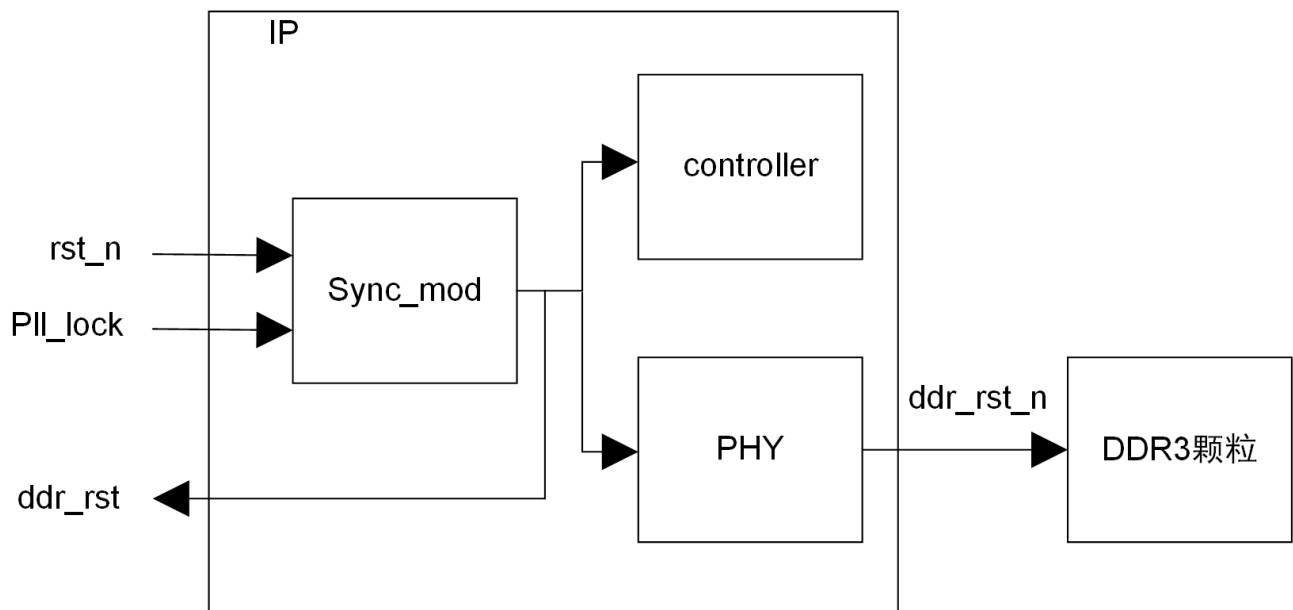
図 4-4 クロック



4.4.3 リセット

IP には、入力信号の **rst_n** および **pll_lock** と、出力信号の **ddr_rst** があります。図 4-5 に示すように、**rst_n** は、IP に送信する前に **clk** での同期解放が必要です。**rst_n** は **Sync_mod** をリセットし、その後 **Sync_mod** は **pll_lock** のアサートを待機します。**pll_lock** がアサートされた後、**Sync_mod** は **ddr_rst** を IP のグローバル・リセットとして出力し、ユーザーに送信します。**rst_n** には任意のリセットロジックを接続できますが、**pll_lock** には PLL の **LOCK** 信号のみ接続できます。**pll_lock** が PLL の **LOCK** 信号に接続されていない場合、IP はクロックが安定しているかどうかを検出できなくなり、DDR の初期化失敗が発生しやすくなります。

図 4-5 リセット



4.4.4 pll_stop

pll_stop は、GW5A(S)(T)デバイスに存在する、memory_clk を制御する信号であり、アクティブ Low です。

図 4-6 および図 4-7 に示すように、138K デバイスを使用する場合、pll_stop は PLL の enclk2 に直接接続されます。

25K デバイスを使用する場合、pll_stop を pll_mDRP_intf モジュールに接続して PLL の clkout2 出力を間接的に制御することができます。pll_mDRP_intf の clk は、PLL の mdclk および clkin と同じです。

他の GW5A(X) FPGA での pll_stop の使用方法については、ターゲット FPGA の PLL に 138K デバイスの enclk と同様のイネーブル信号があるかどうかを確認する必要があります。ある場合は、pll_stop をそれに直接接続できます。ない場合は、mDRP インターフェースを通じて制御する必要があります。

図 4-6 138k pll_stop

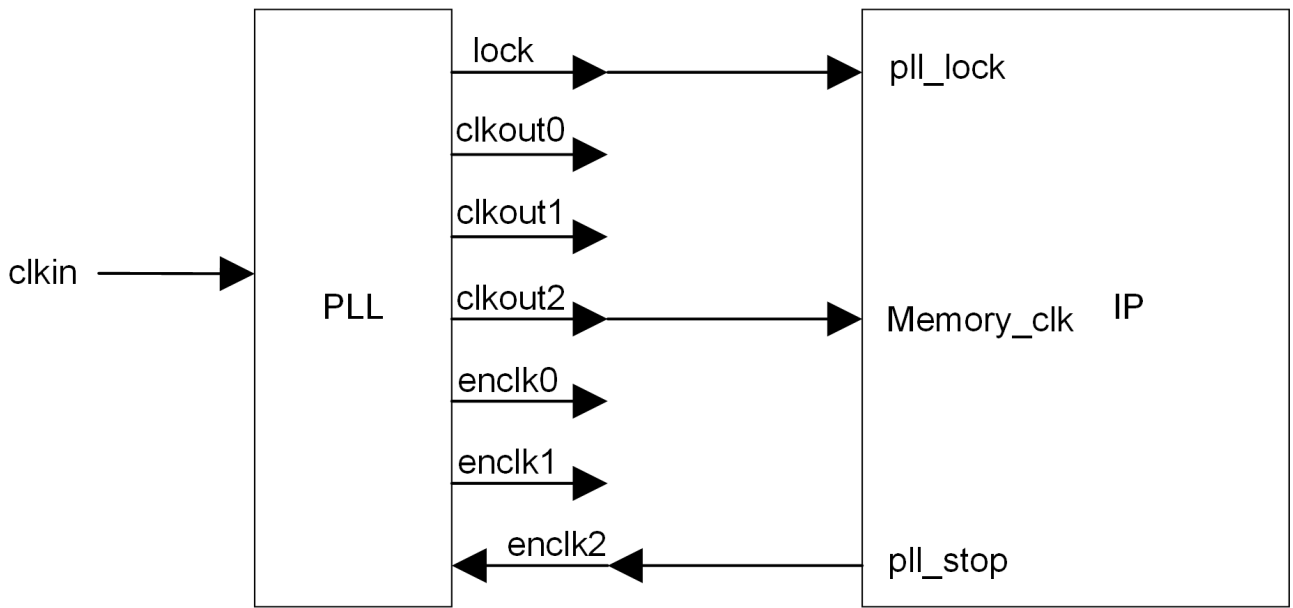
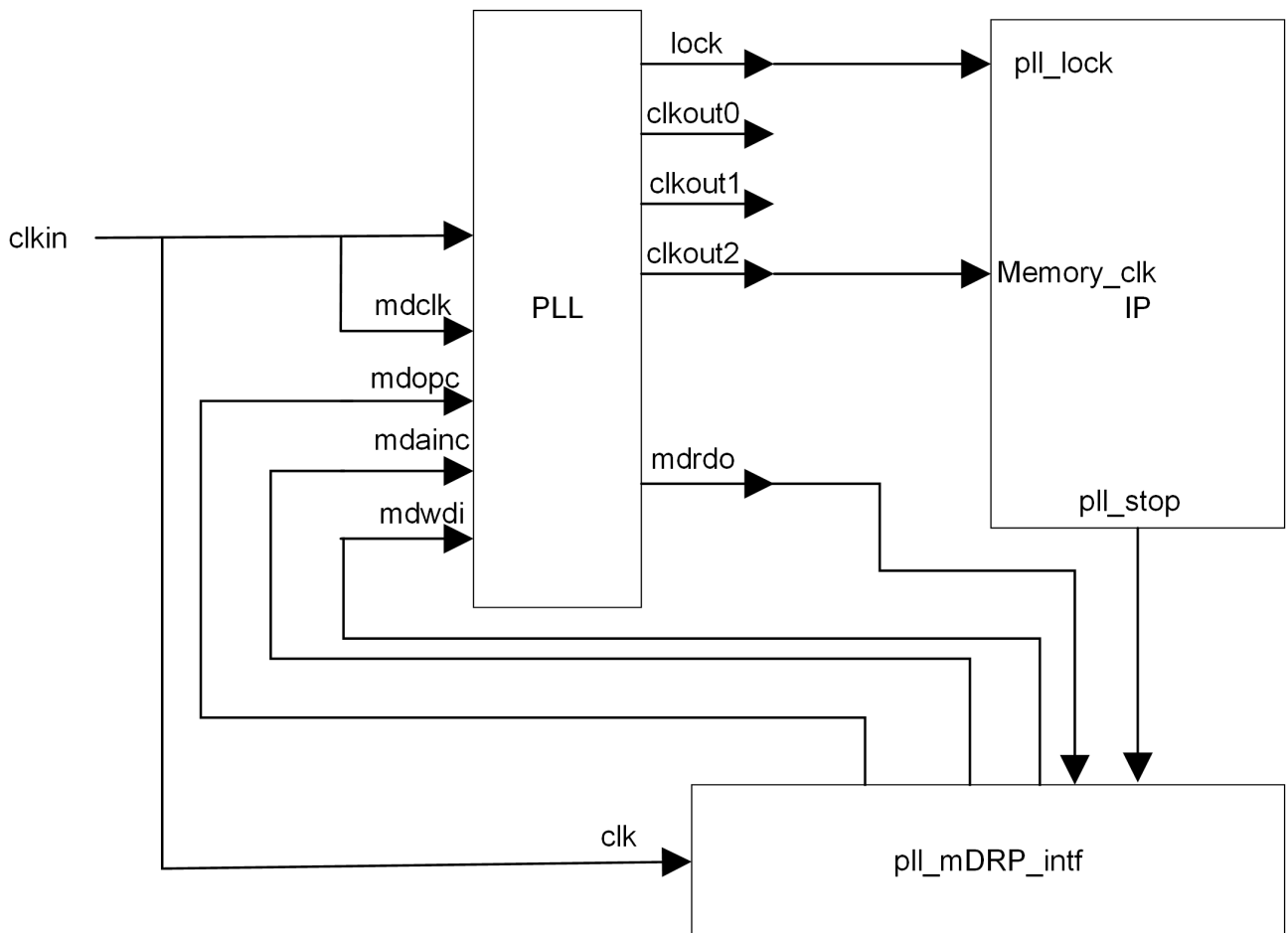


図 4-7 25K pll_stop



pll_mDRP_intf モジュールは [Gowin_DDR3_Memory_Interface_RefDesign](#) に含まれています。

4.4.5 コマンドおよびアドレスインターフェース

コマンド

ユーザーは `cmd` および `cmd_en` を介して IP にコマンドを書き込むことができ、コントローラは書き込まれたコマンドの順序に従って DDR3 メモリへの読み出しおよび書き込みを開始します。

- `cmd` はコマンドポートです。
- `cmd_en` はコマンドイネーブル信号で、High の時に `cmd` が有効です。

コマンドの意味を表 4-1 に示します。

表 4-1 `cmd` ポートを介したコマンド

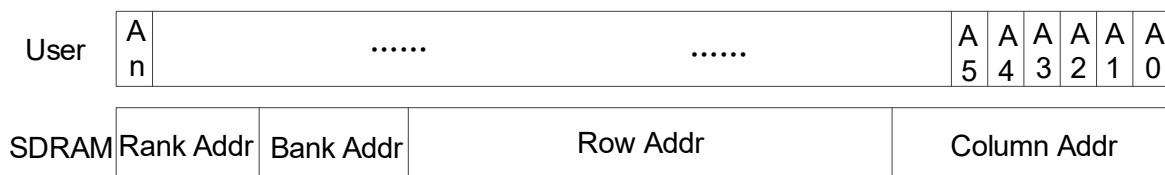
コマンド	<code>cmd[2:0]</code>
Read	3'b001
Write	3'b000

アドレス

`addr` は、`cmd` とともにコントローラに書き込まれるユーザー側のアドレスバスであり、`cmd_en` が有効な場合、`addr` が有効になります。

アプリケーションでは、ユーザーインターフェースのアドレスバス `addr` 及び物理メモリの Rank、Bank、Row、Column は、マッピング関係にあります。本デザインでは、そのアドレッシング方法を図 4-8 に示します。従って、ユーザーは、アプリケーションにおいてアドレスの順序に注意する必要があります。

図 4-8 Rank-Bank-Row-Column 順のアドレッシング方法



`addr` は DDR アドレスです。つまり、`addr` は DDR メモリアドレスを直接表します。DDR3 `burst_mode` が BC4 として構成されている場合、1 回の書き込み/読み出しで 4 つの dq データを DDR に書き込み/読み出す必要があるため、1 回の DDR 書き込み/読み出しで 4 つのアドレスが占有されます。DDR3 `burst_mode` が BC8 として構成されている場合、1 回の書き込み/読み出しで 8 つの dq データを DDR に書き込み/読み出す必要があるため、1 回の DDR 書き込み/読み出しで 8 つのアドレスが占有されます。ユーザーは、使用中にアドレスの管理に注意を払う必要があります。

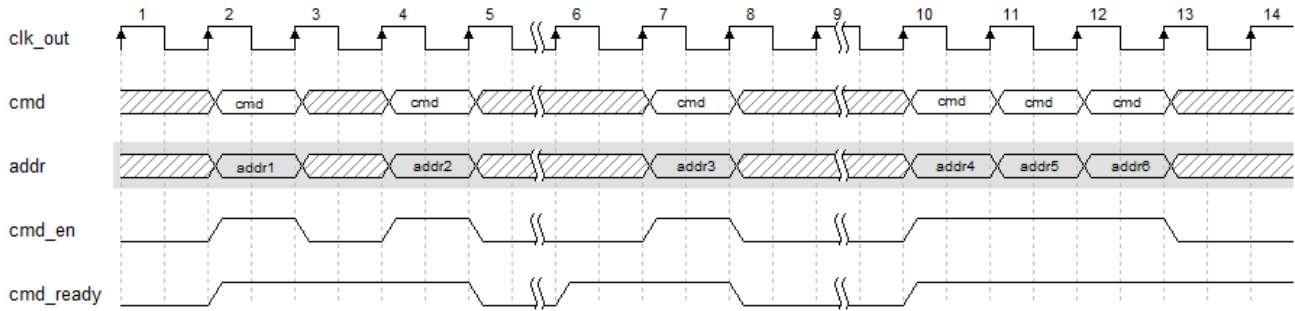
クロック比が 1:2 の場合のコマンドとアドレスのタイミング

クロック比が 1:2 の場合、High レベルの `cmd_ready` は、DDR コントローラがユーザーコマンドを受信できることを意味します。

cmd_en および cmd_ready が 1 の場合、cmd と addr は IP に書き込まれます。各 addr は互いに独立しています。つまり、例えば addr1 と addr2 には関係がなく、隣接するアドレスである必要はありません。

コマンド、アドレス、およびイネーブル信号間のタイミングを図 4-9 に示します。

図 4-9 コマンド、アドレス、およびイネーブル信号のタイミング図-A



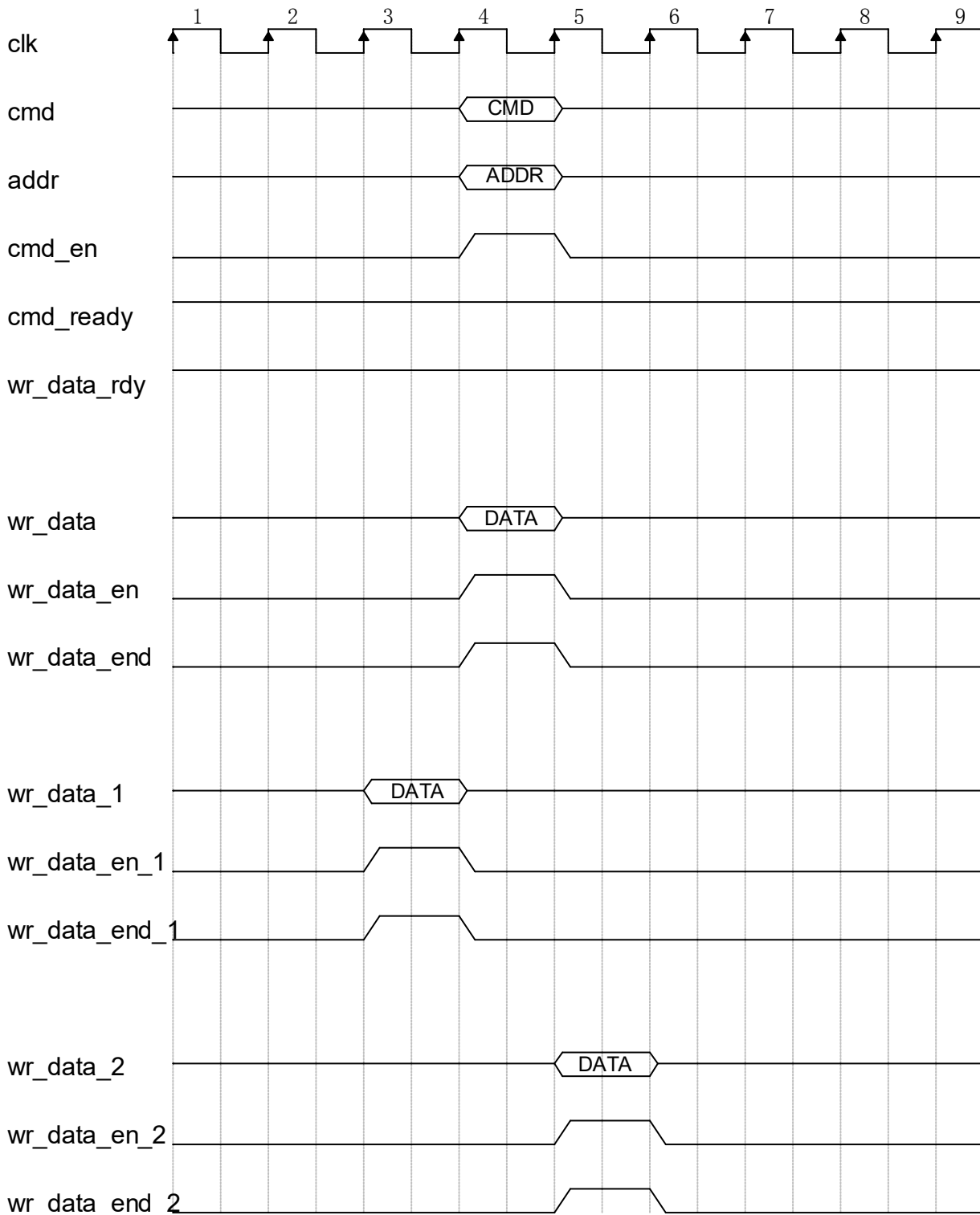
クロック比が 1:4 の場合のコマンドとアドレスのタイミング

アドレスとコマンドのタイミングは、クロック比が 1:2 の場合と同じです。図 4-9 のタイミングを参照してください。

4.4.6 コマンドと書き込みデータの位置関係

cmd とデータの位置関係を図 4-10 に示します。

図 4-10 cmd とデータの位置関係図



4.4.7 書き込みデータインターフェース

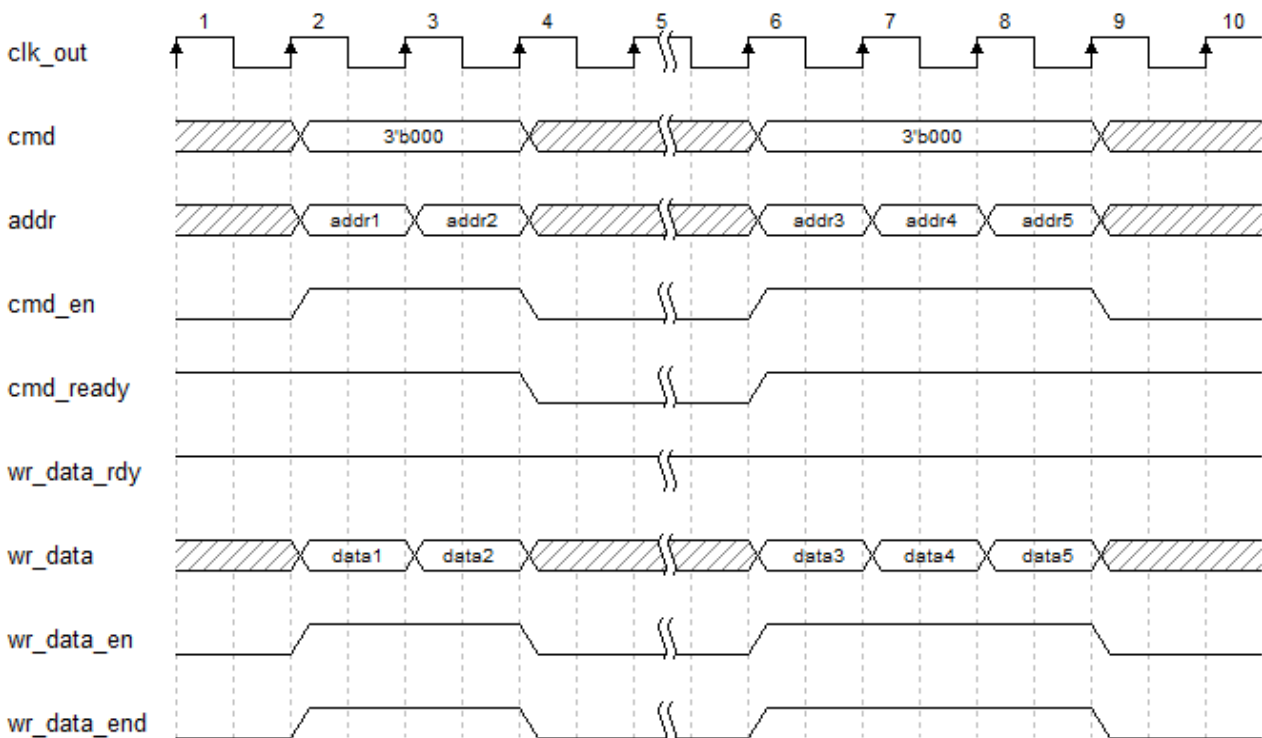
- **wr_data** : 書き込みデータ。ユーザーは、DDR メモリに格納する必要があるデータをこのインターフェース経由で書き込むことができます。

- **wr_data_wren** : データ書き込みのイネーブル信号で、アクティブ High です。
- **wr_data_end** : このサイクルの **wr_data** バス上のデータが現在書き込まれている最後のデータであることを示します。
- **wr_data_rdy** : **wr_data_rdy** が High の場合、コントローラはユーザーデータを受信でき、ユーザーは **wr_data**、**wr_data_en**、および **wr_data_end** インターフェースを介してコントローラにデータを書き込むことができます。

クロック比が 1:2 で、**burst_mode** が BC4 として構成される場合、**wr_data** と **dq** の幅比は 1:4 であり、このとき 1 つの **wr_data** で DDR の 1 回のバースト書き込みを満たすことができます。**wr_data_en** と **wr_data_end** は同じ動作なので、データ書き込みの際に **wr_data_en** と **wr_data_end** に同時に 1 を書き込みます。

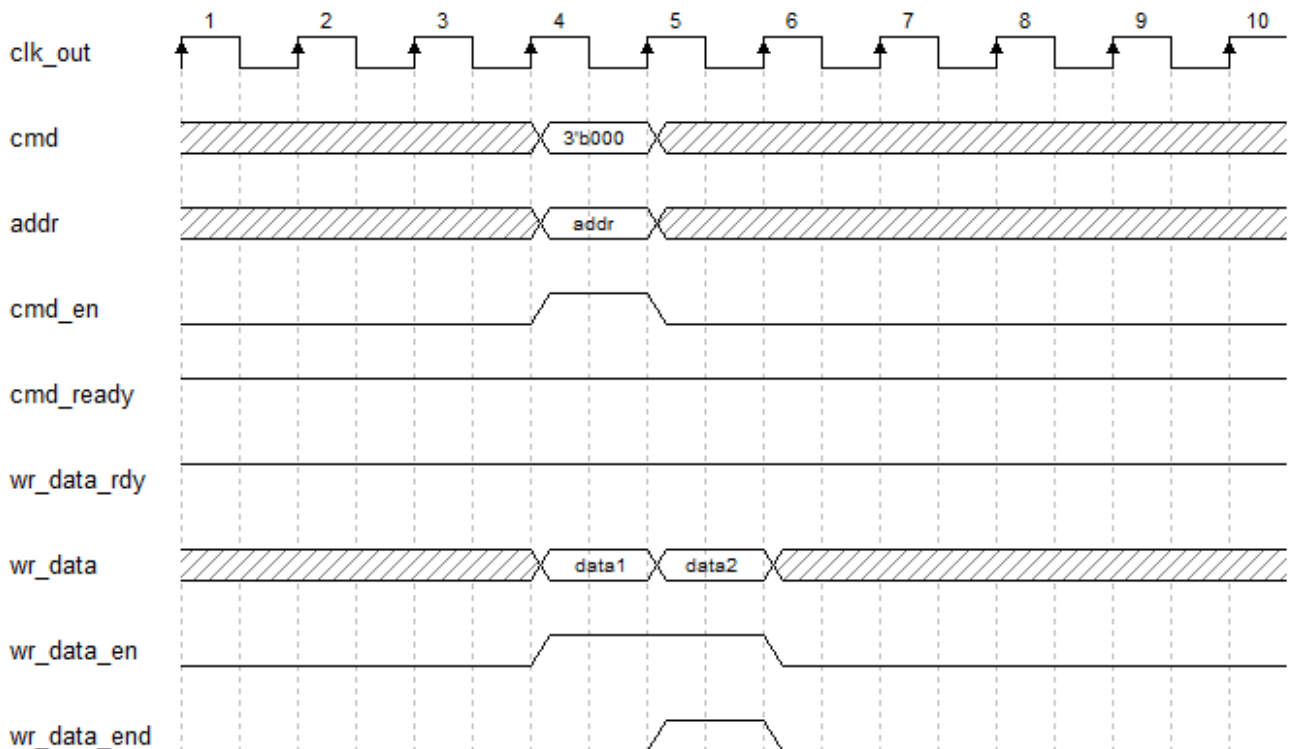
クロック比が 1:4 で、**burst_mode** が BL8 として構成される場合は、上記の例と同じです。そのタイミングを図 4-11 に示します。

図 4-11 クロック比が 1:2 で **Burst_Mode=BC4**、またはクロック比が 1:4 の場合のデータ書き込みタイミング図



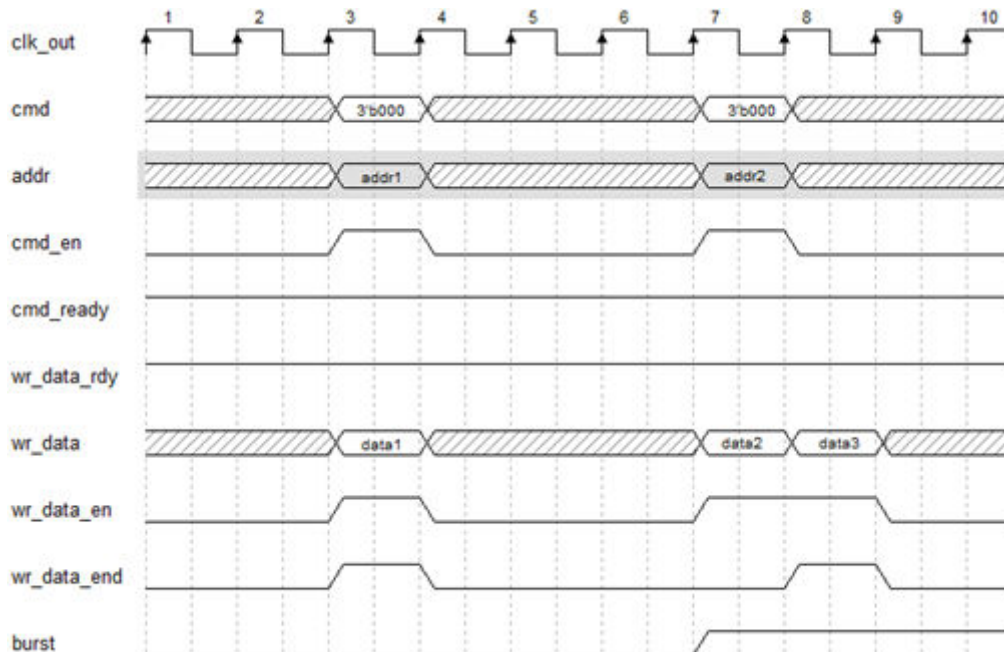
クロック比が 1:2 で、**burst_mode** が BC8 として構成される場合、**wr_data** と **dq** の幅比は 1:4 であり、このとき 1 回のバースト書き込みには 2 つの **wr_data** が必要となります。このため、**wr_data_en** は 2 サイクル続き、2 番目のサイクルで **wr_data_end** に 1 を書き込むようにする必要があります。そのタイミングを図 4-12 に示します。

図 4-12 クロック比が 1:2 で Burst_Mode=BL8 の場合のデータ書き込みタイミング図



クロック比が 1:2 の場合のみ、OTF burst_mode がサポートされます。このモードでは、ポート信号 burst=0 は、現在の DDR チップの burst_mode が BC4 であることを意味し、ポート信号 burst=1 は、現在の DDR チップの burst_mode が BL8 であることを意味します。このとき、ユーザーは状況に応じて wr_data_en および wr_data_end 信号を調整する必要があります。そのタイミングを図 4-13 に示します。

図 4-13 クロック比が 1:2 で Burst_Mode=OTF の場合のデータ書き込みタイミング図



4.4.8 読み出しデータインターフェース

ユーザーは、ポート `rd_data`、`rd_data_valid`、および `rd_data_end` を介して DDR3 SDRAM が返すデータを読み出すことができます。

- `rd_data` は、返される読み出しデータです。
- `rd_data_valid` は、読み出しデータ有効信号で、アクティブ High です。
- `rd_data_end` は、現在の `burst_mode` で返す最後のデータを示し、アクティブ High です。

図 4-14 に示すように、書き込みと同様に、クロック比が 1:2 で、バースト長が BC4 の場合、データ読み出しは 1 つの `clk` サイクルを占有します。

図 4-14 クロック比が 1:2 で Burst_Mode=BC4 の場合のデータ読み出しタイミング図

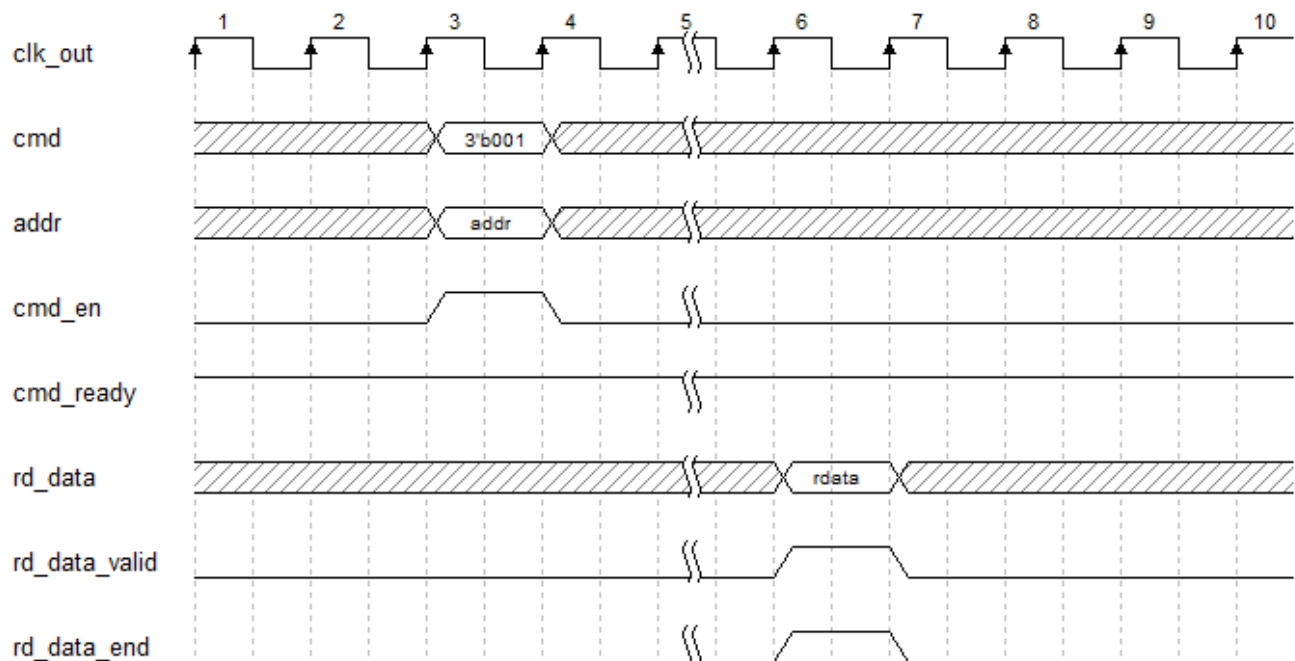
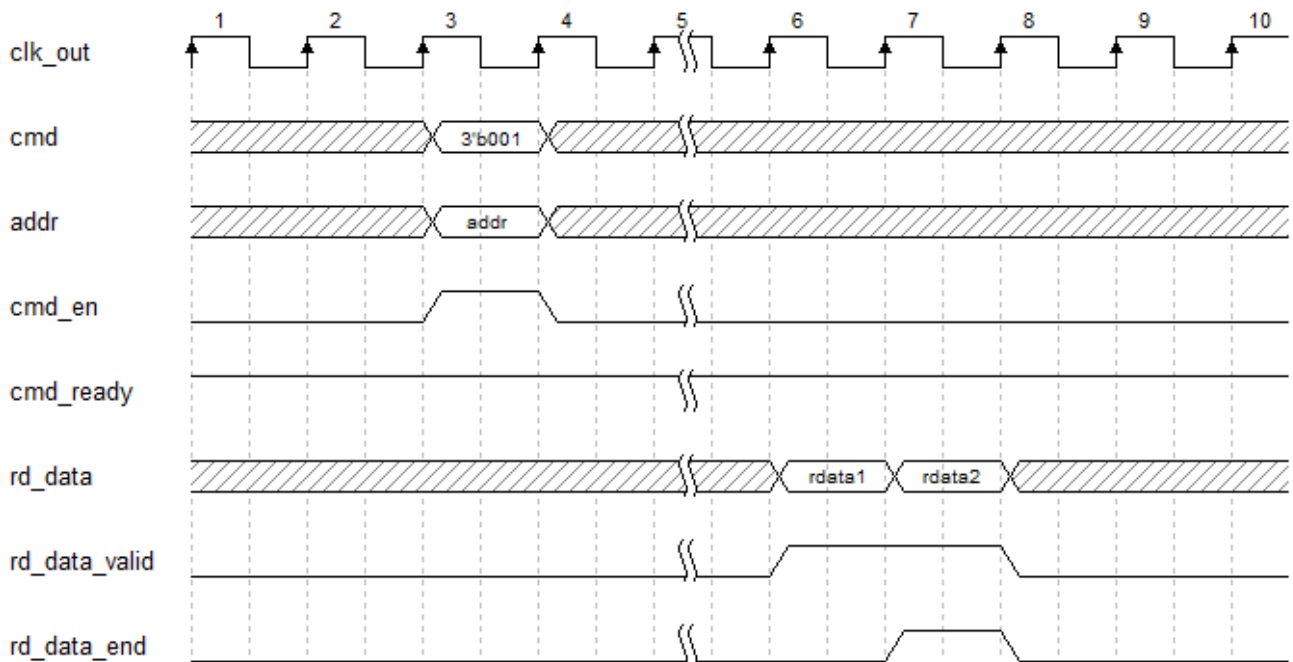


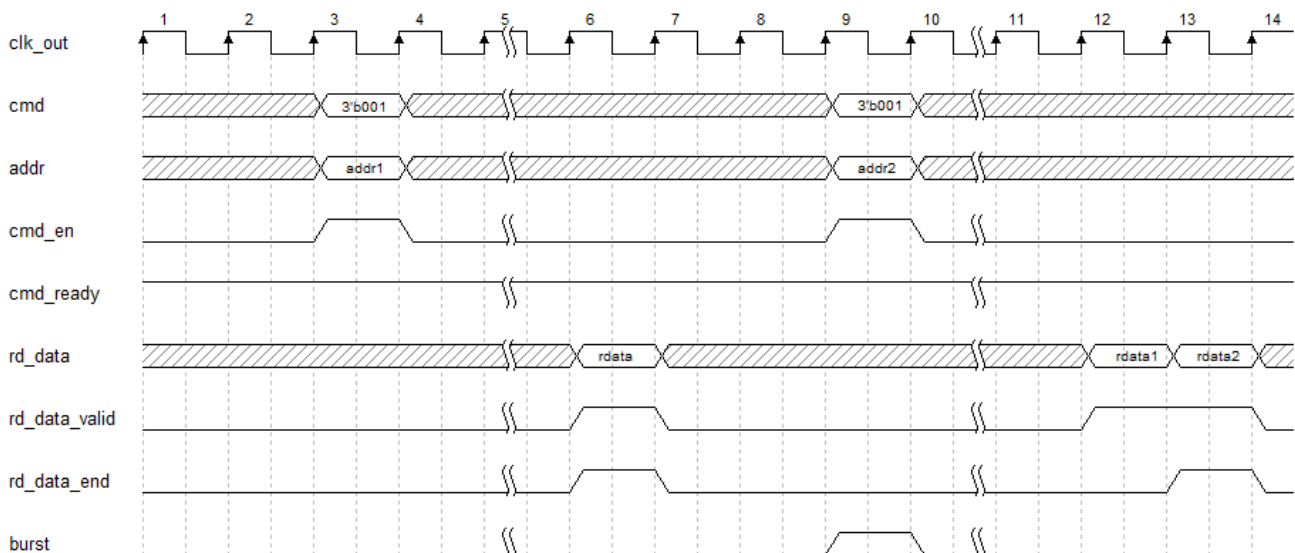
図 4-15 に示すように、書き込みと同様に、クロック比が 1:2 で、バースト長が BL8 の場合、データ読み出しは 2 つの `clk` サイクルを占有します。

図 4-15 クロック比が 1:2 で Burst_Mode=BL8 の場合のデータ読み出しタイミング図



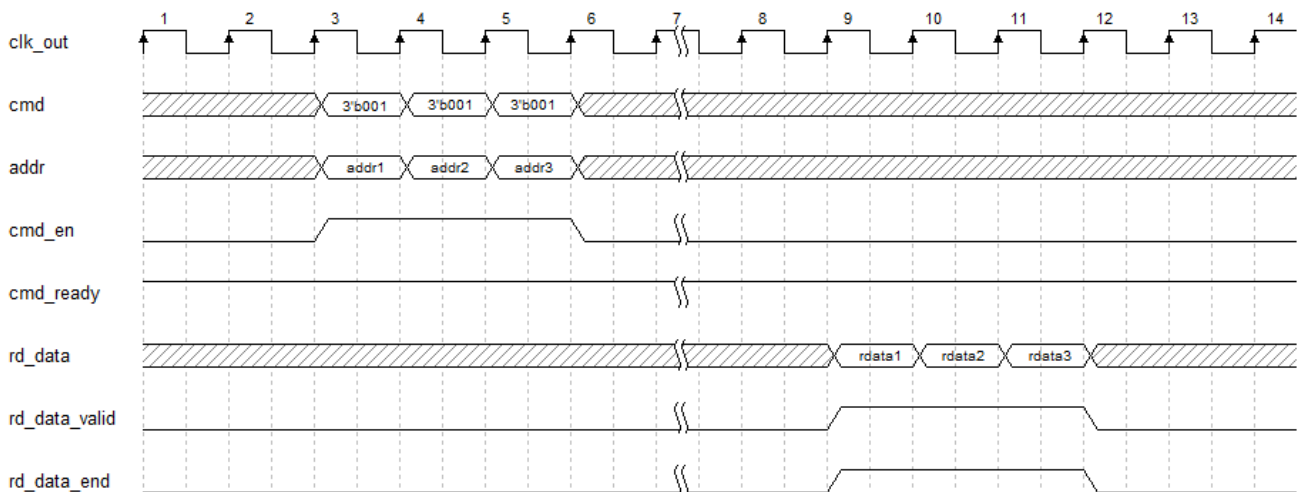
クロック比が 1:2 で、バーストモードが OTF の場合(つまり、BC4 と BL8 は burst ポートで切り替えることができます)、cmd_en が有効なとき、burst=0 は、BC4 読み出しで、データ読み出しが 1 つの clk サイクルを占有することを意味し、burst=1 は、BL8 読み出しで、データ読み出しが 2 つの clk サイクルを占有することを意味します(図 4-16)。

図 4-16 クロック比が 1:2 で Burst_Mode=OTF の場合のデータ読み出しタイミング図



クロック比が 1:4 の場合、読み出しコマンドに従って読み出しデータが順番に返されます(図 4-17)。

図 4-17 クロック比 1:4 の場合のデータ読み出しタイミング図



4.4.9 リフレッシュ

リフレッシュ

DDR3 SDRAM ストレージアレイには、データが失われないようにするには、継続的なリフレッシュが必要です。したがって、Gowin DDR3 Memory Interface IP により周期的にリフレッシュコマンドを DDR3 SDRAM に送信する必要があります。Gowin DDR3 Memory Interface IP は、 t_{REFI} の間隔でリフレッシュコマンドを生成します。リフレッシュコマンドが生成された後、MC が最後の読み出し書き込み命令を実行した後、すべての Bank を PreCharge してから、リフレッシュコマンドを実行します。リフレッシュ操作には、比較的の高い優先度があります。

セルフリフレッシュ

ユーザーは、ポート `sr_req` を介してセルフリフレッシュ(self refresh)要求を送信することにより、DDR3 SDRAM をセルフリフレッシュモードとして構成することができます。セルフリフレッシュモードでは、DDR3 SDRAM は自動的にメモリアレイをリフレッシュし、Gowin DDR3 Memory Interface IP によりリフレッシュ命令を送信する必要はありません。

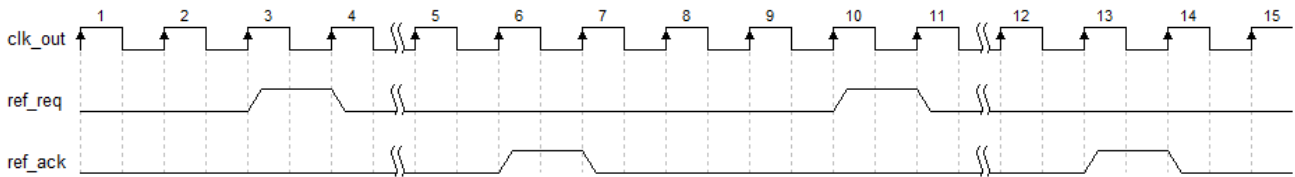
Gowin DDR3 Memory Interface IP は、DDR3 SDRAM のセルフリフレッシュ構成完了後、ユーザーに、DDR3 SDRAM がすでにセルフリフレッシュモードに入ったことを示す信号 `sr_ack` を返します。

ユーザーリフレッシュ

ユーザーは、オプションの構成によってリフレッシュモードをユーザーリフレッシュに構成することができます。つまり、「USER_REFRESH」を「ON」にする必要があります。ユーザーは、いつでもポート `ref_req` を介して MC にリフレッシュ要求を出すことができ、`cmd` ポートを介して MC にその他のコマンドを送信する必要はありません。ユーザーリフレッシュ命令を送信する時、`ref_req` は 1 サイクルの間 High レベルである必要があります。

リフレッシュ命令の送信後、MC は、1 サイクルの間 High レベルである `ref_ack` 信号をフィードバックします(図 4-18)。

図 4-18 ユーザーリフレッシュのタイミング図



ユーザーリフレッシュは、MC が既に受信した、或いは実行中の命令に影響を及ぼすことがあります。ユーザーリフレッシュを行う前に、MC は優先的に現在実行しているコマンドを完了します。ユーザーは、ユーザーリフレッシュの送信と各命令との整合を考慮して、 t_{REFI} の違反を回避する必要があります。

最悪の状況を考慮する場合、ユーザーリフレッシュは以下の公式を参考できます。 t_{RCD} 、CL、データ転送時間、 t_{RP} 等のパラメータを通じて計算することができます。ユーザーリフレッシュは時間パラメータ t_{REFI} の違反前に完了する必要があるため、2 回のユーザーリフレッシュの最大間隔は以下の通りです：

$$t_{REFI} - (t_{RCD} + (CL + 4) \times t_{CK} + t_{RP}) \times nBA$$

実際のアプリケーションにおいて、ユーザーリフレッシュを起動する場合、ユーザーは DDR3 SDRAM の初期化の直後にユーザーリフレッシュを行うことで後のユーザーリフレッシュ要求のタイム基準を確立する必要があります。

4.5 AXI4 インターフェース

メモリコントローラは業界標準の AXI4 インターフェースをサポートしています。AXI4 スレーブ・インターフェース・モジュールは、AXI4 伝送情報をメモリコントローラにマッピングします。AXI4 スレーブ・インターフェースはオプションです。AXI4 スレーブ・インターフェースを使用するには、GUI 画面上の「AXI4 Interface」オプションをチェックしてください。AXI4 インターフェースのプロトコル情報の詳細については、Arm AMBA AXI 仕様を参照してください。

AXI4 インターフェースのすべてのパラメータは、IP の構成画面の「AXI Interface Options」タブで構成できます。

4.5.1 アービトレーション・モード

AXI4 の書き込みチャンネルと読み出しチャンネルは、以下の 5 つのアービトレーション・モードをサポートしています。

- **Mode0** : 読み出しと書き込みの優先度は同じです。読み出しチャンネルと書き込みチャンネルは、クロックサイクルごとに交互に切り替わります。

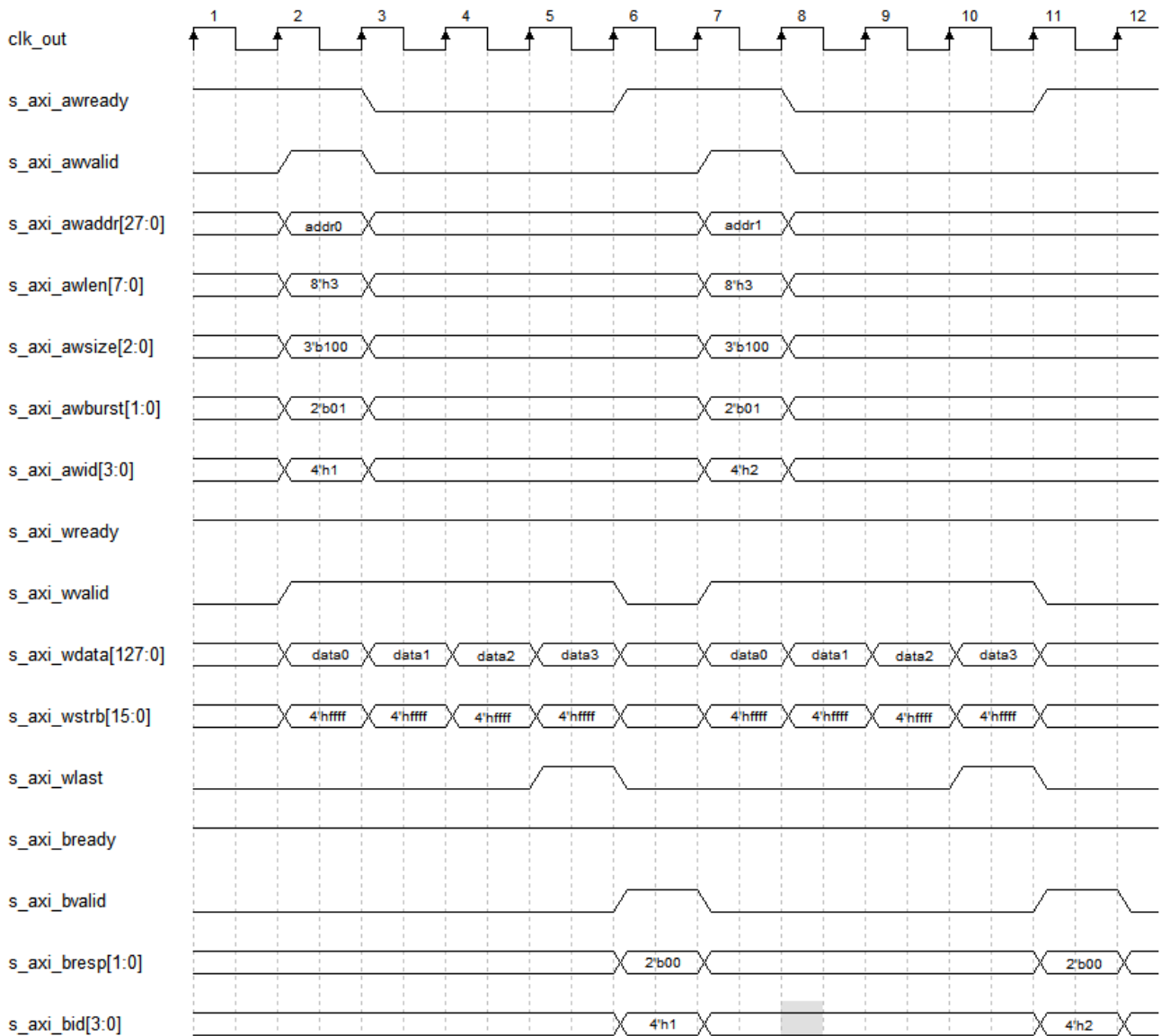
- **Mode1** : 読み出しと書き込みの優先度は同じです。読み出しチャンネルと書き込みチャンネルの両方がアイドル状態の場合、アービタは常に書き込みチャンネルを選択します。読み出し要求と書き込み要求が同時に発生した場合、書き込み要求が先に処理されます。前の要求が書き込み要求だった場合、次回は読み出し要求が優先されます。前の要求が読み出し要求だった場合、次回は書き込み要求が優先されます。
 - **Mode2** : 読み出し優先。読み出し要求と書き込み要求が同時に発生した場合、読み出し要求が先に処理されます。
 - **Mode3** : 書き込み優先。読み出し要求と書き込み要求が同時に発生した場合、書き込み要求が先に処理されます。
 - **Mode4** : 読み出しと書き込みの優先度は同じです。以下の 2 つの条件のいずれかが満たされた場合、書き込みチャンネルに切り替わります。
 - 現在書き込みのみがあって、読み出しはありません。
 - 書き込みと読み出しの両方があるが、何らかの理由で読み出しチャンネルがブロックされて処理を続行できず、ブロック時間が 256 システムクロックサイクルに達すると、書き込みチャンネルに切り替わります。
- 注記 :
- 読み出しチャンネルへの切り替え条件は、書き込みチャンネルへの切り替え条件と同じです。
- **Mode5** : 読み出し優先。読み出しと書き込みの両方が同時に発生した場合、アービタは読み出しチャンネルを優先します。書き込みチャンネルは待機タイマーを開始します。書き込みチャンネルが 256 システムクロックサイクル待機すると、強制的に書き込みチャンネルに切り替えられます。

4.5.2 AXI4 インターフェースのタイミング

AXI4 書き込みチャンネルのタイミング

書き込みバースト長が 4 で、書き込みバーストモードが 2'b01(INCR)の場合のタイミングを図 4-19 に示します。

図 4-19 AXI4 書き込みチャンネルのタイミング



AXI4 読み出しチャンネルのタイミング

読み出しバースト長が 4 で、読み出しバーストモードが `2'b01(INCR)` の場合のタイミングを図 4-20 に示します。

図 4-20 AXI4 読み出しチャンネルのタイミング



5 ODT

ODT(On-Die Termination)は、DDR3 の重要な機能であり、DQS、DQ、DM 信号の反射を低減し、信号品質を向上させることができます。FPGA と DDR3 メモリの両方が ODT 機能をサポートしています。FPGA が DQS、DQ、および DM 信号を DDR3 メモリに送信する場合、IP は ODT ピン経由で High レベルを出力して DDR3 メモリ側の ODT をオンにし、FPGA 側の ODT は自動的にオフになります。DDR3 メモリが DQS および DQ 信号を FPGA に送信する場合、IP は ODT ピン経由で Low レベルを出力して DDR3 側の ODT をオフにし、FPGA 側の ODT は自動的にオンになります。

ODT をオンにすると消費電力が増加するため、すべてのケースで FPGA 側の ODT を構成する必要はありません。実際のアプリケーションでは、ユーザーはまず FPGA 側の ODT を構成しないようにすることができます。DDR3 の初期化に失敗したり、データエラーが発生したりした場合は、FPGA 側の ODT を構成します。

Gowin ソフトウェアでは ODT はデフォルトでオフになっていますが、ユーザーは FloorPlanner 上で ODT をオンにすることができます。ここでは、GW5A シリーズ FPGA チップを例に、ODT をオンにする方法を説明します。図 5-1 に示すように、DQS および DQ の Single Resistor を 50 に構成します。値 50 が適切でない場合は、他の値を構成してみてください。Gowin ソフトウェアはデフォルトで DQS の Diff Resistor をオンにしているため、ユーザーはそれをオフにする必要があります。

図 5-1 FloorPlanner での ODT の構成

Port	Direction	Diff Pair	Location	Bank	Exclusive	IO Type	Drive	Pull Mode	PCI Clamp	Hysteresis	Open Drain	Vref	Single Resistor	Diff Resistor
ddr_dqs[3]	inout	ddr_dqs_n[3]	N15,N16	3	False	SSTL15D_I	8	NONE	OFF	NONE	OFF	OFF	50	OFF
ddr_dqs[2]	inout	ddr_dqs_n[2]	K17,K18	3	False	SSTL15D_I	8	NONE	OFF	NONE	OFF	OFF	50	OFF
ddr_dqs[1]	inout	ddr_dqs_n[1]	J13,K14	2	False	SSTL15D_I	8	NONE	OFF	NONE	OFF	OFF	50	OFF
ddr_dqs[0]	inout	ddr_dqs_n[0]	D17,D18	2	False	SSTL15D_I	8	NONE	OFF	NONE	OFF	OFF	50	OFF
ddr_dq[9]	inout		K12	2	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF
ddr_dq[8]	inout		G16	2	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF
ddr_dq[7]	inout		C18	2	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF
ddr_dq[6]	inout		F16	2	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF
ddr_dq[5]	inout		C17	2	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF
ddr_dq[4]	inout		H13	2	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF
ddr_dq[3]	inout		F14	2	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF
ddr_dq[31]	inout		U18	3	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF
ddr_dq[30]	inout		N18	3	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF
ddr_dq[2]	inout		E16	2	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF
ddr_dq[29]	inout		U17	3	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF
ddr_dq[28]	inout		D18	3	False	SSTL15_I	8	NONE	OFF	NONE	OFF	INTERNAL	50	OFF

DDR3 メモリの ODT は、Rtt Nom と Rtt Wr の 2 つのオプションによって構成されます。複数 Rank の場合は DDR3 の Dynamic ODT 機能を使用するため、Rtt Nom と Rtt Wr を設定する必要があります。シングル Rank の場合は、Rtt Nom のみ設定します。ユーザーが Rtt WR のみを設定し、Rtt Nom を設定していない場合、ODT ピンの信号が High にプルアップされると、Rtt Wr も DDR3 チップ内の ODT として使用されることに注意してください。

6 ポート一覧

Gowin DDR3 Memory Interface IP の IO ポートは表 6-1 に示すとおりです。

表 6-1 Gowin DDR3 Memory Interface IP の IO ポート一覧

信号	幅(ビット)	方向	説明
User Interface			
addr	ADDR_WIDTH	入力	アドレス入力。信号幅は parameter を介して設定できます。
cmd	3	入力	コマンド
cmd_en	1	入力	コマンドおよびアドレスイネーブル信号： 0：無効 1：有効
cmd_ready	1	出力	High レベルは、メモリアンターフェースがコマンド及びアドレスを受信できることを示します。
rd_data	APP_DATA_WIDTH	出力	読み出しデータ
rd_data_end	1	出力	High レベルは、現在出力する rd_data の終了サイクルを示します。
rd_data_valid	1	出力	rd_data 有効信号： 0：無効 1：有効
burst	1	入力	OTF 制御ポート。1'b1 の場合は BL8 モード、1'b0 の場合は BC4 モード。OTF モードでのみ有効。
wr_data	APP_DATA_WIDTH	入力	書き込みデータ
wr_data_end	1	入力	High レベルは、現在のクロックサイクルがデータ wr_data の最終サイクルであることを示します

信号	幅(ビット)	方向	説明
wr_data_mask	APP_MASK_WIDTH	入力	wr_data マスク。各ビットは wr_data の1バイトに対応します。 0 : 対応する wr_data のマスクは無効です 1 : 対応する wr_data のマスクは有効です
wr_data_rdy	1	出力	High レベルは、MC がユーザーデータを受信できることを示します
wr_data_en	1	入力	wr_data 書き込みイネーブル信号： 0 : 無効 1 : 有効
sr_req	1	入力	セルフリフレッシュ要求
sr_ack	1	出力	セルフリフレッシュ応答信号
ref_req	1	入力	ユーザーリフレッシュ要求
ref_ack	1	出力	ユーザーリフレッシュ応答信号
clk	1	入力	リファレンス入力クロック。通常は PCB の水晶発振器を使用(50MHz を推奨)。
memory_clk	1	入力	ユーザー側から入力されるメモリ・インターフェース・クロック。GW2A デバイスを使用する場合、このクロックのソースは PLL の出力クロックまたは他のクロックにすることができます。GW5A デバイスを使用する場合、このクロックは PLL の clkout2 によって出力される必要があります。
pll_stop	1	出力	このポートの使用法については、 4.4.4 pll_stop を参照してください。
pll_lock	1	入力	memory_clk のソースが PLL の通倍による出力クロックの場合、このポートを PLL の pll_lock に接続します。ユーザーが PLL を使用しない場合、このポートを 1 に接続します。
rst_n	1	入力	システムリセット入力信号： 0 : 有効 1 : 無効
init_calib_complete	1	出力	初期化完了信号
clk_out	1	出力	ユーザーデザインのクロック
ecc_err	APP_DATA_WIDTH/32	出力	ECC 指示信号

信号	幅(ビット)	方向	説明
ddr_rst	1	出力	IP により処理されたユーザーデザイン用のリセット信号で、アクティブ High。
DDR3 SDRAM Interface			
O_dds_addr	ROW_WIDTH	出力	Row アドレス(アクティブコマンド)、Column アドレス(読み出し、書き込みコマンド)
O_dds_bank	BANK_WIDTH	出力	Bank アドレス
O_dds_cs_n	CS_WIDTH	出力	チップセレクト信号、アクティブ Low
O_dds_ras_n	1	出力	Row アドレスストロブ信号
O_dds_cas_n	1	出力	Column アドレスストロブ信号
O_dds_we_n	1	出力	Row 書き込みイネーブル
O_dds_ck	CK_WIDTH	出力	DDR3 SDRAM に提供されるクロック信号
O_dds_ck_n	CK_WIDTH	出力	dds_ck とともに差動信号を構成します
O_dds_cke	CKE_WIDTH	出力	DDR3 SDRAM クロックのイネーブル信号
O_dds_odt	ODT_WIDTH	出力	メモリ信号終端抵抗の制御用
O_dds_reset_n	1	出力	DDR3 SDRAM のリセット信号
O_dds_dm	DM_WIDTH	出力	DDR3 SDRAM のデータマスク信号
IO_dds_dq	DQ_WIDTH	双方向	DDR3 SDRAM のデータ
IO_dds_dqs	DQS_WIDTH	双方向	DDR3 SDRAM のデータストロブ信号
IO_dds_dqs_n	DQS_WIDTH	双方向	dds_dqs と差動信号を構成します

AXI4 のポート一覧を表 6-2 に示します。

表 6-2 AXI4 のポート一覧

ポート	幅(ビット)	方向	説明
s_axi_awvalid	1	入力	書き込みアドレス有効信号
s_axi_awready	1	出力	書き込みアドレス ready 信号。この信号が High の場合、スレーブは書き込みアドレス関連の制御信号を受信する準備ができています。
s_axi_awid	ID Width	入力	書き込みアドレス ID

ポート	幅(ビット)	方向	説明
s_axi_awaddr	Address Width	入力	書き込みアドレス
s_axi_awlen	8	入力	書き込みバースト長
s_axi_awsz	3	入力	各バースト転送のサイズ。幅は s_axi_wdata 幅の 1/8 である必要があります。
s_axi_awburst	2	入力	書き込みバーストモード。INCR バーストモードおよび WRAP バーストモードのみがサポートされています。
s_axi_wvalid	1	入力	書き込みデータ有効信号
s_axi_wready	1	出力	書き込みデータ準備完了信号。この信号が High の場合、スレーブは書き込みデータ関連の制御信号を受信する準備ができています。
s_axi_wdata	Data Width	入力	書き込みデータ
s_axi_wstrb	Data Width/8	入力	書き込みデータ・マスク
s_axi_wlast	1	入力	最後の書き込みデータ。 High レベルは、最後の書き込みデータであることを示します。
s_axi_bvalid	1	出力	書き込み応答有効信号
s_axi_bready	1	入力	書き込み応答 ready
s_axi_bresp	2	出力	書き込み応答
s_axi_bid	ID Width	出力	書き込み応答 ID
s_axi_arvalid	1	入力	読み出しアドレス有効信号
s_axi_arready	1	出力	読み出しアドレス ready 信号。この信号が High の場合、スレーブは読み出しアドレス関連の制御信号を受信する準備ができています。
s_axi_arid	ID Width	入力	読み出しアドレス ID
s_axi_araddr	Address Width	入力	読み出しアドレス
s_axi_arlen	8	入力	読み出しバースト長

ポート	幅(ビット)	方向	説明
s_axi_arsize	3	入力	読み出しバーストのサイズ。幅は s_axi_wdata 幅の 1/8 である必要があります。
s_axi_arburst	2	入力	読み出しバーストモード。 INCR バーストモードおよび WRAP バーストモードのみがサポートされています。
s_axi_rvalid	1	出力	読み出しデータ有効信号
s_axi_rready	1	入力	読み出しデータ ready 信号
s_axi_rdata	Data Width	出力	読み出しデータ
s_axi_rresp	2	出力	読み出し応答
s_axi_rid	ID Width	出力	書き込み応答 ID
s_axi_rlast	1	出力	最後の読み出しデータ。 High レベルは、最後の読み出しデータであることを示します。

7 パラメータの構成

7.1 Gowin DDR3 Memory Interface IP のパラメータの構成

Gowin DDR3 Memory Interface IP は、DDR3 SDRAM をサポートしており、ユーザーは必要に応じて Gowin DDR3 Memory Interface の各静的パラメータ及びタイミングパラメータを構成することができます。パラメータの詳細を以下に示します。

- **User Interface : Controller** または **PHY** を選択できます。**Controller** を選択した場合、IP は **Controller** と **PHY** の機能を持ちます。**PHY** を選択した場合、IP は **PHY** の機能のみを持ち、ユーザーは **Controller** 機能を自ら実装する必要があります。
- **Memory Type : Components、RDIMMs、UDIMMs、および SODIMMs** をサポートします。
- **Memory Clock** : IP 高速クロック周波数の設定。このクロック周波数の値は、DDR3 インターフェースのレートに対応するクロック周波数である必要があります。たとえば、DDR3 レートが 800Mbps に達する必要がある場合、このオプションを 400MHz に構成する必要があります。
- **CLK Ratio** : **Controller** と **PHY** 間のレート比。1:4 または 1:2。PHY のレートは **Memory Clock** のレートであり、**Controller** のレートは **Memory Clock** の速度の 1/4 または 1/2 です。
- **Dq Width** : 合計 DQ 幅。たとえば、DDR3 メモリごとの DQ 幅が 16 ビットで、IP がこのタイプの 2 つの DDR3 メモリを駆動する場合、Dq Width は 32 ビットになります。
- **Dram Width** : DDR3 メモリごとの DQ 幅。
- **Rank Address** : Rank アドレスの幅、1 に固定。IP が Rank アドレスをサポートしていないため、このアドレスは機能しません。
- **Bank Address** : Bank アドレスの幅、3 に固定。
- **Row Address** : 行アドレスの幅。ユーザーは、選択した DDR3 メモリのデータシートを参照しながら構成する必要があります。
- **Column Address** : 列アドレスの幅。ユーザーは、選択した DDR3 メモリのデータシートを参照しながら構成する必要があります。
- **SIM**: シミュレーションの場合にこのオプションをチェックする必要があります。チェックすると、DDR3 の初期化時間が短縮されます。シミュレーション以外の際にはチェックしないでください。

- **Address Width** : 構成不可。ユーザー・インターフェースのアドレス・バスの幅。Rank Address+Bank Address+Row Address+Column Address。最上位ビット(Rank Address)は使用できないため、0 に固定する必要があります。
- **Data Width** : 構成不可。ユーザー・インターフェースのデータ・バスの幅。CLK Ratio が 1:4 の場合、この幅は Dq Width*8 で、CLK Ratio が 1:2 の場合、この幅は Dq Width*4 です。
- **Mask Width** : 構成不可。ユーザー・インターフェースのデータ・マスク・バスの幅。CLK Ratio が 1:4 の場合、この幅は Dq Width*8/8 で、CLK Ratio が 1:2 の場合、この幅は Dq Width*4/8 です。
- **Burst Mode** : DDR3 メモリのバースト・モード。BC4 および BL8 がサポートされます。
- **Burst Type** : DDR3 メモリのバースト・タイプ。Sequential および Interleaved がサポートされます。Sequential および Interleaved の詳細な説明については、JESD79-3F の仕様を参照してください。
- **CAS Latency** : 読み出しコマンドから最初の有効なデータまでの遅延。完全な読み出し遅延 Read Latency(RL) = Additive Latency (AL) +Cas Latency (CL)。
- **CW Latency** : 書き込みコマンドから最初の有効なデータまでの遅延。完全な書き込み遅延 Write Latency (WL) =Additive Latency (AL) +CW Latency (CWL)。
- **Additive Latency** : 追加の遅延。0、CL-1、および CL-2 がサポートされています。DDR3 は、Active コマンドと Read/Write コマンドの送信タイミングが競合する場合に効率を向上できる Posted CAS テクノロジーをサポートしています。
- **Write Recovery** : 書き込み回復時間。書き込み回復時間とは、アクティブ化された Bank で有効な書き込み操作が完了してからプリチャージ・コマンドを発行するまでに待機する必要があるクロック・サイクル数です。
- **Rtt Nom、Rtt Wr** : DDR3 ODT の構成。Rtt_Nom は OFF、20(オーム)、30(オーム)、40(オーム)、60(オーム)、120(オーム)をサポートし、Rtt Wr は OFF、60(オーム)、120(オーム)をサポートします。
- **OUTPUT DRV** : DQS および DQ 信号の出力強度の構成。「LOW」に対応する抵抗値は $RZQ(240 \text{ オーム})/6=40 \text{ オーム}$ 、「HIGH」に対応する抵抗値は $RZQ(240 \text{ オーム})/7=34 \text{ オーム}$ です。OUTPUT DRV の構成の変更は、信号品質に影響します。したがって、DDR3 の初期化に失敗したり、データの読み出しおよび書き込みでビット・エラーが発生したりした場合は、デバッグのためにこのオプションを変更して行うことができます。
- **Debug Parameter、Debug Port** : Debug パラメータと Debug ポートはエンジニアがデバッグするためのインターフェースであり、お客様が注意を払う必要はありません。

タイミングパラメータの説明を表 7-1 に示します。

表 7-1 DDR3 のタイミングパラメータ

名称	説明
t _{CK}	Memory インターフェースのクロックサイクル(ps)
t _{CKE}	CKE 信号の最小パルス時間(ps)
t _{FAW}	同じ rank で 4 つ以上の行アクティブコマンドの同時送信を許容する間隔。そのため、t _{RRD} の 4 倍以上である必要があります。

名称	説明
t _{RAS}	ACTIVE から PRECHARGE までの時間
t _{RCD}	ACTIVE から READ または WRITE までの時間
t _{REFI}	メモリリフレッシュの間隔
t _{RFC}	REFRESH から ACTIVE/REFRESH までの間隔
t _{RP}	PRECHARGE 時間
t _{RRD}	異なるバンク間の ACTIVE から ACTIVE までの間隔
t _{RTP}	READ から PRECHARGE までの間隔
t _{WTR}	WRITE から READ までの間隔
AL	Additive Latency
CL	CAS Latency

7.2 AXI4 インターフェースのパラメータ

Data Width

AXI4 書き込みデータバスおよび読み出しデータバスの幅（読み出し専用）。CLK Ratio が 1:4 に設定されている場合、幅 = Dq Width*8 です。CLK 比が 1:2 に設定されている場合、幅 = Dq Width*4 です。ECC が有効な場合、Dq Width = 64 です。ECC が無効な場合、Dq Width = 実際の合計 Dq Width です。

Address Width

読み出し/書き込みアドレスバス幅（読み出し専用）。AXI4 インターフェースのアドレスはバイトアドレスですが、DDR3 のアドレスは必ずしもバイトアドレスではありません。例えば、Dq Width = 8 の場合、DDR3 のアドレスはバイトアドレスに相当します。この場合、AXI4 インターフェースのアドレスと DDR3 のアドレスは等しくなります。Dq Width = 16 の場合、1 つの DDR3 アドレスに 2 バイトのデータが格納されるため、AXI4 インターフェースのアドレスと DDR3 のアドレスの幅は等しくなりません。そのため、AXI4 インターフェースのアドレスバス幅は DDR3 のアドレス幅とは異なります。

ID Width

ID(awid、bid、arid、rid)の幅はすべて構成可能です(範囲は 1~16)。

AXI Buffer Type

AXI4 インターフェース内のバッファとして使用される FPGA リソース。BSRAM、SSRAM、および REG がサポートされます。

Arbitration Mode

詳しくは、[4.5.1 アービトラクション・モード](#)を参照してください。

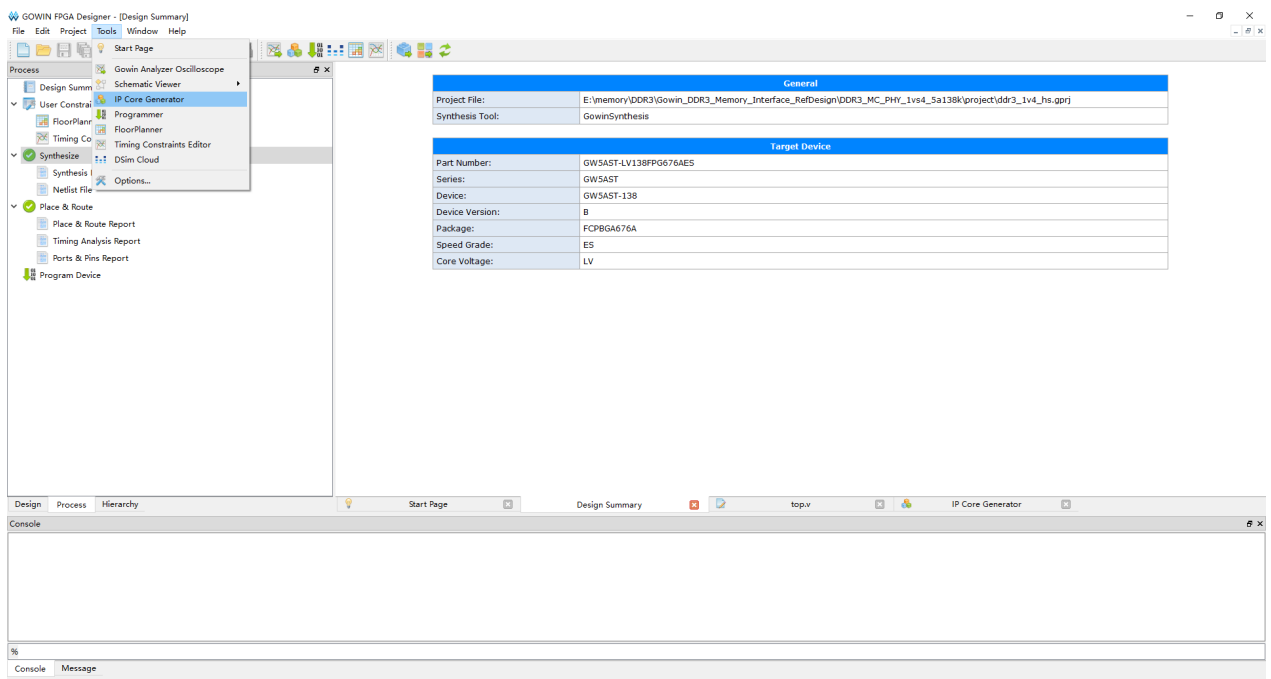
8 GUI での構成

ユーザーは、IDE の IP Core Generator を使用して Gowin DDR3 Memory Interface IP を呼び出しおよび構成することができます。本章では、AD3U160022G11 メモリを例に、主な構成画面、構成手順、及び各構成オプションの意味を説明します(クロック比 1:2)。

1. IP Core Generator を開く。

プロジェクトが作成された後、「Tools > IP Core Generator」を開きます(図 8-1)。

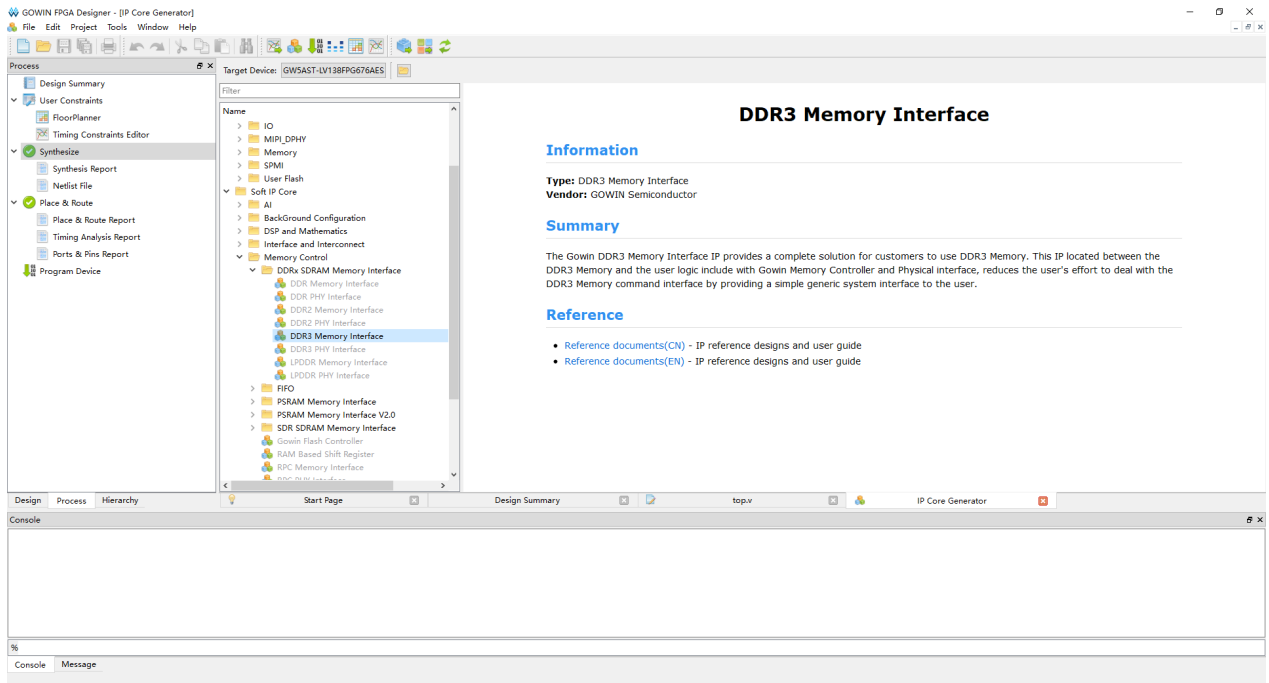
図 8-1 IP Core Generator を開く



2. DDR3 Memory Interface IP コアを開く。

DDR > DDR3 Memory Interface をダブルクリックすると、DDR3 Memory Interface IP コアの構成画面が開きます(図 8-2)。

図 8-2 DDR3 Memory Interface IP コアを開く



3. DDR3 Memory Interface IP コアの構成画面。

構成画面の左側は DDR3 Memory Interface IP コアのポート図です(図 8-3)。

ポート図の左側は DDR3 Memory Controller とユーザーデザイン間のインターフェースであり、ユーザーはユーザーデザインを DDR3 Memory Interface IP に接続して、コマンドおよびデータの送受信を実現します。ポート図の右側は PHY(Physical interface)とメモリ間のインターフェースであり、ユーザーは DDR3 Memory Interface IP コアを介してメモリのデータへのアクセスを実現します。ポート図の信号幅、信号数は構成により異なります。

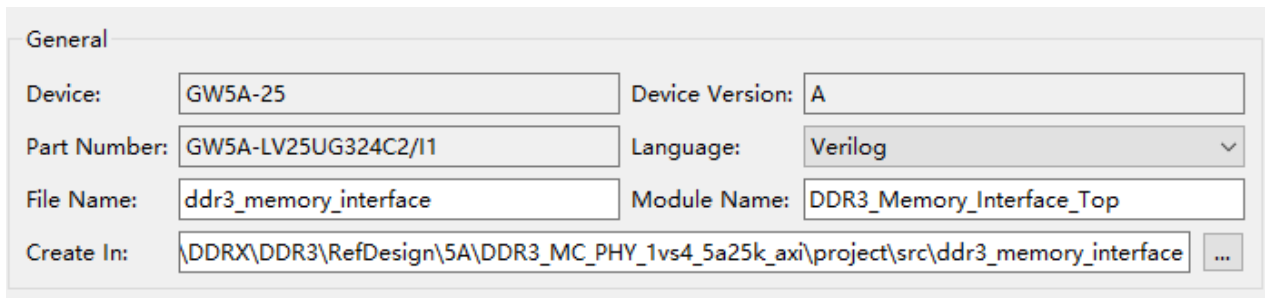
図 8-3 IP コアの構成画面

The screenshot displays the 'DDR3 Memory Interface' configuration window. The left pane shows a detailed port diagram with inputs like `memory_clk`, `pll_lock`, `clk`, `rst_n`, `wr_data_en`, `wr_data[447:0]`, `wr_data_end`, `wr_data_mask[55:0]`, `cmd_en`, `cmd[2:0]`, `addr[27:0]`, `sr_req`, `ref_req`, and `bu rst`. The right pane shows configuration options. Under 'General', the device is set to 'GW5A-25' with version 'A'. The 'Memory Options' tab is active, showing 'User Interface' set to 'Controller', 'Memory Type' as 'Components', and 'Memory Clock' at '400MHz'. The 'Memory Configuration' section shows 'Dq Width' as 56 and 'Dram Width' as 8. The 'Memory Address' section has 'Rank Address' 1, 'Bank Address' 3, 'Row Address' 14, and 'Column Address' 10. The 'MC Buffer Type' is set to 'BSRAM'. At the bottom, 'Addr Width' is 28, 'Data Width' is 448, and 'Mask Width' is 56. 'OK' and 'Cancel' buttons are at the bottom right.

4. 一般情報の構成。

構成画面の上部は基本情報構成エリアであり、「Module Name」は、生成される IP モジュールのモジュール名です。この名前は変更できます。「File Name」は、生成される IP ファイルのファイル名です。この名前は変更可能です。「Create In」は、IP コアのフォルダのパスです。このパスは変更できます(図 8-4)。

図 8-4 一般情報の構成画面



General			
Device:	GW5A-25	Device Version:	A
Part Number:	GW5A-LV25UG324C2/I1	Language:	Verilog
File Name:	ddr3_memory_interface	Module Name:	DDR3_Memory_Interface_Top
Create In:	\DDR3\DDR3\RefDesign\5A\DDR3_MC_PHY_1vs4_5a25k_axi\project\src\ddr3_memory_interface ...		

5. パラメータの構成画面を [図 8-5](#) に示します。パラメータの詳細については、[7 パラメータの構成](#)を参照してください。

図 8-5 パラメータの構成画面

The screenshot shows a configuration window with several tabs: "Controller Options", "AXI Interface Options", "Memory Options", "Memory Timing", and "Debug Setting". The "Memory Options" tab is active. The configuration is organized into several sections:

- User Interface:** "User Interface:" dropdown menu set to "Controller".
- AXI4 Interface:** A checked checkbox labeled "AXI4 Interface".
- Memory Selection:** "Memory Type:" dropdown menu set to "Components".
- CLK Configuration:** "Memory Clock:" spinner set to "400MHz" (range: (100 - 550) <-> 2500 ps) and "CLK Ratio:" dropdown menu set to "1:4".
- Memory Configuration:** "Dq Width:" dropdown menu set to "16", "Dram Width:" dropdown menu set to "8", and an unchecked checkbox labeled "Ecc".
- Memory Address:** "Rank Address:" spinner set to "1", "Bank Address:" spinner set to "3", "Row Address:" dropdown menu set to "14", and "Column Address:" dropdown menu set to "10".
- SIM:** An unchecked checkbox labeled "SIM".
- MC Buffer Type:** Radio buttons for "BSRAM" (selected) and "REG".

