




Gowin_EMPU_M1 硬件设计 参考手册

IPUG531-2.4,2025-01-17

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、GowinSynthesis、小蜜蜂、晨熙、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

版本信息

日期	版本	说明
2019/02/19	1.0	初始版本。
2019/07/18	1.1	MCU 硬件设计支持扩展外部设备 CAN、Ethernet、SPI-Flash、RTC、DualTimer、TRNG、I ² C、SPI、SD-Card。
2019/08/18	1.2	<ul style="list-style-type: none"> ● MCU 硬件设计与软件编程设计支持扩展外部设备 DDR3 Memory; ● 修复已知 ITCM、DTCM Size 和 IDE 问题。
2019/09/27	1.3	<ul style="list-style-type: none"> ● MCU 硬件设计与软件编程设计支持外部设备 SPI-Flash 的读、写和擦除功能; ● MCU 软件编程设计支持外部设备 I²C 一次连续多字节读、写功能; ● 修复已知 MCU 软件编程设计中 AHB2 扩展接口和 APB2 扩展接口地址映射问题; ● 修复已知 MCU 软件编程设计中 DDR3 Memory 连续读、写问题。
2019/12/06	1.4	<ul style="list-style-type: none"> ● MCU 硬件设计与软件编程设计支持外部设备 PSRAM; ● 更新 MCU 编译软件 GMD V1.0; ● 更新 RTOS 参考设计; ● 增加 AHB2 和 APB2 扩展总线接口硬件和软件参考设计。
2020/03/03	1.5	<ul style="list-style-type: none"> ● MCU 硬件设计支持外部设备 SD-Card 的读、写功能; ● 修复已知 synplify Pro 综合时, 外部设备 DDR3 的数据读、写问题; ● 支持 FPGA 器件 GW2A-18C/GW2AR-18C/GW2A-55C。
2020/06/12	1.6	<ul style="list-style-type: none"> ● MCU 支持外部指令存储器; ● MCU 支持外部数据存储器; ● 扩展 6 个 AHB 总线接口; ● 扩展 16 个 APB 总线接口; ● GPIO 支持多种接口类型; ● I²C 支持多种接口类型。
2021/01/25	1.7	<ul style="list-style-type: none"> ● 修复已知 SPI-Flash 初始化问题; ● 更新 C 版 GW1N-9C、GW2A-18C、GW2A-55C 参考设计; ● 更新参考设计云源软件版本; ● 增加外部中断信号参考支持方法。
2021/07/21	1.8	<ul style="list-style-type: none"> ● GW1N-9C/GW1NR-9C 支持内嵌 UserFlash 作为指令存储器; ● 修复已知的 SPI 全双工读写问题; ● 删除综合工具 SynplifyPro 参考设计; ● 更新参考设计以及云源软件版本。
2021/10/12	1.9	<ul style="list-style-type: none"> ● GW2AN-9X/GW2AN-18X, 修改 ITCM 和 DTCM Size 范围; ● GW2AN-9X/GW2AN-18X, 不支持选择外部设备 DDR3; ● 更新 DK-START-GW2AR18 V1.1 开发板参考设计; ● 增加非 BlockRAM 的 ITCM/DTCM 解决方案。
2023/05/11	2.0	<ul style="list-style-type: none"> ● 支持扩展的外部中断输入; ● 支持 Arora V 系列 FPGA 产品; ● 更新硬件参考设计; ● 新增外部指令存储器与数据存储器解决方案;

日期	版本	说明
		<ul style="list-style-type: none"> ● 新增扩展的外部中断输入解决方案； ● 新增 Arora V 外部指令存储器解决方案。
2023/07/21	2.1	<ul style="list-style-type: none"> ● 新增 GW5AT-138 和 GW5A-25 系统性能统计； ● 新增硬件目标 GW5A-25； ● 新增 GW5A-25 参考设计； ● 更新已测试软件版本； ● 集成 Arora V 并删除 Arora V 解决方案。
2024/03/07	2.2	<ul style="list-style-type: none"> ● 更新 Ethernet、DDR3 Memory、PSRAM Memory 外设模块； ● GW5A(S)(R)(T)-138 B 版/75 B 版/25 A 版 FPGA 产品支持 DDR3 Memory、Ethernet 外设； ● 支持 GW5AT-60 A 版 FPGA 产品。
2024/07/12	2.3	<ul style="list-style-type: none"> ● 支持 GW5ART-15 A 版 FPGA 产品； ● 更新硬件参考设计。
2025/01/17	2.4	<ul style="list-style-type: none"> ● 更新 CAN、Ethernet、DDR3 和 PSRAM 外设功能； ● GW5A/T-60、GW5AT/RT-15 器件支持 DDR3 外设； ● 更新硬件参考设计。

目录

目录	i
图目录	iii
表目录	v
1 硬件架构	1
1.1 系统架构	1
1.2 系统特征	2
1.2.1 Cortex-M1 内核系统	2
1.2.2 总线外设系统	3
1.3 系统端口	3
1.4 系统资源统计	15
1.5 系统性能统计	16
2 硬件设计流程	17
2.1 硬件目标	17
2.2 软件版本	18
2.3 IP Core Generator 工具	18
2.4 下载工具	18
2.5 设计流程	18
3 工程模板	19
3.1 工程创建	19
3.1.1 新建工程	19
3.1.2 设定工程名称和路径	20
3.1.3 选择器件	20
3.1.4 完成工程创建	21
3.2 硬件设计	21
3.2.1 Cortex-M1 内核系统配置	23
3.2.2 总线外设系统配置	30
3.3 用户设计	49
3.4 约束	49

3.5 配置	49
3.5.1 Synthesize 配置	49
3.5.2 Post-Place File 配置	50
3.5.3 Dual-Purpose Pin 配置	50
3.5.4 Bitstream 配置	51
3.6 综合	51
3.7 布局布线	52
3.8 下载	52
4 参考设计	57

图目录

图 1-1 系统架构	1
图 3-1 New Projects	19
图 3-2 Project Name.....	20
图 3-3 Select Device	21
图 3-4 Summary	21
图 3-5 选择 Gowin_EMPU_M1.....	22
图 3-6 系统配置	22
图 3-7 Cortex-M1 内核系统配置选项.....	24
图 3-8 Cortex-M1 通用配置	25
图 3-9 Cortex-M1 调试配置	26
图 3-10 Cortex-M1 存储配置	27
图 3-11 GPIO 配置.....	31
图 3-12 CAN 配置.....	32
图 3-13 Ethernet 配置.....	33
图 3-14 DDR3 Memory 配置	34
图 3-15 SPI-Flash Memory 配置	35
图 3-16 AHB Master [1-6]配置.....	36
图 3-17 UART 配置.....	37
图 3-18 Timer 配置	38
图 3-19 WatchDog 配置.....	39
图 3-20 RTC 配置	40
图 3-21 DualTimer 配置.....	41
图 3-22 TRNG 配置	42
图 3-23 I2C 配置.....	43
图 3-24 SPI 配置.....	44
图 3-25 SD-Card 配置	45
图 3-26 APB Master [1-16]配置	47
图 3-27 PSRAM 配置	48
图 3-28 Synthesize 配置.....	49

图 3-29 Post-Place File 配置	50
图 3-30 Dual-Purpose Pin 配置	50
图 3-31 Bitstream 配置	51
图 3-32 综合	51
图 3-33 布局布线	52
图 3-34 GW1N/R-9 下载配置 (Embedded Flash Mode)	53
图 3-35 GW1N/R-9 下载配置 (MCU Mode L)	54
图 3-36 GW2AN-9X/18X、GW2A/R/NR-18、GW2A/N-55 下载配置	55
图 3-37 Arora V External Flash Mode 配置	56

表目录

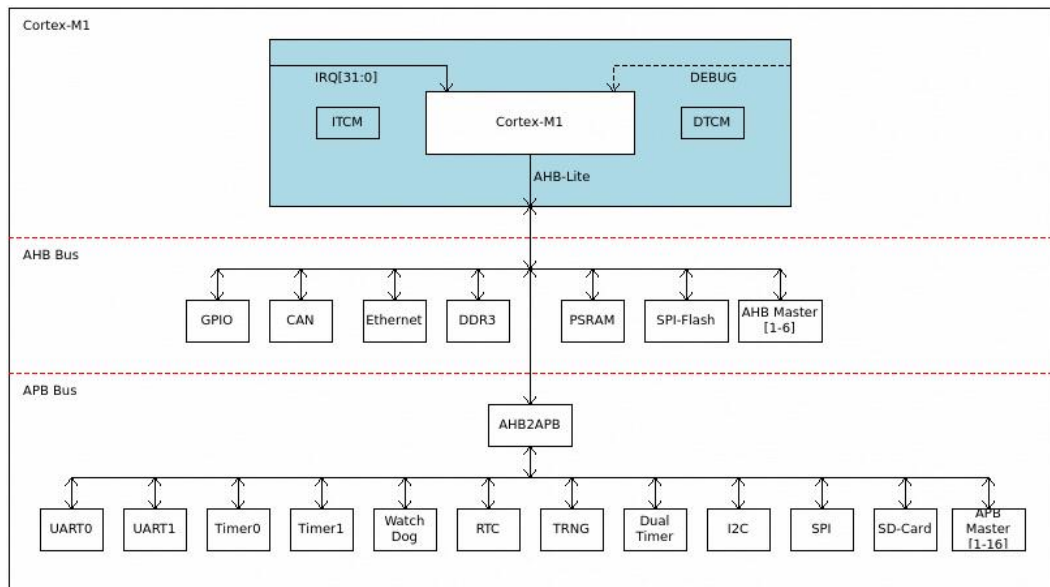
表 1-1 系统端口定义	3
表 1-2 系统资源统计	15
表 1-3 系统性能统计	16
表 3-1 Cortex-M1 内核系统配置选项	23
表 3-2 总线外设系统配置选项	30
表 3-3 AHB Master [1-6]地址定义	36
表 3-4 APB Master [1-16]地址定义	47

1 硬件架构

1.1 系统架构

Gowin_EMPU_M1 包括三级结构如图 1-1 所示。

图 1-1 系统架构



第一级: Cortex-M1 内核及 ITCM(指令存储器)、DTCM(数据存储器);

第二级: AHB 总线及 GPIO、CAN、Ethernet、DDR3 Memory、PSRAM Memory、SPI-Flash Memory、AHB Master [1-6];

第三级: APB 总线及 UART0、UART1、Timer0、Timer1、Watch Dog、RTC、TRNG、DualTimer、I²C Master、SPI Master、SD-Card、APB Master [1-16]。

1.2 系统特征

Gowin_EMPU_M1 包括两个子系统:

- Cortex-M1 内核系统
- 总线外设系统

1.2.1 Cortex-M1 内核系统

处理器内核

- ARM architecture v6-M Thumb 指令集架构, 支持 16-bit Thumb 和 32-bit Thumb2 指令集
- 可配置扩展操作系统
- 系统异常处理
- 中断异常处理和正常线程模式
- 栈指针, 正常是一个栈指针, 扩展操作系统时两个栈指针
- 大小端格式
 - 可配置数据大小端格式
 - 指令和系统控制寄存器小端格式
 - 调试系统小端格式

NVIC

- 可配置外部中断数量, 1、8、16、32
- 扩展 4 个外部中断输入, 供用户扩展外设使用
- 4 个优先级等级
- 进入中断处理时自动保存处理器状态, 中断处理结束时自动恢复状态

调试系统

通过配置选项控制调试系统开关。

- 如果关闭调试系统, 则 Cortex-M1 内核不支持调试系统
- 如果打开调试系统, 则 Cortex-M1 内核支持调试系统
 - 可配置完整 (full) 模式和简化 (reduced) 模式
 - a) 完整模式: 4 个 BreakPoint Unit 和 2 个 Data Watchpoint
 - b) 简化模式: 2 个 BreakPoint Unit 和 1 个 Data Watchpoint
 - 可配置 DAP 端口
 - a) JTAG/Serial Wire
 - b) JTAG
 - c) Serial Wire

Memory

- ITCM: 指令存储器
 - 可以选择内部指令存储器或外部指令存储器
 - 内部指令存储器可以配置 Size (1/2/4/8/16/32/64/128/256/512KB)
 - 内部指令存储器可以配置初始值
- DTCM: 数据存储器
 - 可以选择内部数据存储器或外部数据存储器
 - 内部数据存储器可以配置 Size (1/2/4/8/16/32/64/128/256/512KB)

32 位硬件乘法器

- Normal 模式
- Small 模式

1.2.2 总线外设系统

- AHB 总线, 及 GPIO、CAN、Ethernet、DDR3 Memory、PSRAM Memory、SPI-Flash Memory、AHB Master [1-6];
- APB 总线, 及 UART0、UART1、Timer0、Timer1、Watch Dog、RTC、DualTimer、TRNG、I²C Master、SPI Master、SD-Card、APB Master [1-16]。

1.3 系统端口

Gowin_EMPU_M1 系统端口定义如表 1-1 所示。

表 1-1 系统端口定义

名称	I/O	位宽	描述	所属模块
HCLK	in	1	系统时钟	-
hwRstn	in	1	系统复位	-
LOCKUP	out	1	内核 Lockup 状态	-
HALTED	out	1	内核 Halt Debug 状态	Debug
JTAG_3	inout	1	TRST	Debug JTAG and Serial Wire
JTAG_4	inout	1	GND	
JTAG_5	inout	1	TDI	
JTAG_6	inout	1	GND	
JTAG_7	inout	1	TMS/SWDIO	
JTAG_8	inout	1	GND	
JTAG_9	inout	1	TCK/SWDCLK	
JTAG_10	inout	1	GND	
JTAG_11	inout	1	RTCK	
JTAG_12	inout	1	GND	

名称	I/O	位宽	描述	所属模块
JTAG_13	inout	1	TDO/SWO	
JTAG_14	inout	1	GND	
JTAG_15	inout	1	RESET	
JTAG_16	inout	1	GND	
JTAG_17	inout	1	NC	
JTAG_18	inout	1	GND	
EXTINT	in	[3:0]	扩展的外部中断输入	NVIC
GPIO	inout	[15:0]	GPIO 输入输出	GPIO I/O
GPIOIN	in	[15:0]	GPIO 输入	GPIO non-I/O
GPIOOUT	out	[15:0]	GPIO 输出	
GPIOOUTEN	out	[15:0]	GPIO 输出使能	
UART0RXD	in	1	UART0 接收	UART0
UART0TXD	out	1	UART0 发送	
UART1RXD	in	1	UART1 接收	UART1
UART1TXD	out	1	UART1 发送	
TIMER0EXTIN	in	1	Timer0 外部中断	Timer0
TIMER1EXTIN	in	1	Timer1 外部中断	Timer1
RTCSRCLK	in	1	RTC 时钟源 32.768KHz	RTC
SCL	inout	1	串行时钟	I ² C I/O
SDA	inout	1	串行数据	
SCLIN	in	1	串行时钟输入	I ² C non-I/O
SCLOUT	out	1	串行时钟输出	
SCLOUTEN	out	1	串行时钟输出使能	
SDAIN	in	1	串行数据输入	
SDAOUT	out	1	串行数据输出	
SDAOUTEN	out	1	串行数据输出使能	
MOSI	out	1	主设备输出/从设备输入	SPI
MISO	in	1	主设备输入/从设备输出	
SCLK	out	1	时钟信号	
NSS	out	1	从设备选择信号	
SD_SPICLK	in	1	SPI 时钟信号	SD-Card
SD_CLK	out	1	SD 时钟信号	
SD_CS	out	1	片选信号	
SD_DATAIN	in	1	数据输入	
SD_DATAOUT	out	1	数据输出	
SD_CARD_INIT	out	1	初始化"0"	
SD_CHECKIN	in	1	输入检查	
SD_CHECKOUT	out	1	输出检查	

名称	I/O	位宽	描述	所属模块	
CAN_RX	in	1	数据输入	CAN	
CAN_TX	out	1	数据输出		
RGMII_TXC	out	1	RGMII 发送时钟	Ethernet RGMII Interface	
RGMII_TX_CTL	out	1	RGMII 发送控制		
RGMII_TXD	out	[3:0]	RGMII 发送数据		
RGMII_RXC	in	1	RGMII 接收时钟		
RGMII_RX_CTL	in	10	RGMII 接收控制		
RGMII_RXD	in	[3:0]	RGMII 接收数据		
GTX_CLK	in	1	RGMII 125MHz 时钟输入		
GMII_RX_CLK	in	1	GMII 接收时钟		Ethernet GMII Interface
GMII_RX_DV	in	1	GMII 接收使能		
GMII_RXD	in	[7:0]	GMII 接收数据		
GMII_RX_ER	in	1	GMII 接收错误		
GTX_CLK	in	1	GMII 125MHz 时钟输入		
GMII_GTX_CLK	out	1	GMII 发送时钟		
GMII_TXD	out	[7:0]	GMII 发送数据		
GMII_TX_EN	out	1	GMII 发送使能		
GMII_TX_ER	out	1	GMII 发送错误		
MII_RX_CLK	in	1	MII 接收时钟	Ethernet MII Interface	
MII_RXD	in	[3:0]	MII 接收数据		
MII_RX_DV	in	1	MII 接收使能		
MII_RX_ER	in	1	MII 接收错误		
MII_TX_CLK	in	1	MII 发送时钟		
MII_TXD	out	[3:0]	MII 发送数据		
MII_TX_EN	out	1	MII 发送使能		
MII_TX_ER	out	1	MII 发送错误		
MII_COL	in	1	MII 冲突信号		
MII_CRD	in	1	MII 载波信号		
MDC	out	1	管理通道时钟	Ethernet	
MDIO	inout	1	管理通道数据		
DDR_CLK_I	in	1	参考输入时钟, 推荐 50MHz	DDR3 Memory	
DDR_STOP_O	out	1	使用 GW5A 器件时的控制信号, 控制 DDR_MEM_CLK_I 的开关, 低电平有效		
DDR_MEM_CLK_I	in	1	用户输入颗粒接口频率, 使用 GW2A 器件时, 该时钟可以是 PLL 的输出时钟或其它时钟; 使用 GW5A 器件时, 该时钟必须由 PLL 的 clkout2 输出		
DDR_LOCK_I	in	1	如果 DDR_MEM_CLK_I 为		

名称	I/O	位宽	描述	所属模块
			PLL 倍频输入，此接口接 PLL 的 pll_lock 管脚，如果用户不使用 PLL，此接口接高电平	
DDR_RSTN_I	in	1	复位信号	
DDR_INIT_COMPL ETE_O	out	1	初始化完成信号	
DDR_ADDR_O	out	[13:0]	Row 地址、Column 地址	
DDR_BA_O	out	[2:0]	Bank 地址	
DDR_CS_N_O	out	1	片选信号	
DDR_RAS_N_O	out	1	Row 地址选通信号	
DDR_CAS_N_O	out	1	Column 地址选通信号	
DDR_WE_N_O	out	1	Row 写使能	
DDR_CLK_O	out	1	提供给 DDR3 SDRAM 的时钟信号	
DDR_CLK_N_O	out	1	与 DDR_CLK_O 组成差分信号	
DDR_CKE_O	out	1	DDR3 SDRAM 时钟使能信号	
DDR_ODT_O	out	1	内存信号端接电阻控制	
DDR_RESET_N_O	out	1	DDR3 SDRAM 复位信号	
DDR_DQM_O	out	[1:0]	DDR3 SDRAM 数据屏蔽信号	
DDR_DQ_IO	inout	[15:0]	DDR3 SDRAM 数据	
DDR_DQS_IO	inout	[1:0]	DDR3 SDRAM 数据选通信号	
DDR_DQS_N_IO	inout	[1:0]	与 DDR_DQS_IO 组成差分信号	
O_psram_ck	out	[1:0]	提供给 PSRAM 的时钟信号	
O_psram_ck_n	out	[1:0]	与 O_psram_ck 组成差分信号	
IO_psram_rwds	inout	[1:0]	PSRAM 数据选通信号及掩码信号	
IO_psram_dq	inout	[15:0]	PSRAM 数据	
O_psram_reset_n	out	[1:0]	PSRAM 复位信号	
O_psram_cs_n	out	[1:0]	片选，低电平有效	
init_calib	out	1	初始化完成信号	
psram_ref_clk	in	1	参考输入时钟，一般为板级晶振时钟	
psram_memory_clk	in	1	用户输入颗粒工作时钟，一般为 PLL 倍频出来的高速时钟，也可以不使用 PLL	
FLASH_SPI_HOLD N	inout	1	NC	
FLASH_SPI_CSN	inout	1	从设备选择信号	
FLASH_SPI_MISO	inout	1	主设备输入/从设备输出	
FLASH_SPI_MOSI	inout	1	主设备输出/从设备输入	
FLASH_SPI_WPN	inout	1	NC	
				PSRAM Memory
				SPI-Flash Memory

名称	I/O	位宽	描述	所属模块
FLASH_SPI_CLK	inout	1	时钟信号	
APB1PSTRB	out	[3:0]	APB1 PSTRB	APB1 Master [1]
APB1PPROT	out	[2:0]	APB1 PPROT	
APB1PSEL	out	1	APB1 PSEL	
APB1PENABLE	out	1	APB1 PENABLE	
APB1PADDR	out	[31:0]	APB1 PADDR	
APB1PWRITE	out	1	APB1 PWRITE	
APB1PWDATA	out	[31:0]	APB1 PWDATA	
APB1PRDATA	in	[31:0]	APB1 PRDATA	
APB1PREADY	in	1	APB1 PREADY	
APB1PSLVERR	in	1	APB1 PSLVERR	
APB1PCLK	out	1	APB1 PCLK	
APB1PRESET	out	1	APB1 RESET	
APB2PSTRB	out	[3:0]	APB2 PSTRB	
APB2PPROT	out	[2:0]	APB2 PPROT	
APB2PSEL	out	1	APB2 PSEL	
APB2PENABLE	out	1	APB2 PENABLE	
APB2PADDR	out	[31:0]	APB2 PADDR	
APB2PWRITE	out	1	APB2 PWRITE	
APB2PWDATA	out	[31:0]	APB2 PWDATA	
APB2PRDATA	in	[31:0]	APB2 PRDATA	
APB2PREADY	in	1	APB2 PREADY	
APB2PSLVERR	in	1	APB2 PSLVERR	
APB2PCLK	out	1	APB2 PCLK	
APB2PRESET	out	1	APB2 RESET	
APB3PSTRB	out	[3:0]	APB3 PSTRB	APB Master [3]
APB3PPROT	out	[2:0]	APB3 PPROT	
APB3PSEL	out	1	APB3 PSEL	
APB3PENABLE	out	1	APB3 PENABLE	
APB3PADDR	out	[31:0]	APB3 PADDR	
APB3PWRITE	out	1	APB3 PWRITE	
APB3PWDATA	out	[31:0]	APB3 PWDATA	
APB3PRDATA	in	[31:0]	APB3 PRDATA	
APB3PREADY	in	1	APB3 PREADY	
APB3PSLVERR	in	1	APB3 PSLVERR	
APB3PCLK	out	1	APB3 PCLK	
APB3PRESET	out	1	APB3 RESET	
APB4PSTRB	out	[3:0]	APB4 PSTRB	

名称	I/O	位宽	描述	所属模块
APB4PPROT	out	[2:0]	APB4 PPROT	Master [4]
APB4PSEL	out	1	APB4 PSEL	
APB4PENABLE	out	1	APB4 PENABLE	
APB4PADDR	out	[31:0]	APB4 PADDR	
APB4PWRITE	out	1	APB4 PWRITE	
APB4PWDATA	out	[31:0]	APB4 PWDATA	
APB4PRDATA	in	[31:0]	APB4 PRDATA	
APB4PREADY	in	1	APB4 PREADY	
APB4PSLVERR	in	1	APB4 PSLVERR	
APB4PCLK	out	1	APB4 PCLK	
APB4PRESET	out	1	APB4 RESET	
APB5PSTRB	out	[3:0]	APB5 PSTRB	
APB5PPROT	out	[2:0]	APB5 PPROT	
APB5PSEL	out	1	APB5 PSEL	
APB5PENABLE	out	1	APB5 PENABLE	
APB5PADDR	out	[31:0]	APB5 PADDR	
APB5PWRITE	out	1	APB5 PWRITE	
APB5PWDATA	out	[31:0]	APB5 PWDATA	
APB5PRDATA	in	[31:0]	APB5 PRDATA	
APB5PREADY	in	1	APB5 PREADY	
APB5PSLVERR	in	1	APB5 PSLVERR	
APB5PCLK	out	1	APB5 PCLK	
APB5PRESET	out	1	APB5 RESET	
APB6PSTRB	out	[3:0]	APB6 PSTRB	APB Master [6]
APB6PPROT	out	[2:0]	APB6 PPROT	
APB6PSEL	out	1	APB6 PSEL	
APB6PENABLE	out	1	APB6 PENABLE	
APB6PADDR	out	[31:0]	APB6 PADDR	
APB6PWRITE	out	1	APB6 PWRITE	
APB6PWDATA	out	[31:0]	APB6 PWDATA	
APB6PRDATA	in	[31:0]	APB6 PRDATA	
APB6PREADY	in	1	APB6 PREADY	
APB6PSLVERR	in	1	APB6 PSLVERR	
APB6PCLK	out	1	APB6 PCLK	
APB6PRESET	out	1	APB6 RESET	
APB7PSTRB	out	[3:0]	APB7 PSTRB	APB Master [7]
APB7PPROT	out	[2:0]	APB7 PPROT	
APB7PSEL	out	1	APB7 PSEL	

名称	I/O	位宽	描述	所属模块
APB7PENABLE	out	1	APB7 PENABLE	
APB7PADDR	out	[31:0]	APB7 PADDR	
APB7PWRITE	out	1	APB7 PWRITE	
APB7PWDATA	out	[31:0]	APB7 PWDATA	
APB7PRDATA	in	[31:0]	APB7 PRDATA	
APB7PREADY	in	1	APB7 PREADY	
APB7PSLVERR	in	1	APB7 PSLVERR	
APB7PCLK	out	1	APB7 PCLK	
APB7PRESET	out	1	APB7 RESET	
APB8PSTRB	out	[3:0]	APB8 PSTRB	
APB8PPROT	out	[2:0]	APB8 PPROT	
APB8PSEL	out	1	APB8 PSEL	
APB8PENABLE	out	1	APB8 PENABLE	
APB8PADDR	out	[31:0]	APB8 PADDR	
APB8PWRITE	out	1	APB8 PWRITE	
APB8PWDATA	out	[31:0]	APB8 PWDATA	
APB8PRDATA	in	[31:0]	APB8 PRDATA	
APB8PREADY	in	1	APB8 PREADY	
APB8PSLVERR	in	1	APB8 PSLVERR	
APB8PCLK	out	1	APB8 PCLK	
APB8PRESET	out	1	APB8 RESET	
APB9PSTRB	out	[3:0]	APB9 PSTRB	APB Master [9]
APB9PPROT	out	[2:0]	APB9 PPROT	
APB9PSEL	out	1	APB9 PSEL	
APB9PENABLE	out	1	APB9 PENABLE	
APB9PADDR	out	[31:0]	APB9 PADDR	
APB9PWRITE	out	1	APB9 PWRITE	
APB9PWDATA	out	[31:0]	APB9 PWDATA	
APB9PRDATA	in	[31:0]	APB9 PRDATA	
APB9PREADY	in	1	APB9 PREADY	
APB9PSLVERR	in	1	APB9 PSLVERR	
APB9PCLK	out	1	APB9 PCLK	
APB9PRESET	out	1	APB9 RESET	
APB10PSTRB	out	[3:0]	APB10 PSTRB	APB Master [10]
APB10PPROT	out	[2:0]	APB10 PPROT	
APB10PSEL	out	1	APB10 PSEL	
APB10PENABLE	out	1	APB10 PENABLE	
APB10PADDR	out	[31:0]	APB10 PADDR	

名称	I/O	位宽	描述	所属模块
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	APB Master [11]
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	APB Master [12]
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	APB Master [13]
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	
APB10PWRITE	out	1	APB10 PWRITE	

名称	I/O	位宽	描述	所属模块
APB13PRDATA	in	[31:0]	APB13 PRDATA	
APB13PREADY	in	1	APB13 PREADY	
APB13PSLVERR	in	1	APB13 PSLVERR	
APB13PCLK	out	1	APB13 PCLK	
APB13PRESET	out	1	APB13 RESET	
APB14PSTRB	out	[3:0]	APB14 PSTRB	APB Master [14]
APB14PPROT	out	[2:0]	APB14 PPROT	
APB14PSEL	out	1	APB14 PSEL	
APB14PENABLE	out	1	APB14 PENABLE	
APB14PADDR	out	[31:0]	APB14 PADDR	
APB14PWRITE	out	1	APB14 PWRITE	
APB14PWDATA	out	[31:0]	APB14 PWDATA	
APB14PRDATA	in	[31:0]	APB14 PRDATA	
APB14PREADY	in	1	APB14 PREADY	
APB14PSLVERR	in	1	APB14 PSLVERR	
APB14PCLK	out	1	APB14 PCLK	
APB14PRESET	out	1	APB14 RESET	
APB15PSTRB	out	[3:0]	APB15 PSTRB	APB Master [15]
APB15PPROT	out	[2:0]	APB15 PPROT	
APB15PSEL	out	1	APB15 PSEL	
APB15PENABLE	out	1	APB15 PENABLE	
APB15PADDR	out	[31:0]	APB15 PADDR	
APB15PWRITE	out	1	APB15 PWRITE	
APB15PWDATA	out	[31:0]	APB15 PWDATA	
APB15PRDATA	in	[31:0]	APB15 PRDATA	
APB15PREADY	in	1	APB15 PREADY	
APB15PSLVERR	in	1	APB15 PSLVERR	
APB15PCLK	out	1	APB15 PCLK	
APB15PRESET	out	1	APB15 RESET	
APB16PSTRB	out	[3:0]	APB16 PSTRB	APB Master [16]
APB16PPROT	out	[2:0]	APB16 PPROT	
APB16PSEL	out	1	APB16 PSEL	
APB16PENABLE	out	1	APB16 PENABLE	
APB16PADDR	out	[31:0]	APB16 PADDR	
APB16PWRITE	out	1	APB16 PWRITE	
APB16PWDATA	out	[31:0]	APB16 PWDATA	
APB16PRDATA	in	[31:0]	APB16 PRDATA	
APB16PREADY	in	1	APB16 PREADY	

名称	I/O	位宽	描述	所属模块
APB16PSLVERR	in	1	APB16 PSLVERR	
APB16PCLK	out	1	APB16 PCLK	
APB16PRESET	out	1	APB16 RESET	
EXTFLASH0HSEL	out	1	External Flash HSEL	External Instruction Memory
EXTFLASH0HADDR	out	[31:0]	External Flash HADDR	
EXTFLASH0HTRANS	out	[1:0]	External Flash HTRANS	
EXTFLASH0HWRITE	out	1	External Flash HWRITE	
EXTFLASH0HSIZE	out	[2:0]	External Flash HSIZE	
EXTFLASH0HBURST	out	[2:0]	External Flash HBURST	
EXTFLASH0HPROT	out	[3:0]	External Flash HPROT	
EXTFLASH0HWDATA	out	[31:0]	External Flash HWDATA	
EXTFLASH0HMASTLOCK	out	1	External Flash HMASTLOCK	
EXTFLASH0HREADYMUX	out	1	External Flash HREADYMUX	
EXTFLASH0HRDATA	in	[31:0]	External Flash HRDATA	
EXTFLASH0HREADYOUT	in	1	External Flash HREADYOUT	
EXTFLASH0HRESP	in	[1:0]	External Flash HRESP	
EXTFLASH0HMASTER	out	[3:0]	External Flash MASTER	
EXTFLASH0HCLK	out	1	External Flash HCLK	
EXTFLASH0HRESET	out	1	External Flash RESET	
EXTSRAM0HSEL	out	1	External SRAM HSEL	External Data Memory
EXTSRAM0HADDR	out	[31:0]	External SRAM HADDR	
EXTSRAM0HTRANS	out	[1:0]	External SRAM HTRANS	
EXTSRAM0HWRITE	out	1	External SRAM HWRITE	
EXTSRAM0HSIZE	out	[2:0]	External SRAM HSIZE	
EXTSRAM0HBURST	out	[2:0]	External SRAM HBURST	
EXTSRAM0HPROT	out	[3:0]	External SRAM HPROT	
EXTSRAM0HWDATA	out	[31:0]	External SRAM HWDATA	
EXTSRAM0HMASTLOCK	out	1	External SRAM HMASTLOCK	
EXTSRAM0HREADYMUX	out	1	External SRAM HREADYMUX	
EXTSRAM0HRDATA	in	[31:0]	External SRAM HRDATA	
EXTSRAM0HREADYOUT	in	1	External SRAM HREADYOUT	

名称	I/O	位宽	描述	所属模块
EXTSRAM0HRESP	in	[1:0]	External SRAM HRESP	
EXTSRAM0HMASTER	out	[3:0]	External SRAM MASTER	
EXTSRAM0HCLK	out	1	External SRAM HCLK	
EXTSRAM0HRESET	out	1	External SRAM RESET	
AHB1HSEL	out	1	AHB1 HSEL	AHB Master [1]
AHB1HADDR	out	[31:0]	AHB1 HADDR	
AHB1HTRANS	out	[1:0]	AHB1 HTRANS	
AHB1HWRITE	out	1	AHB1 HWRITE	
AHB1HSIZE	out	[2:0]	AHB1 HSIZE	
AHB1HBURST	out	[2:0]	AHB1 HBURST	
AHB1HPROT	out	[3:0]	AHB1 HPROT	
AHB1HWDATA	out	[31:0]	AHB1 HWDATA	
AHB1HMASTLOCK	out	1	AHB1 HMASTLOCK	
AHB1HREADYMUX	out	1	AHB1 HREADYMUX	
AHB1HRDATA	in	[31:0]	AHB1 HRDATA	
AHB1HREADYOUT	in	1	AHB1 HREADYOUT	
AHB1HRESP	in	[1:0]	AHB1 HRESP	
AHB1HMASTER	out	[3:0]	AHB1 MASTER	
AHB1HCLK	out	1	AHB1 HCLK	
AHB1HRESET	out	1	AHB1 RESET	
AHB2HSEL	out	1	AHB2 HSEL	
AHB2HADDR	out	[31:0]	AHB2 HADDR	
AHB2HTRANS	out	[1:0]	AHB2 HTRANS	
AHB2HWRITE	out	1	AHB2 HWRITE	
AHB2HSIZE	out	[2:0]	AHB2 HSIZE	
AHB2HBURST	out	[2:0]	AHB2 HBURST	
AHB2HPROT	out	[3:0]	AHB2 HPROT	
AHB2HWDATA	out	[31:0]	AHB2 HWDATA	
AHB2HMASTLOCK	out	1	AHB2 HMASTLOCK	
AHB2HREADYMUX	out	1	AHB2 HREADYMUX	
AHB2HRDATA	in	[31:0]	AHB2 HRDATA	
AHB2HREADYOUT	in	1	AHB2 HREADYOUT	
AHB2HRESP	in	[1:0]	AHB2 HRESP	
AHB2HMASTER	out	[3:0]	AHB2 MASTER	
AHB2HCLK	out	1	AHB2 HCLK	
AHB2HRESET	out	1	AHB2 RESET	
AHB3HSEL	out	1	AHB3 HSEL	AHB Master [3]
AHB3HADDR	out	[31:0]	AHB3 HADDR	

名称	I/O	位宽	描述	所属模块
AHB3HTRANS	out	[1:0]	AHB3 HTRANS	
AHB3HWRITE	out	1	AHB3 HWRITE	
AHB3HSIZE	out	[2:0]	AHB3 HSIZE	
AHB3HBURST	out	[2:0]	AHB3 HBURST	
AHB3HPROT	out	[3:0]	AHB3 HPROT	
AHB3HWDATA	out	[31:0]	AHB3 HWDATA	
AHB3HMASTLOCK	out	1	AHB3 HMASTLOCK	
AHB3HREADYMUX	out	1	AHB3 HREADYMUX	
AHB3HRDATA	in	[31:0]	AHB3 HRDATA	
AHB3HREADYOUT	in	1	AHB3 HREDAYOUT	
AHB3HRESP	in	[1:0]	AHB3 HRESP	
AHB3HMASTER	out	[3:0]	AHB3 MASTER	
AHB3HCLK	out	1	AHB3 HCLK	
AHB3HRESET	out	1	AHB3 RESET	
AHB4HSEL	out	1	AHB4 HSEL	AHB Master [4]
AHB4HADDR	out	[31:0]	AHB4 HADDR	
AHB4HTRANS	out	[1:0]	AHB4 HTRANS	
AHB4HWRITE	out	1	AHB4 HWRITE	
AHB4HSIZE	out	[2:0]	AHB4 HSIZE	
AHB4HBURST	out	[2:0]	AHB4 HBURST	
AHB4HPROT	out	[3:0]	AHB4 HPROT	
AHB4HWDATA	out	[31:0]	AHB4 HWDATA	
AHB4HMASTLOCK	out	1	AHB4 HMASTLOCK	
AHB4HREADYMUX	out	1	AHB4 HREADYMUX	
AHB4HRDATA	in	[31:0]	AHB4 HRDATA	
AHB4HREADYOUT	in	1	AHB4 HREDAYOUT	
AHB4HRESP	in	[1:0]	AHB4 HRESP	
AHB4HMASTER	out	[3:0]	AHB4 MASTER	
AHB4HCLK	out	1	AHB4 HCLK	
AHB4HRESET	out	1	AHB4 RESET	
AHB5HSEL	out	1	AHB5 HSEL	AHB Master [5]
AHB5HADDR	out	[31:0]	AHB5 HADDR	
AHB5HTRANS	out	[1:0]	AHB5 HTRANS	
AHB5HWRITE	out	1	AHB5 HWRITE	
AHB5HSIZE	out	[2:0]	AHB5 HSIZE	
AHB5HBURST	out	[2:0]	AHB5 HBURST	
AHB5HPROT	out	[3:0]	AHB5 HPROT	
AHB5HWDATA	out	[31:0]	AHB5 HWDATA	

名称	I/O	位宽	描述	所属模块
AHB5HMASTLOCK	out	1	AHB5 HMASTLOCK	
AHB5HREADYMUX	out	1	AHB5 HREADYMUX	
AHB5HRDATA	in	[31:0]	AHB5 HRDATA	
AHB5HREADYOUT	in	1	AHB5 HREDAYOUT	
AHB5HRESP	in	[1:0]	AHB5 HRESP	
AHB5HMASTER	out	[3:0]	AHB5 MASTER	
AHB5HCLK	out	1	AHB5 HCLK	
AHB5HRESET	out	1	AHB5 RESET	
AHB6HSEL	out	1	AHB6 HSEL	
AHB6HADDR	out	[31:0]	AHB6 HADDR	
AHB6HTRANS	out	[1:0]	AHB6 HTRANS	
AHB6HWRITE	out	1	AHB6 HWRITE	
AHB6HSIZE	out	[2:0]	AHB6 HSIZE	
AHB6HBURST	out	[2:0]	AHB6 HBURST	
AHB6HPROT	out	[3:0]	AHB6 HPROT	
AHB6HWDATA	out	[31:0]	AHB6 HWDATA	
AHB6HMASTLOCK	out	1	AHB6 HMASTLOCK	
AHB6HREADYMUX	out	1	AHB6 HREADYMUX	
AHB6HRDATA	in	[31:0]	AHB6 HRDATA	
AHB6HREADYOUT	in	1	AHB6 HREDAYOUT	
AHB6HRESP	in	[1:0]	AHB6 HRESP	
AHB6HMASTER	out	[3:0]	AHB6 MASTER	
AHB6HCLK	out	1	AHB6 HCLK	
AHB6HRESET	out	1	AHB6 RESET	

1.4 系统资源统计

例如 GW5A-25 A 版，Gowin_EMPU_M1 系统资源统计如表 1-2 所示。

表 1-2 系统资源统计

Configuration	Resources	LUTs	Registers	BSRAMs	DSP Macros
Cortex-M1 内核系统 (Debug 版本)		5496	2551	32 (DPB)	2 (MULT27X36)
Cortex-M1 内核系统 (No Debug 版本)		3080	1175	32 (SP)	2 (MULT27X36)
Cortex-M1 内核系统 + GPIO、SPI-Flash、2x UART、2x Timer、I2C、SPI、TRNG、WDT、DualTimer、AHB Master [1]、APB Master [1]		10957	5299	32 (DPB)	2 (MULT27X36)

1.5 系统性能统计

Gowin_EMPU_M1 在不同器件中的系统性能统计，如表 1-3 所示。

表 1-3 系统性能统计

器件	GW1N-9 C 版	GW2A-18 C 版	GW2A-55 C 版	GW5AST-138 B 版	GW5A-25 A 版	GW5AT-60 B 版
主频	60MHz	100MHz	100MHz	125MHz	130MHz	130MHz
配置	No debug	Debug	Debug	Debug	Debug	Debug
ITCM	8KB	32KB	32KB	32KB	32KB	32KB
DTCM	8KB	32KB	32KB	32KB	32KB	32KB
外设	GPIO	GPIO	GPIO	GPIO	GPIO	GPIO

2 硬件设计流程

2.1 硬件目标

- DK_START_GW2A18 V2.0
GW2A-LV18PG256C8/I7
GW2A-18 (C 版)
- DK_START_GW1N-LV9LQ144C6I5 V2.1
GW1N-LV9LQ144C6/I5
GW1N-9 (C 版)
- DK_START_GW2A-LV55PG484C8I7 V1.3
GW2A-LV55PG484C8/I7
GW2A-55 (C 版)
- DK_START_GW2AR-LV18EQ144C8I7 V1.1
GW2AR-LV18EQ144PC8/I7
GW2AR-18 (C 版)
- DK_START_GW5AST-LV138FPG676A V1.0
GW5AST-LV138FPG676AES
GW5AST-138 (B 版)
- TANG_MEGA-138K_Pro_Dock
GW5AST-LV138FPG676AES
GW5AST-138 (B 版)
- DK_START_GW5A-LV25UG324 V2.0
GW5A-LV25UG324C2/I1
GW5A-25 (A 版)
- DK_START_DDR2-GW5A_EV25UG324S V1.0
GW5A-EV25UG324SES

- GW5A-25 (A 版)
- DK_DP_GW5AT-LV60UG225 V1.0
- GW5AT-LV60UG225C2/I1
- GW5AT-60 (B 版)

2.2 软件版本

已测试软件版本：云源软件 Gowin_V1.9.11 (64-bit)

2.3 IP Core Generator 工具

高云半导体云源软件提供 IP Core Generator 工具，用于配置和产生 Gowin_EMPU_M1 硬件设计。

2.4 下载工具

云源软件提供下载工具 Programmer，用于下载硬件设计码流文件。

下载工具 Programmer 的使用方法，请参考 [SUG502, Gowin Programmer 用户指南](#)。

2.5 设计流程

Gowin_EMPU_M1 硬件设计流程：

1. IP Core Generator 工具配置 Cortex-M1、APB Bus Peripherals 和 AHB Bus Peripherals，产生 Gowin_EMPU_M1 硬件设计，导入工程；
2. 实例化 Gowin_EMPU_M1 Top Module，导入用户设计，连接用户设计与 Gowin_EMPU_M1 Top Module；
3. 物理约束和时序约束；
4. 使用综合工具 GowinSynthesis 综合；
5. 使用布局布线工具 Place & Route 布局布线，产生硬件设计码流文件；
6. 使用下载工具 Programmer，下载硬件设计码流到芯片。

3 工程模板

3.1 工程创建

3.1.1 新建工程


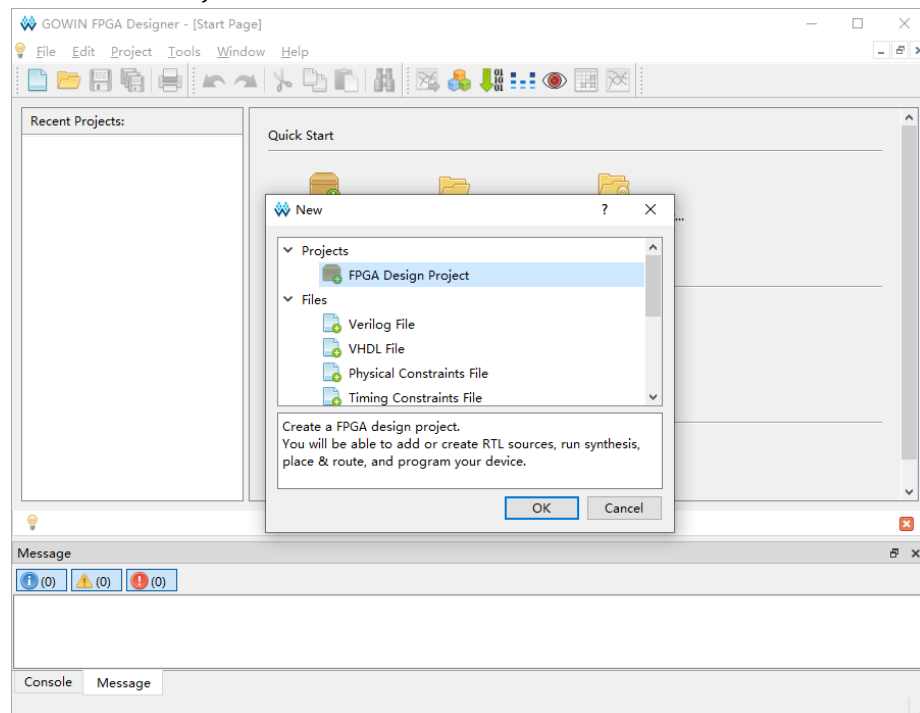
双击打开云源软件，选择菜单栏“File > New... > FPGA Design Project”或单击工具栏“”或“Quick Start”选项下单击“New Project...”，创建FPGA Design工程，如图3-1所示。

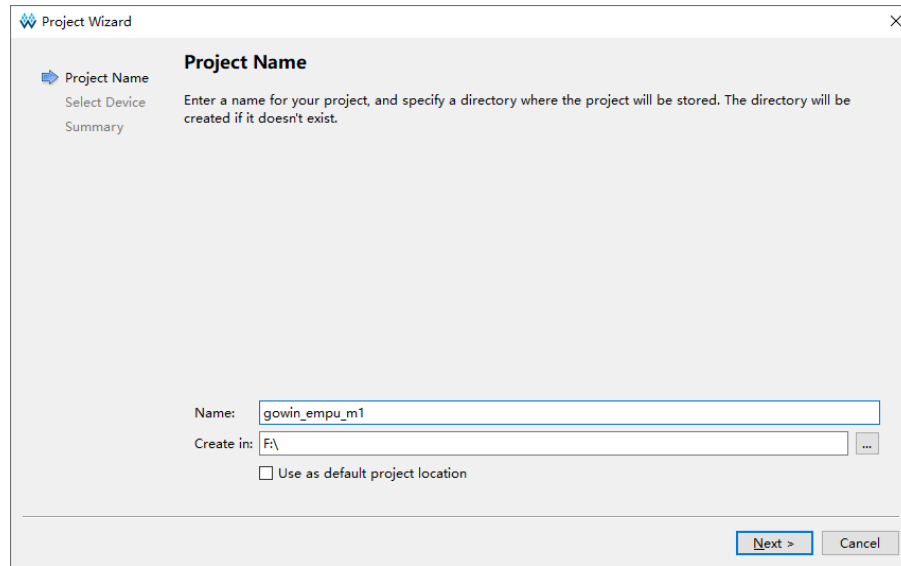
图 3-1 New Projects



3.1.2 设定工程名称和路径

输入工程名称，选择工程路径，如图 3-2 所示。

图 3-2 Project Name



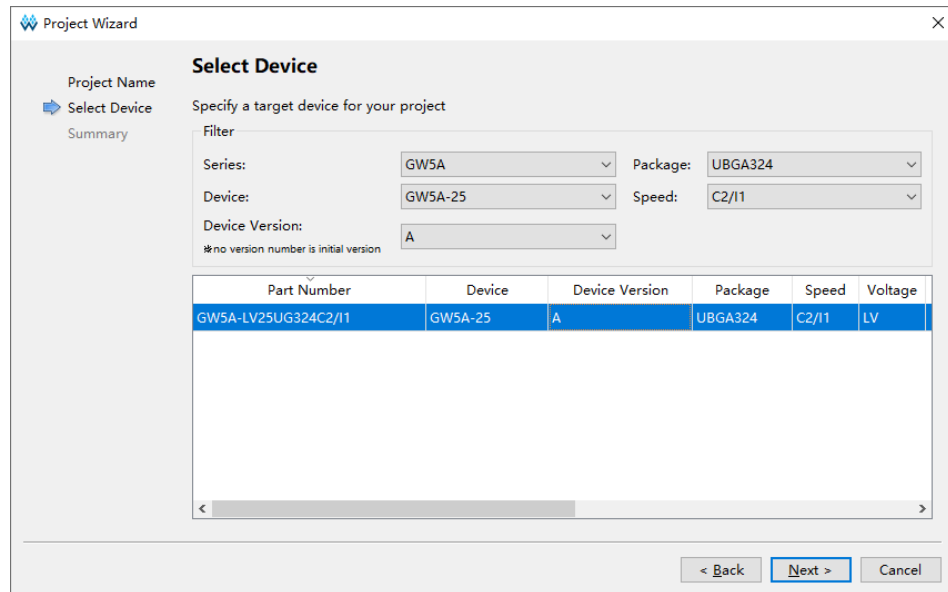
3.1.3 选择器件

选择 Series、Device、Device Version、Package、Speed 和 Part Number，如图 3-3 所示。

例如 DK_START_GW5A-LV25UG324 V2.0 开发板参考设计：

- Series: GW5A
- Device: GW5A-25
- Device Version: A
- Package: UBGA324
- Speed: C2/I1
- Part Number: GW5A-LV25UG324C2/I1

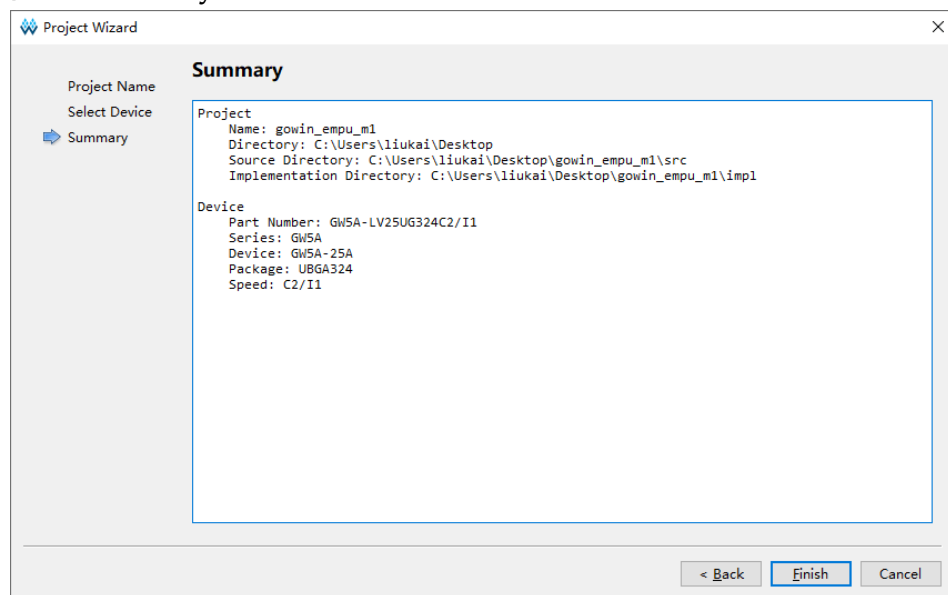
图 3-3 Select Device



3.1.4 完成工程创建


如图 3-4 所示，完成新建工程。

图 3-4 Summary



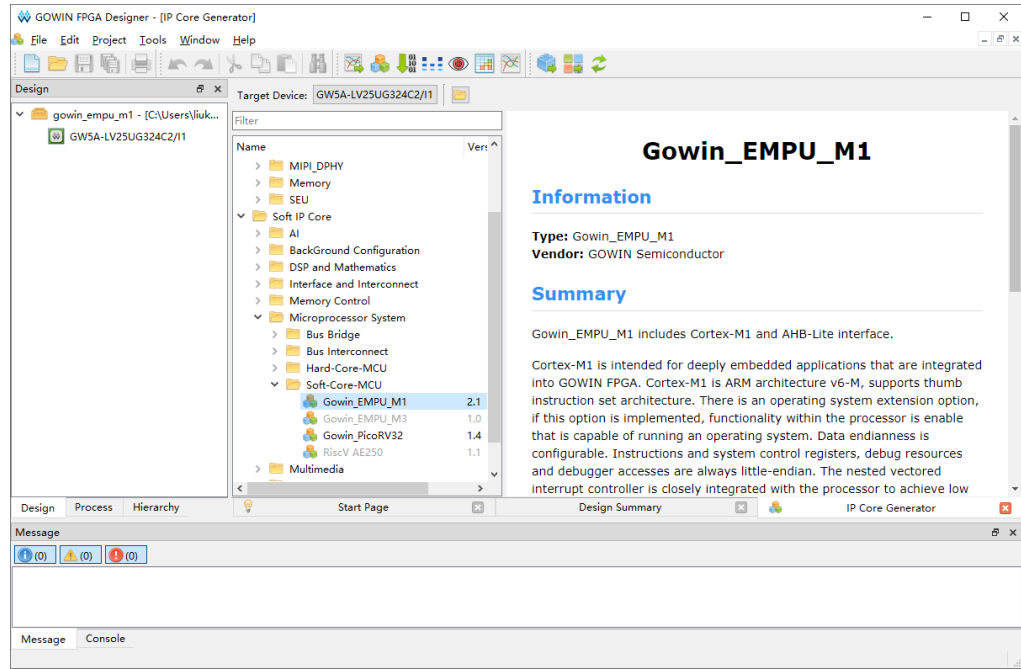
3.2 硬件设计

使用 IP Core Generator 工具，产生 Gowin_EMPU_M1 硬件设计。

选择菜单栏“Tools > IP Core Generator”或工具栏 IP Core Generator “”，打开 IP Core Generator。

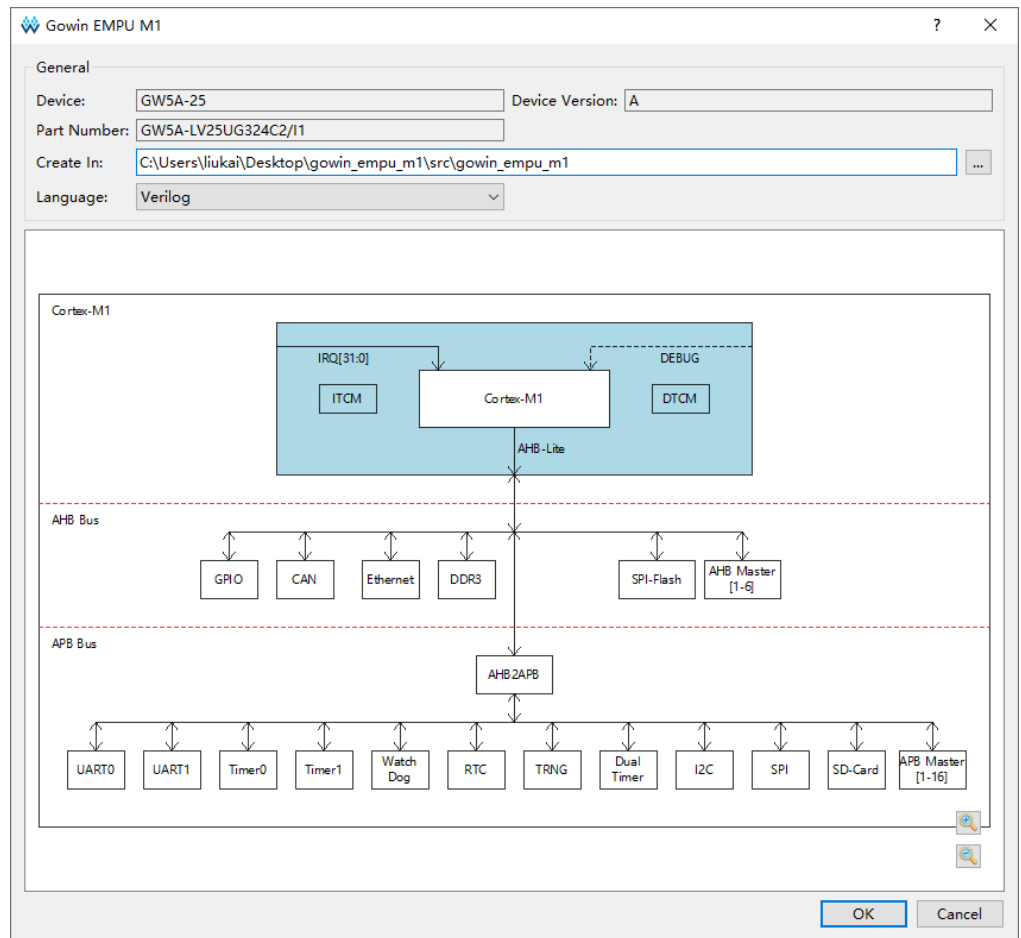
选择“Soft IP Core > Microprocessor System > Soft-Core-MCU > Gowin_EMPU_M1 2.1”，如图 3-5 所示。

图 3-5 选择 Gowin_EMPU_M1



打开 Gowin_EMPU_M1, Gowin_EMPU_M1 系统配置, 如图 3-6 所示, 包括 Cortex-M1、APB Bus Peripherals 和 AHB Bus Peripherals 配置选项。

图 3-6 系统配置



3.2.1 Cortex-M1 内核系统配置

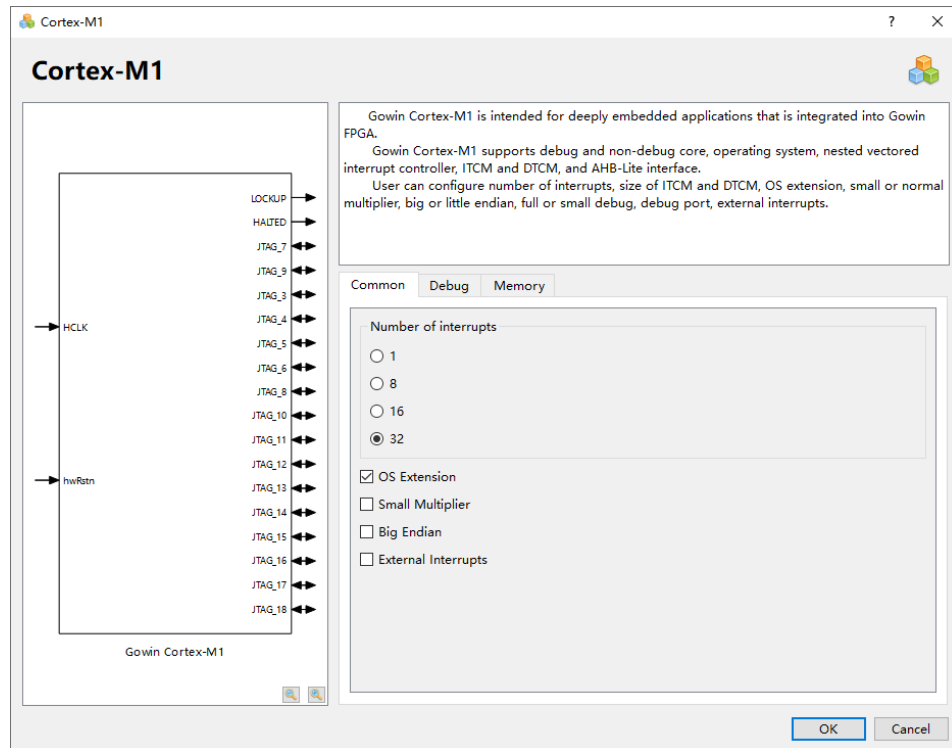
Cortex-M1 内核系统配置选项如表 3-1 所示。

表 3-1 Cortex-M1 内核系统配置选项

配置选项	描述
Number of interrupts	配置 Cortex-M1 外部中断数量, 可选择 1、8、16 或 32, 默认为 32。
OS Extension	配置 Cortex-M1 是否支持操作系统, 默认为支持。
Small Multiplier	配置 Cortex-M1 small 模式硬件乘法器, 默认为 normal 模式。
Big Endian	配置 Cortex-M1 数据大端格式, 默认为小端格式。
External Interrupts	配置 4 个扩展的外部中断输入。
Enable Debug	开启 Cortex-M1 Debug 功能, 默认为开启 Debug。
Debug Port Select	配置调试器接口, 可以选择 JTAG、Serial Wire 或 JTAG and Serial Wire, 默认为 JTAG and Serial Wire。
Small Debug	配置 Small 模式调试器, 默认为 Full 模式调试器。
ITCM Select	选择内部或外部指令存储器, 默认为内部指令存储器。
ITCM Size	配置内部指令存储器 Size, 可以选择 1/2/4/8/16/32/64/128/256/512 KB。 <ul style="list-style-type: none"> ● GW1N/R-9, 最大选择 32KB, 默认为 16KB; ● GW2AN-9X/18X, 最大选择 32KB, 默认为 16KB; ● GW2A/R/NR-18, 最大选择 64KB, 默认为 32KB; ● GW2A/N-55, 最大选择 256KB, 默认为 64KB; ● GW5A/T/ST/S-138, 最大选择 512KB, 默认为 128KB; ● GW5AT-75, 最大选择 256KB, 默认为 128KB; ● GW5A/R/S-25, 最大选择 64KB, 默认为 32KB; ● GW5A/T-60, 最大选择 128KB, 默认为 64KB; ● GW5AT/RT-15, 最大选择 64KB, 默认为 32KB。
Initialize ITCM	开启 ITCM 初始化, 默认为关闭。
ITCM Initialization Path	ITCM 初始值文件路径。
DTCM Select	选择内部或外部数据存储器, 默认为内部数据存储器
DTCM Size	配置内部数据存储器 Size, 可以选择 1/2/4/8/16/32/64/128/256/512 KB。 <ul style="list-style-type: none"> ● GW1N/R-9, 最大选择 32KB, 默认为 16KB; ● GW2AN-9X/18X, 最大选择 32KB, 默认为 16KB; ● GW2A/R/NR-18, 最大选择 64KB, 默认为 32KB; ● GW2A/N-55, 最大选择 256KB, 默认为 64KB; ● GW5A/T/ST/S-138, 最大选择 512KB, 默认为 128KB; ● GW5AT-75, 最大选择 256KB, 默认为 128KB; ● GW5A/R/S-25, 最大选择 64KB, 默认为 32KB; ● GW5A/T-60, 最大选择 128KB, 默认为 64KB; ● GW5AT/RT-15, 最大选择 64KB, 默认为 32KB。

双击 Cortex-M1，打开 Cortex-M1 内核系统配置选项，如图 3-7 所示，包括通用配置、调试配置和存储配置。

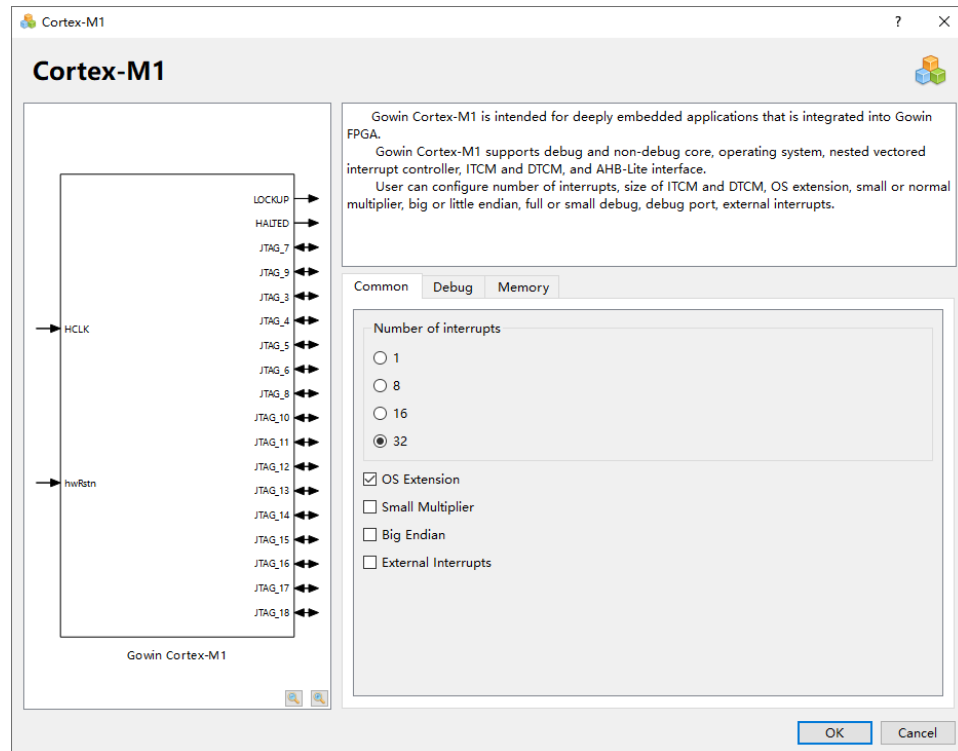
图 3-7 Cortex-M1 内核系统配置选项



通用配置

选择通用配置选项，如图 3-8 所示，可以配置中断数量、操作系统扩展、乘法器模式、数据存储格式和外部中断。

图 3-8 Cortex-M1 通用配置

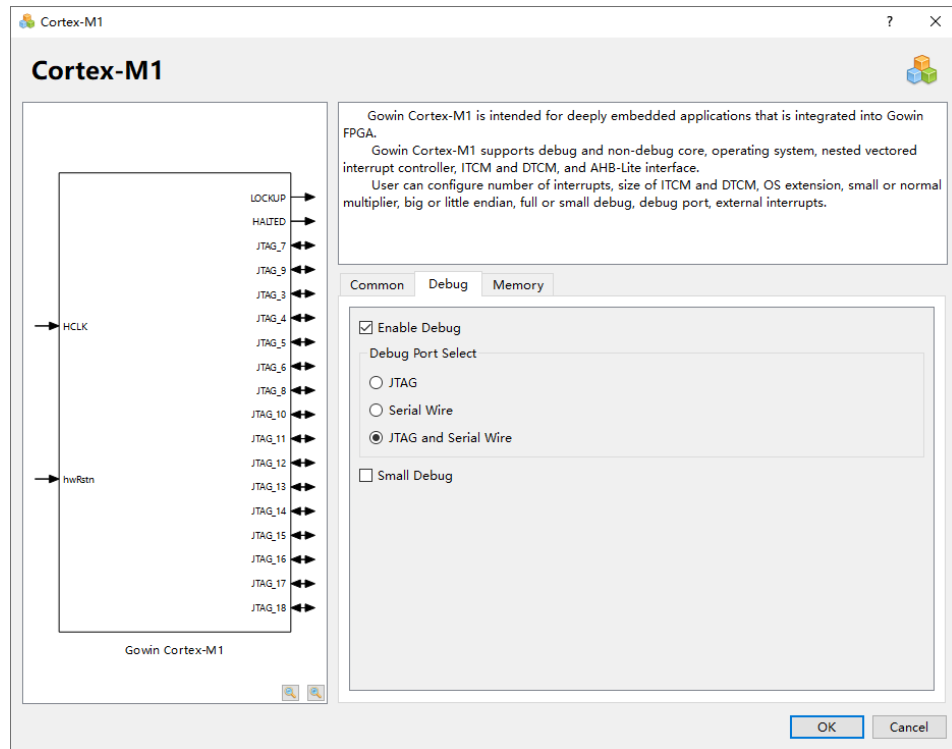


- 中断数量配置
可以选择 1、8、16 或 32，可以配置 1 个、8 个、16 个或 32 个外部中断，默认为 32 个。
- 操作系统扩展配置
如果选择，则 Cortex-M1 扩展支持操作系统，默认为支持操作系统扩展。
- 乘法器模式配置
如果选择，则 Cortex-M1 支持 Small 乘法器，否则支持 Normal 乘法器，默认为 Normal 乘法器。
- 数据存储格式配置
如果选择，则 Cortex-M1 支持数据大端格式，否则支持数据小端格式，默认为小端格式。
- 外部中断配置
如果选择，则 Cortex-M1 支持扩展的 4 个外部中断输入，否则不支持扩展的外部中断输入，默认为不支持。

调试配置

选择调试配置选项，如图 3-9 所示，可以配置开启调试、调试接口和调试器模式。

图 3-9 Cortex-M1 调试配置

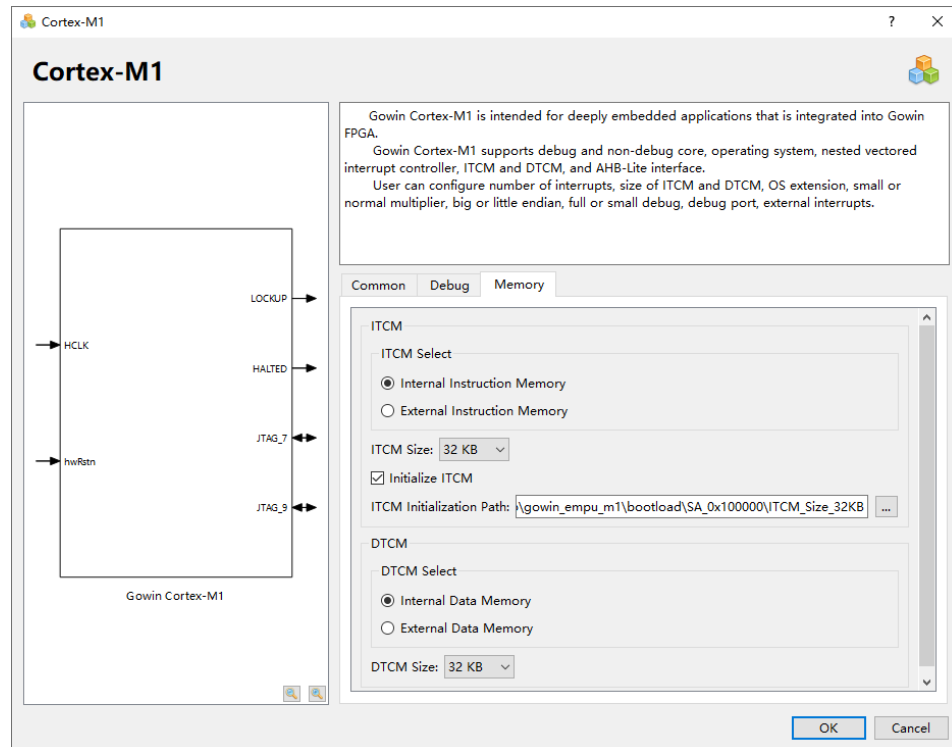


- **Enable Debug**
如果选择 **Enable Debug**，Cortex-M1 支持调试功能，否则 Cortex-M1 不支持调试功能，默认为开启 **Debug**。
- **调试接口配置**
可以选择 **JTAG**、**Serial Wire** 或 **JTAG and Serial Wire**，默认为 **JTAG and Serial Wire**。
- **调试器模式配置**
如果选择 **Small Debug**，则 Cortex-M1 支持 **Small** 模式调试器，否则支持 **Full** 模式调试器，默认为 **Full** 模式调试器。

存储配置

选择存储配置选项，如图 3-10 所示，可以配置 **ITCM** 和 **DTCM**。

图 3-10 Cortex-M1 存储配置



- ITCM Select 配置

- 可以选择“Internal Instruction Memory”或“External Instruction Memory”，默认“Internal Instruction Memory”；
- Internal Instruction Memory: 内部指令存储器，片内 Block RAM 硬件存储资源，起始地址 0x00000000；
- External Instruction Memory: 外部指令存储器，如 SPI-Flash Memory 等，起始地址 0x00000000。

- ITCM Size 配置

- 前提条件：已选择 Internal Instruction Memory；
- 可以选择 1KB、2KB、4KB、8KB、16KB、32KB、64KB、128KB、256KB 或 512KB；
- GW1N/R-9, ITCM Size 最大选择为 32KB，默认为 16KB；
- GW2AN-9X/18X, ITCM Size 最大选择为 32KB，默认为 16KB；
- GW2A/R/NR-18, ITCM Size 最大选择为 64KB，默认为 32KB；
- GW2A/N-55, ITCM Size 最大选择为 256KB，默认为 64KB；
- GW5A/T/ST/S-138, ITCM Size 最大选择为 512KB，默认为 128KB；
- GW5AT-75, ITCM Size 最大选择为 256KB，默认为 128KB；
- GW5A/R/S-25, ITCM Size 最大选择为 64KB，默认为 32KB；

- GW5A/T-60, ITCM Size 最大选择为 128KB, 默认为 64KB;
- GW5AT/RT-15, ITCM Size 最大选择为 64KB, 默认为 32KB。
- ITCM Initialization 配置
 - 前提条件: 已选择 Internal Instruction Memory;
 - 如果选择 Initialize ITCM, 则支持 ITCM 初始化, 可以在 ITCM Initialization Path 导入 ITCM 初始值文件路径;
 - 如果选择使用片外 SPI-Flash Memory 下载引导方式, ITCM 初始值根据不同的 ITCM Size 导入不同的 bootload 文件路径。
- 注!
- ITCM Initialization Path 导入的路径, 不能有以数字命名或“\r”、“\n”等转义字符的文件夹路径。
- DTCM Select 配置
 - 可以选择 “Internal Data Memory” 或 “External Data Memory”, 默认 “Internal Data Memory”;
 - Internal Data Memory: 内部数据存储器, 片内 Block RAM 硬件存储资源, 起始地址 0x20000000;
 - External Data Memory: 外部数据存储器, 如 DDRx Memory 等, 起始地址 0x20100000。
- DTCM Size 配置
 - 前提条件: 已选择 Internal Data Memory;
 - 可以选择 1KB、2KB、4KB、8KB、16KB、32KB、64KB、128KB、256KB 或 512KB;
 - GW1N/R-9, 最大选择 32KB, 默认为 16KB;
 - GW2AN-9X/18X, 最大选择 32KB, 默认为 16KB;
 - GW2A/R/NR-18, 最大选择 64KB, 默认为 32KB;
 - GW2A/N-55, 最大选择 256KB, 默认为 64KB;
 - GW5A/T/ST/S-138, 最大选择 512KB, 默认为 128KB;
 - GW5AT-75, 最大选择 256KB, 默认为 128KB;
 - GW5A/R/S-25, 最大选择 64KB, 默认为 32KB;
 - GW5A/T-60, 最大选择 128KB, 默认为 64KB;
 - GW5AT/RT-15, 最大选择 64KB, 默认为 32KB。
- ITCM 与 DTCM Size 配置限制
 - 前提条件: 已选择 Internal Instruction Memory 和 Internal Data Memory;

- GW1N/R-9, ITCM 或 DTCM 最大可配置为 32KB, 如果 ITCM 或 DTCM 某个存储器已配置为 32KB, 则另一个存储器最大只能配置为 16KB;
 - GW2AN-9X/18X, ITCM 或 DTCM 最大可配置为 32KB, 如果 ITCM 或 DTCM 某个存储器已配置为 32KB, 则另一个存储器最大只能配置为 16KB;
 - GW2A/R/NR-18, ITCM 或 DTCM 最大可配置为 64KB, 如果 ITCM 或 DTCM 某个存储器已配置为 64KB, 则另一个存储器最大只能配置为 16KB;
 - GW2A/N-55, ITCM 或 DTCM 最大可配置为 256KB, 如果 ITCM 或 DTCM 某个存储器已配置为 256KB, 则另一个存储器最大只能配置为 16KB;
 - GW5A/T/ST/S-138, ITCM 或 DTCM 最大可配置为 512KB, 如果 ITCM 或 DTCM 某个存储器已配置为 512KB, 则另一个存储器最大只能配置为 128KB;
 - GW5AT-75, ITCM 或 DTCM 最大可配置为 256KB, 如果 ITCM 或 DTCM 某个存储器已配置为 256KB, 则另一个存储器最大只能配置为 256KB;
 - GW5A/R/S-25, ITCM 或 DTCM 最大可配置为 64KB, 如果 ITCM 或 DTCM 某个存储器已配置为 64KB, 则另一个存储器最大只能配置为 32KB;
 - GW5A/T-60, ITCM 或 DTCM 最大可配置为 128KB, 如果 ITCM 或 DTCM 某个存储器已配置为 128KB, 则另一个存储器最大只能配置为 64KB;
 - GW5AT/RT-15, ITCM 或 DTCM 最大可配置为 64KB, 如果 ITCM 或 DTCM 某个存储器已配置为 64KB, 则另一个存储器最大只能配置为 8KB。
- External Instruction/Data Memory 解决方案
 - GW1N/R-9 可以选择内嵌 UserFlash 作为 External Instruction Memory, 参考设计及参考文档, 请参考 [...\solution\Embedded Memory](#), 指令存储器起始地址 0x00000000。
 - SPI-Flash Memory 作为 External Instruction Memory 和 BSRAM Memory 作为 External Data Memory, 参考设计及参考文档, 请参考 [...\solution\External Memory](#), 指令存储器起始地址 0x00000000, 数据存储器起始地址 0x20100000。

3.2.2 总线外设系统配置

总线外设系统配置选项，如表 3-2 所示。

表 3-2 总线外设系统配置选项

配置选项	描述
Enable GPIO	开启 GPIO，默认关闭。
Enable GPIO I/O	开启 GPIO inout 端口类型，默认关闭。
Enable CAN	开启 CAN，默认关闭。
Buffer Depth	CAN 选择 Buffer Depth，默认值为 256。
Enable Ethernet	开启 Ethernet，默认关闭。
Interface	Ethernet 选择 Interface (RGMII/GMII/MII)，默认为 RGMII。
RGMII Input Delay	RGMII input delay，默认值为 100。
MIIM Clock Divider	MIIM clock divider，默认值为 20。
Enable DDR3	开启 DDR3 Memory，默认关闭。
Enable PSRAM	开启 PSRAM Memory，默认关闭。
Enable SPI-Flash	开启 SPI-Flash Memory 下载功能和 Memory 读、写、擦除功能，默认关闭。
Enable AHB Master [1]	开启 AHB Master [1]，默认关闭。
Enable AHB Master [2]	开启 AHB Master [2]，默认关闭。
Enable AHB Master [3]	开启 AHB Master [3]，默认关闭。
Enable AHB Master [4]	开启 AHB Master [4]，默认关闭。
Enable AHB Master [5]	开启 AHB Master [5]，默认关闭。
Enable AHB Master [6]	开启 AHB Master [6]，默认关闭。
Enable UART0	开启串口 0，默认关闭。
Enable UART1	开启串口 1，默认关闭。
Enable Timer0	开启定时器 0，默认关闭。
Enable Timer1	开启定时器 1，默认关闭。
Enable WatchDog	开启看门狗，默认关闭。
Enable RTC	开启 RTC，默认关闭。
Enable TRNG	开启 TRNG，默认关闭。
Enable DualTimer	开启 DualTimer，默认关闭。
Enable I ² C	开启 I ² C Master，默认关闭。
Enable I ² C I/O	开启 I ² C Master inout 端口类型，默认开启
Enable SPI	开启 SPI Master，默认关闭。
Enable SD-Card	开启 SD-Card，默认关闭。
Enable APB Master [1]	开启 APB Master [1]，默认关闭。
Enable APB Master [2]	开启 APB Master [2]，默认关闭。
Enable APB Master [3]	开启 APB Master [3]，默认关闭。
Enable APB Master [4]	开启 APB Master [4]，默认关闭。

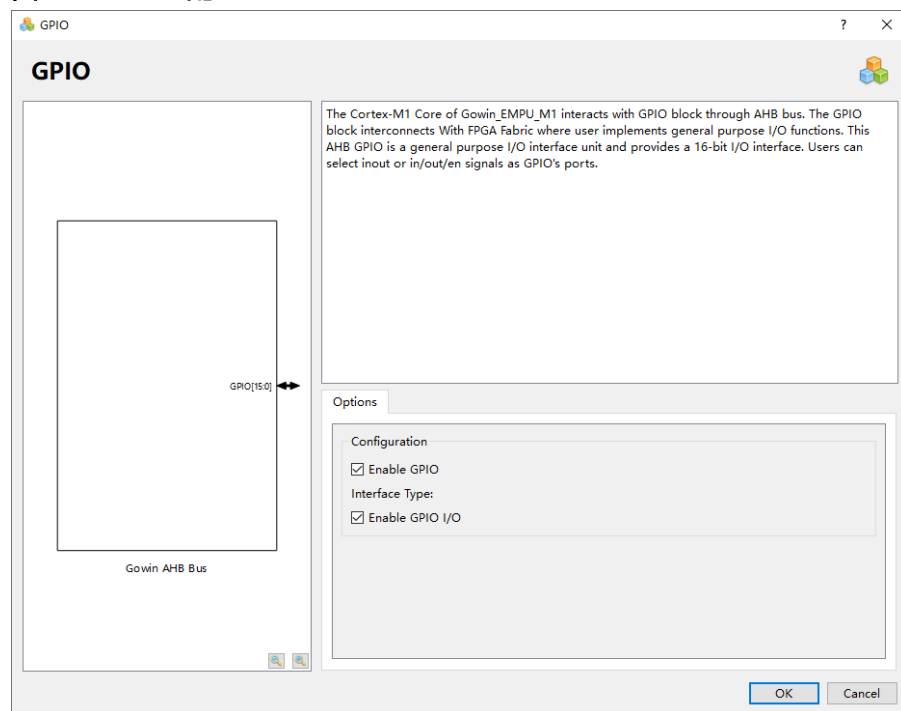
配置选项	描述
Enable APB Master [5]	开启 APB Master [5], 默认关闭。
Enable APB Master [6]	开启 APB Master [6], 默认关闭。
Enable APB Master [7]	开启 APB Master [7], 默认关闭。
Enable APB Master [8]	开启 APB Master [8], 默认关闭。
Enable APB Master [9]	开启 APB Master [9], 默认关闭。
Enable APB Master [10]	开启 APB Master [10], 默认关闭。
Enable APB Master [11]	开启 APB Master [11], 默认关闭。
Enable APB Master [12]	开启 APB Master [12], 默认关闭。
Enable APB Master [13]	开启 APB Master [13], 默认关闭。
Enable APB Master [14]	开启 APB Master [14], 默认关闭。
Enable APB Master [15]	开启 APB Master [15], 默认关闭。
Enable APB Master [16]	开启 APB Master [16], 默认关闭。

GPIO 配置

双击打开 GPIO，可以选择配置 GPIO，如图 3-11 所示。

- 如果选择“Enable GPIO”，则 Gowin_EMPU_M1 支持 GPIO，默认关闭；
- 如果已经选择 Enable GPIO，则可以配置 GPIO 端口类型；
- 如果选择 Enable GPIO I/O，则 GPIO 支持 INOUT 端口类型，否则支持 IN、OUT、EN 端口类型，默认支持 INOUT 端口类型。

图 3-11 GPIO 配置

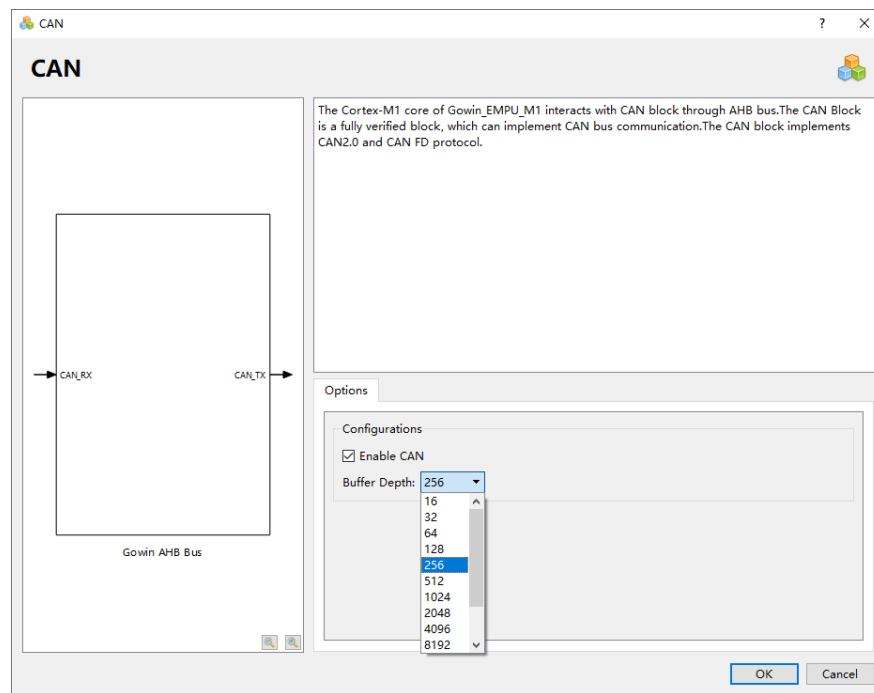


CAN 配置

双击打开 CAN，可以选择配置 CAN，如图 3-12 所示。

- 如果选择“Enable CAN”，则 Gowin_EMPU_M1 支持 CAN，默认关闭；
- 如果已经选择“Enable CAN”，则可以配置 Buffer Depth；
- 选择“Buffer Depth”，配置 Buffer Depth，默认值为 256。

图 3-12 CAN 配置



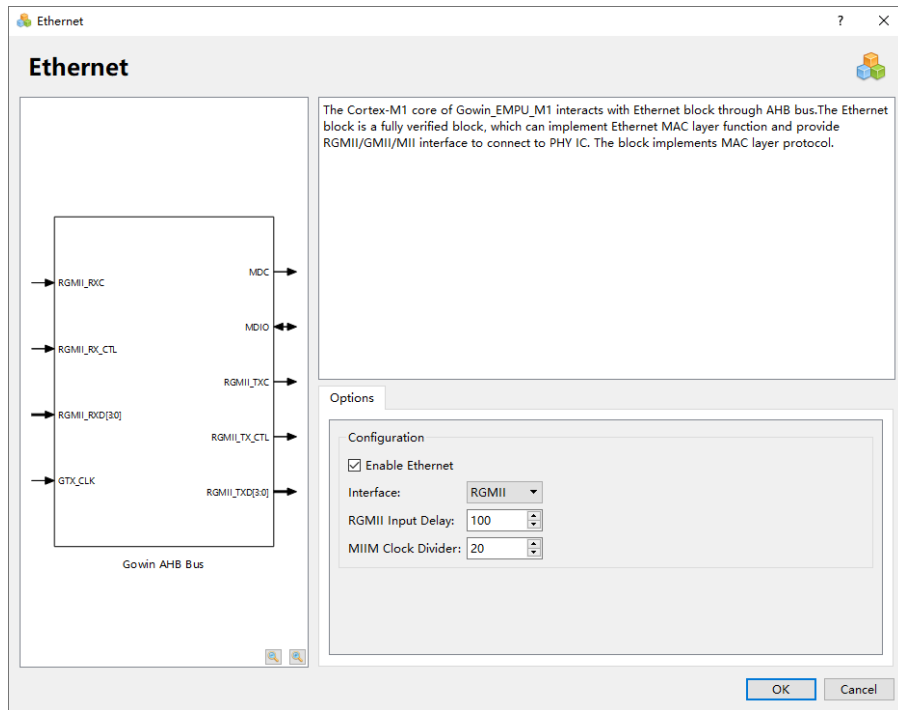
Ethernet 配置

双击打开 Ethernet，可以选择配置 Ethernet，如图 3-13 所示。

- 如果选择“Enable Ethernet”，则 Gowin_EMPU_M1 支持 Ethernet，默认关闭；
- 如果已经选择“Enable Ethernet”，则可以配置 Interface、RGMII Input Delay、MIIM Clock Divider。
 - 选择“Interface”，可以选择配置 RGMII、GMII、MII 或 GMII/MII，默认为 RGMII；
 - 如果选择“Interface”为 RGMII，则可以选择配置 RGMII Input Delay，默认值为 100；
 - 选择“MIIM Clock Divider”，可以配置 MIIM Clock Divider，默认值为 20。
- 如果“Interface”选择“RGMII”或“GMII”，则端口 GTX_CLK 必须接入 125MHz 的时钟输入；

- Gowin_EMPU_M1 Ethernet 支持“lwIP”和“uIP”TCP/IP 软件协议栈，请参考...\ref_design\MCU_RefDesign\MDK_RefDesign\cm1_tcpip。

图 3-13 Ethernet 配置

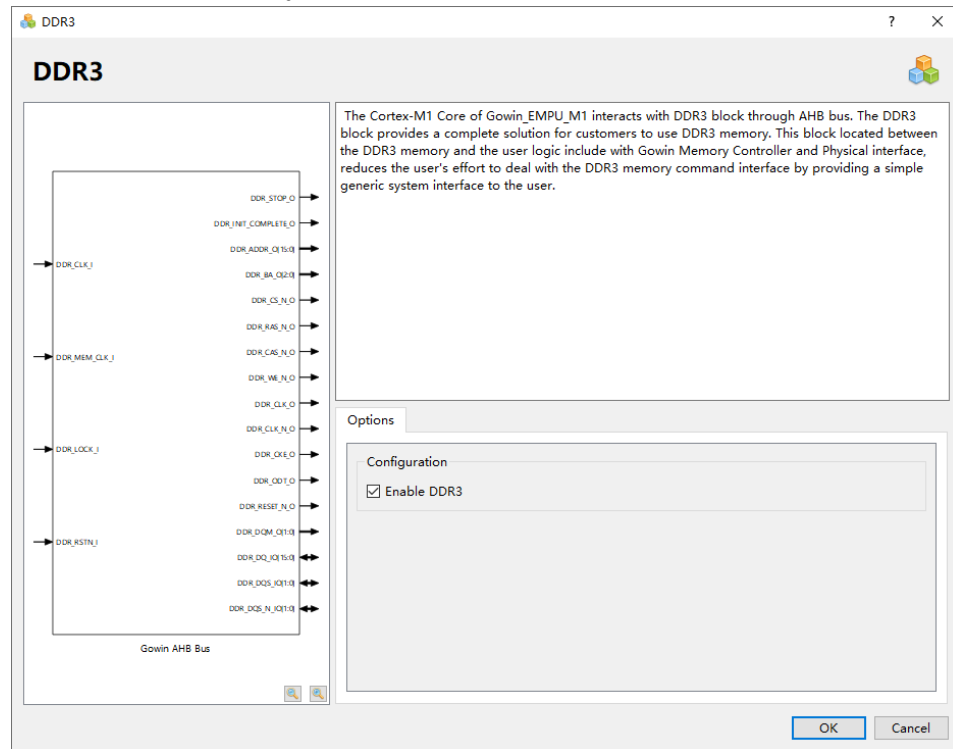


DDR3 Memory 配置

双击打开 DDR3 Memory，可以选择配置 DDR3 Memory，如图 3-14 所示。

- 如果选择“Enable DDR3”，则 Gowin_EMPU_M1 支持 DDR3 Memory，默认关闭；
- 端口 DDR_MEM_CLK_I，用户输入颗粒接口频率，推荐接入 200MHz 的时钟输入；
- 端口 DDR_CLK_I，参考输入时钟，推荐接入 50MHz 的时钟输入。

图 3-14 DDR3 Memory 配置



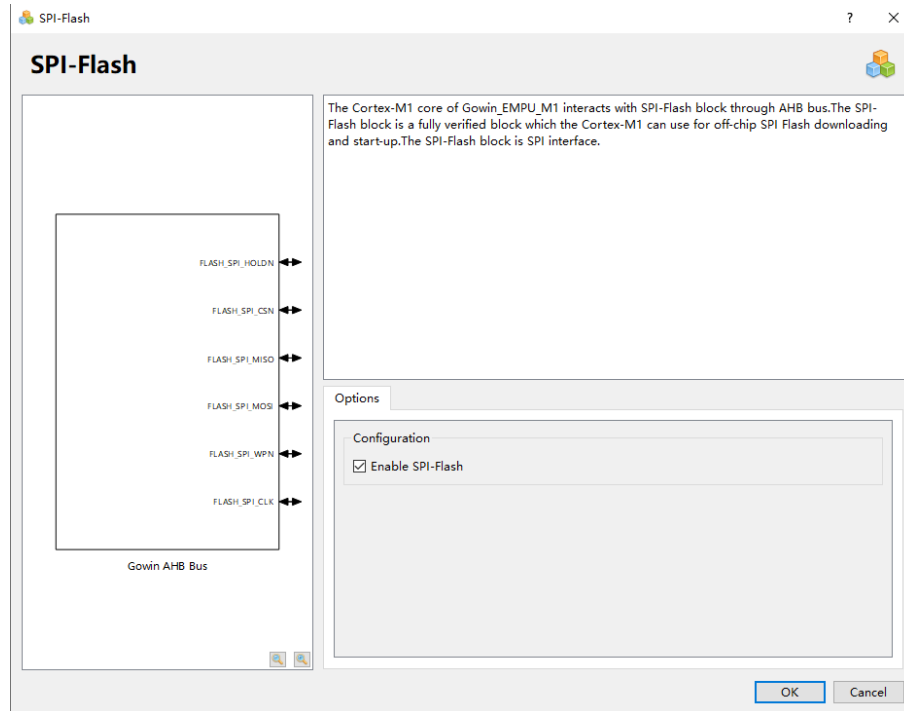
SPI-Flash Memory 配置

SPI-Flash Memory 支持下载功能，和 Memory 读、写、擦除功能：

双击打开 SPI-Flash Memory，可以选择配置 SPI-Flash Memory，如图 3-15 所示。

- 如果选择“Enable SPI-Flash”，则 Gowin_EMPU_M1 支持 SPI-Flash Memory，默认关闭；
- 如果 Gowin_EMPU_M1 使用片外 SPI-Flash Memory 下载引导方式，则必须选择 Enable SPI-Flash。

图 3-15 SPI-Flash Memory 配置

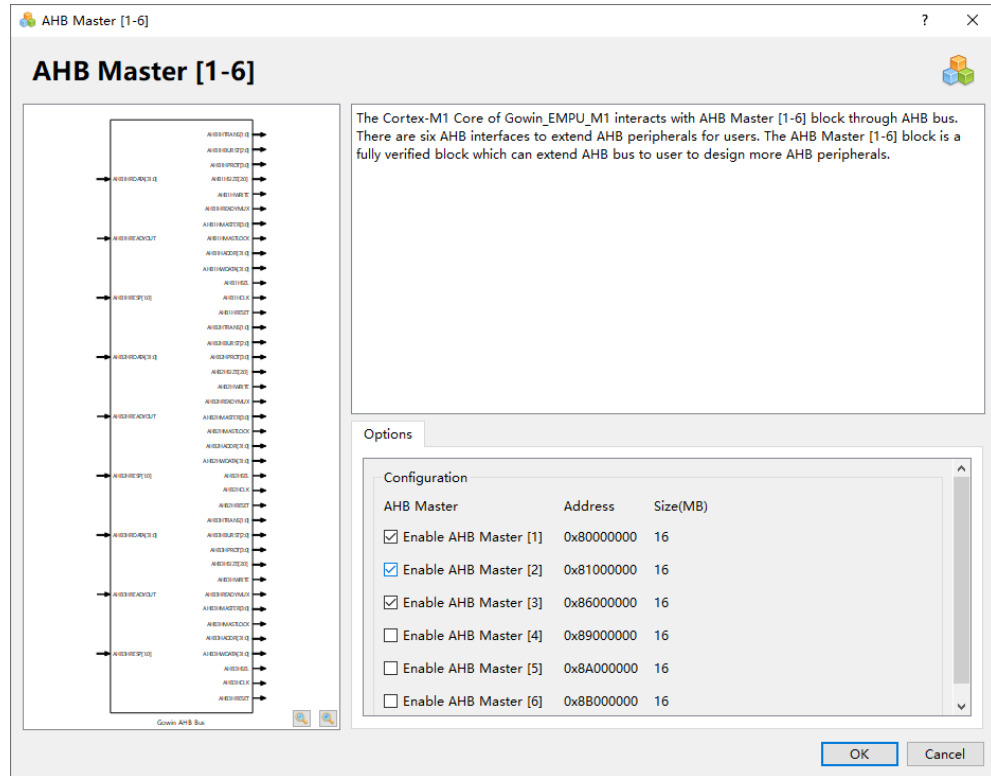


AHB Master [1-6]配置

双击打开 AHB Master [1-6]，可以选择配置 AHB Master [1-6]用户 AHB 总线扩展接口，如图 3-16 所示。

- 如果选择“Enable AHB Master [1]”，则 Gowin_EMPU_M1 支持 AHB Master [1]用户 AHB 总线扩展接口，用户可以在此接口扩展 AHB 外部设备，默认关闭；
- 如果选择“Enable AHB Master [2]”，则 Gowin_EMPU_M1 支持 AHB Master [2]用户 AHB 总线扩展接口，用户可以在此接口扩展 AHB 外部设备，默认关闭；
- 如果选择“Enable AHB Master [3]”，则 Gowin_EMPU_M1 支持 AHB Master [3]用户 AHB 总线扩展接口，用户可以在此接口扩展 AHB 外部设备，默认关闭；
- 如果选择“Enable AHB Master [4]”，则 Gowin_EMPU_M1 支持 AHB Master [4]用户 AHB 总线扩展接口，用户可以在此接口扩展 AHB 外部设备，默认关闭；
- 如果选择“Enable AHB Master [5]”，则 Gowin_EMPU_M1 支持 AHB Master [5]用户 AHB 总线扩展接口，用户可以在此接口扩展 AHB 外部设备，默认关闭；
- 如果选择“Enable AHB Master [6]”，则 Gowin_EMPU_M1 支持 AHB Master [6]用户 AHB 总线扩展接口，用户可以在此接口扩展 AHB 外部设备，默认关闭。

图 3-16 AHB Master [1-6]配置



AHB Master [1-6]用户 AHB 总线扩展接口的起始地址和地址空间定义，如表 3-3 所示。

表 3-3 AHB Master [1-6]地址定义

AHB 总线接口	起始地址	Size (MB)
AHB Master [1]	0x80000000	16
AHB Master [2]	0x81000000	16
AHB Master [3]	0x86000000	16
AHB Master [4]	0x89000000	16
AHB Master [5]	0x8A000000	16
AHB Master [6]	0x8B000000	16

如果用户在此 AHB 扩展接口上扩展的 AHB 外部设备需要支持外部中断信号，请参考以下两种方式：

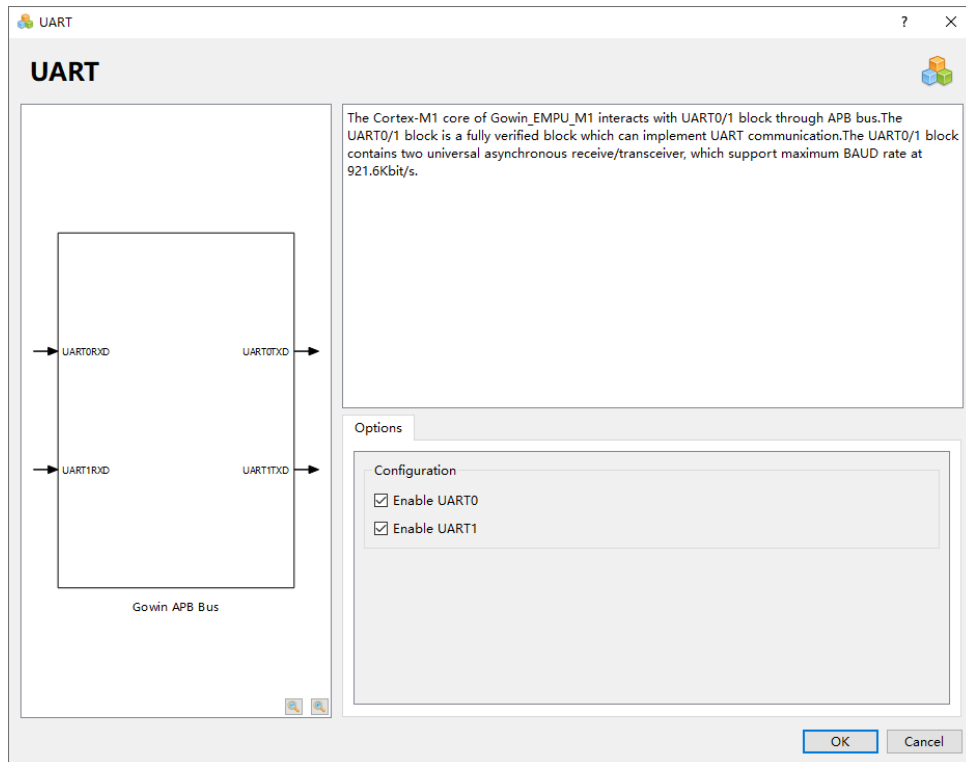
- **Enable External Interrupts**，开启 4 个扩展的外部中断信号，接入扩展外设的中断信号；
- 如果上述 4 个外部中断信号仍不够用，可以 **Enable GPIO**，以 **GPIO[15:0]** 模拟外部中断信号。

UART 配置

双击打开 UART0 或 UART1，可以选择配置 UART0 或 UART1，如图 3-17 所示。

- 如果选择“Enable UART0”，则 Gowin_EMPU_M1 支持 UART0，默认关闭；
- 如果选择“Enable UART1”，则 Gowin_EMPU_M1 支持 UART1，默认关闭。

图 3-17 UART 配置

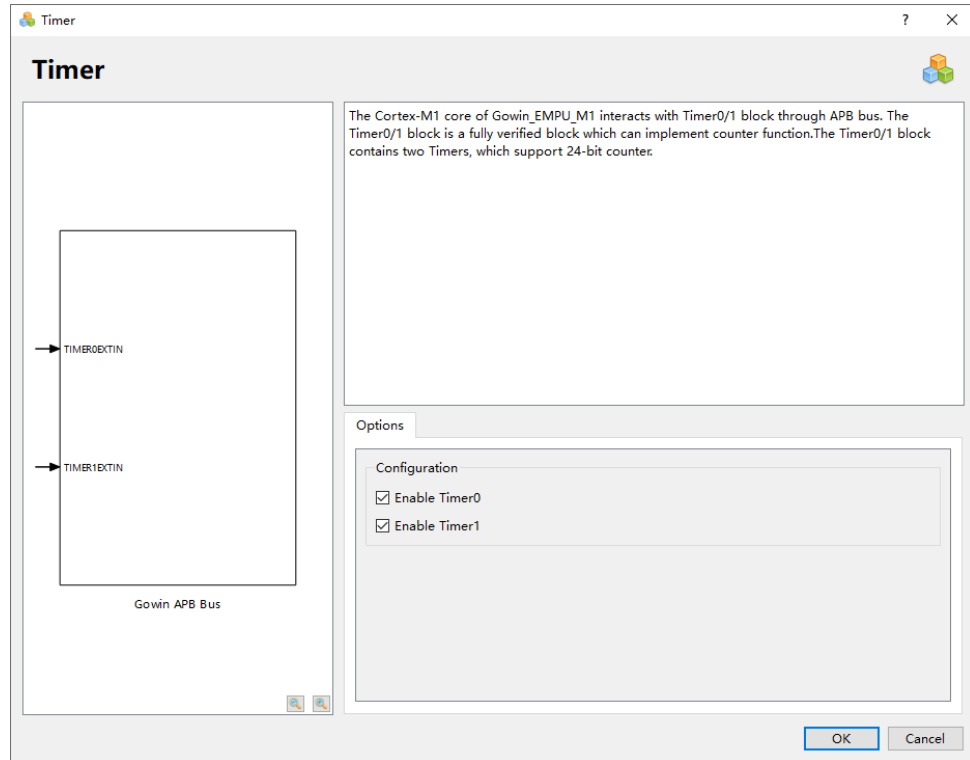


Timer 配置

双击打开 Timer0 或 Timer1，可以选择配置 Timer0 或 Timer1，如图 3-18 所示。

- 如果选择“Enable Timer0”，则 Gowin_EMPU_M1 支持 Timer0，默认关闭；
- 如果选择“Enable Timer1”，则 Gowin_EMPU_M1 支持 Timer1，默认关闭。

图 3-18 Timer 配置

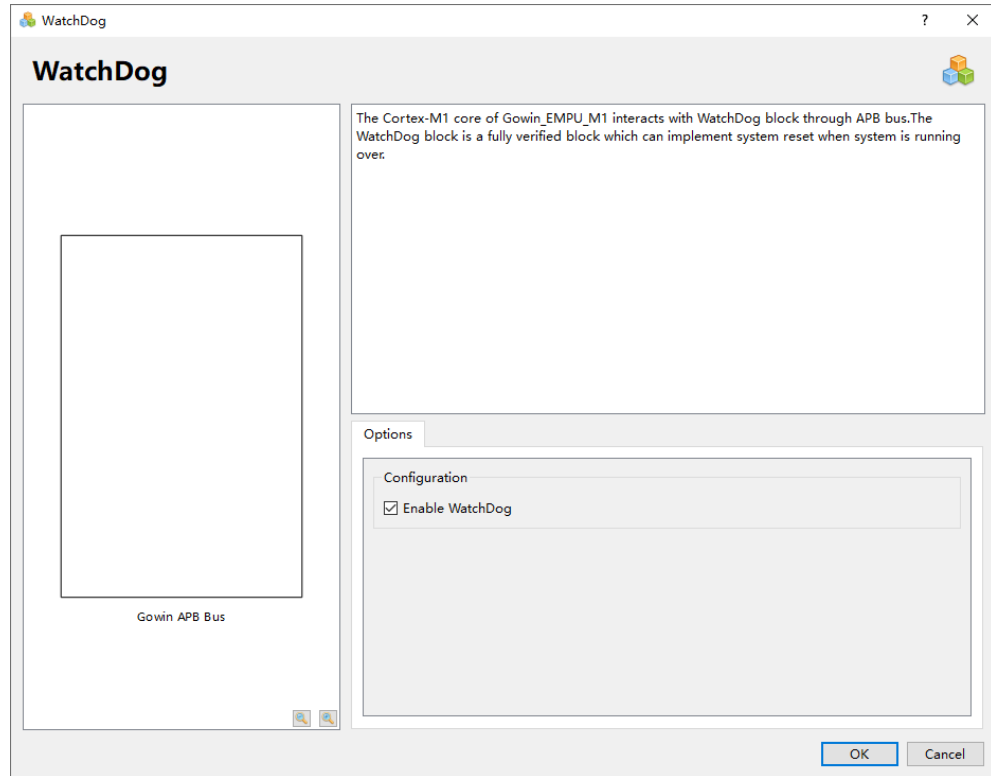


WatchDog 配置

双击打开 WatchDog，可以选择配置 WatchDog，如图 3-19 所示。

如果选择“Enable WatchDog”，则 Gowin_EMPU_M1 支持 WatchDog，默认关闭。

图 3-19 WatchDog 配置



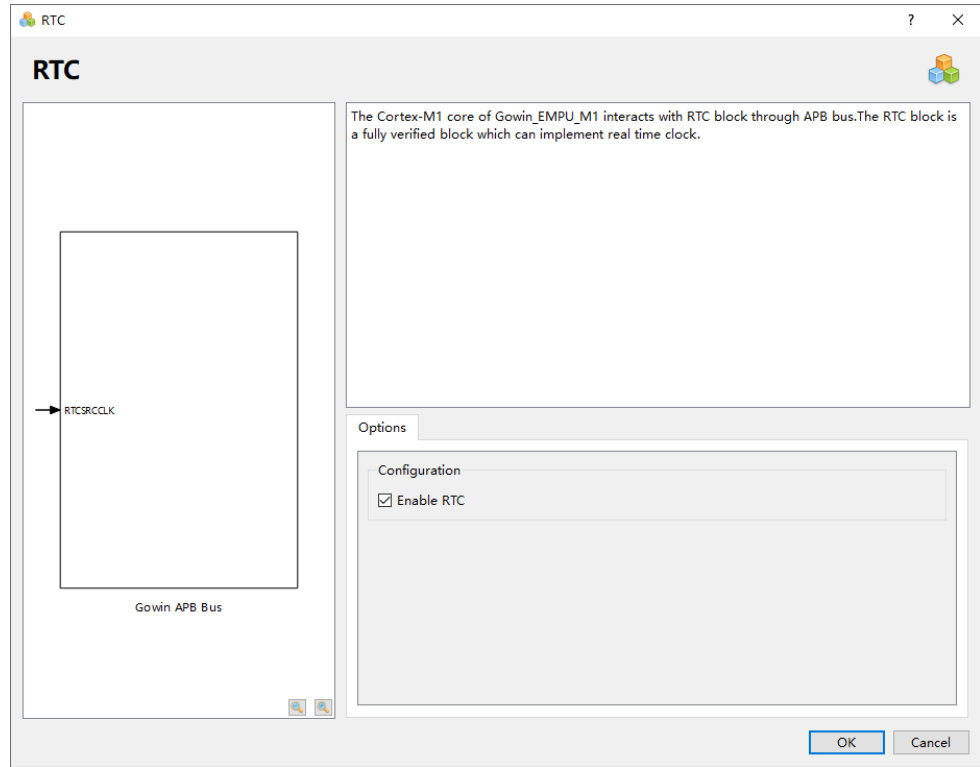
RTC 配置

双击打开 RTC，可以选择配置 RTC，如图 3-20 所示。

如果选择“Enable RTC”，则 Gowin_EMPU_M1 支持 RTC，默认关闭。

端口 RTCSRCLK 接入 3.072MHz 的时钟输入，RTC 内部分频为 1Hz。

图 3-20 RTC 配置

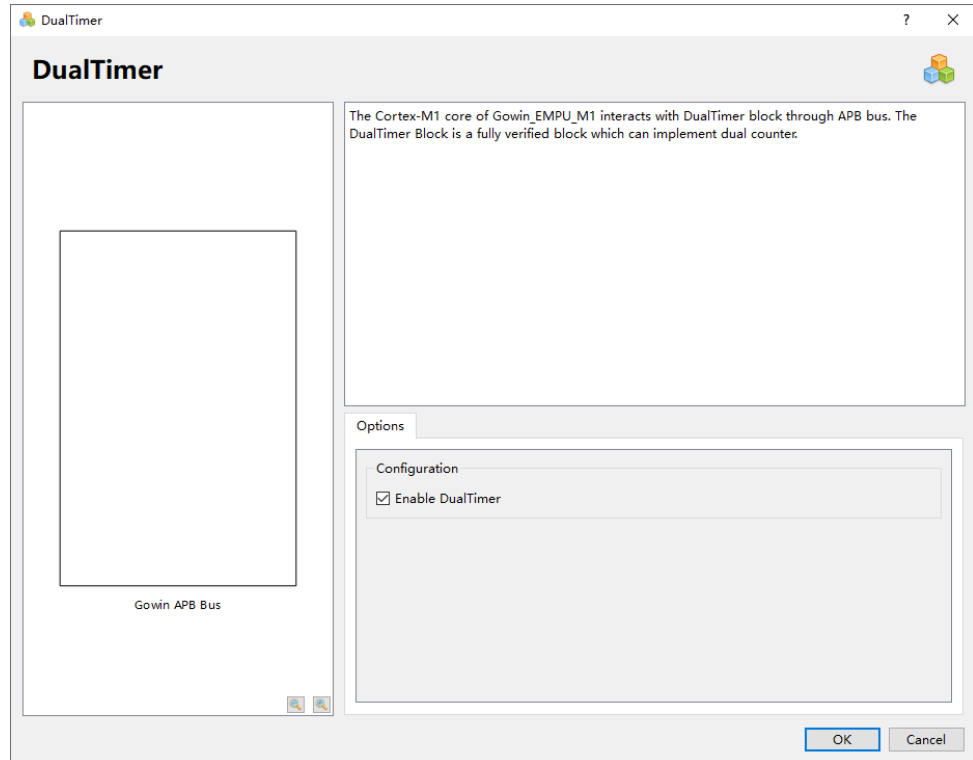


DualTimer 配置

双击打开 DualTimer，可以选择配置 DualTimer，如图 3-21 所示。

如果选择“Enable DualTimer”，则 Gowin_EMPU_M1 支持 DualTimer，默认关闭。

图 3-21 DualTimer 配置

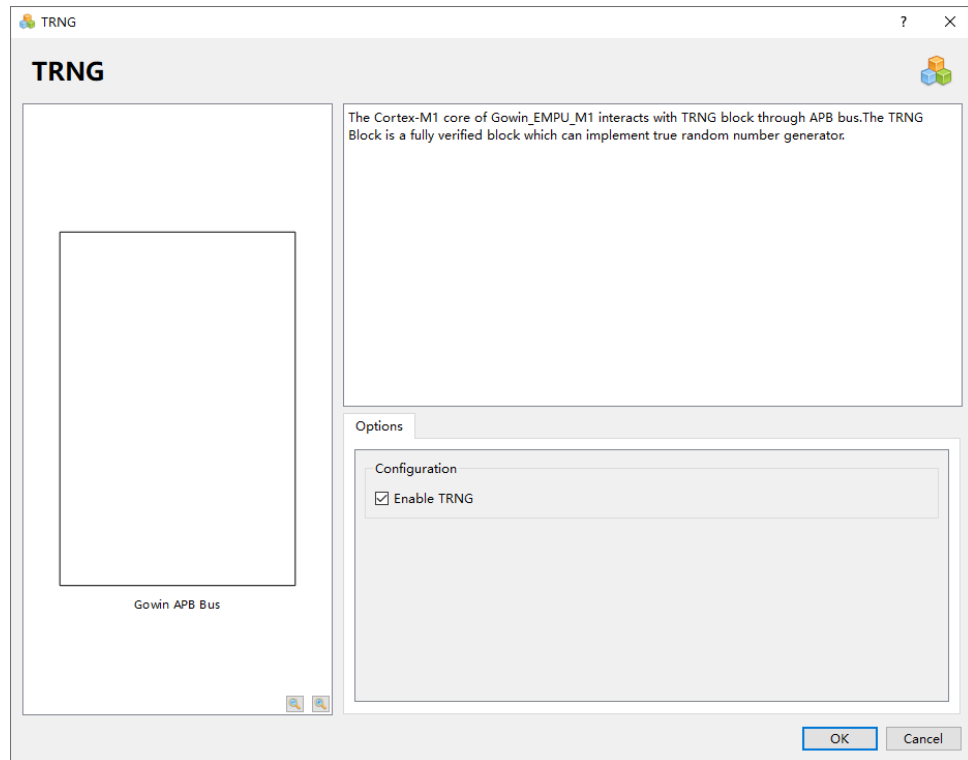


TRNG 配置

双击打开 TRNG，可以选择配置 TRNG，如图 3-22 所示。

如果选择“Enable TRNG”，则 Gowin_EMPU_M1 支持 TRNG，默认关闭。

图 3-22 TRNG 配置

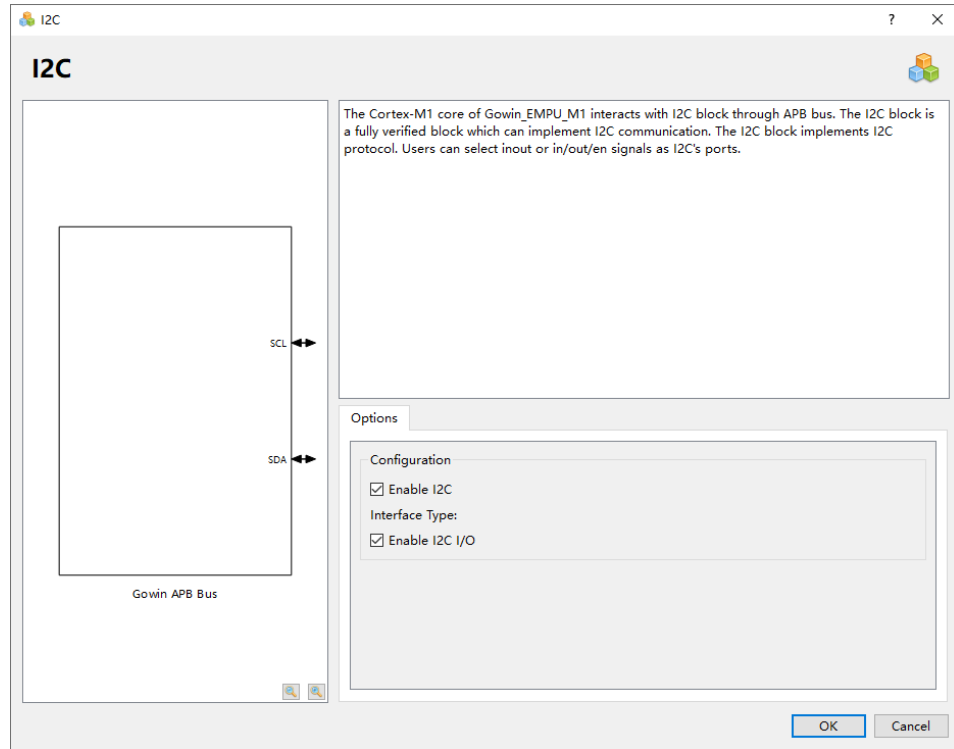


I²C 配置

双击打开 I²C，可以选择配置 I²C Master，如图 3-23 所示。

- 如果选择“Enable I²C”，则 Gowin_EMPU_M1 支持 I²C Master，默认关闭；
- 如果已经选择“Enable I²C”，则可以配置 I²C Master 端口类型；
- 如果选择“Enable I²C I/O”，则 I²C Master 支持 INOUT 端口类型，否则支持 IN、OUT、EN 端口类型，默认支持 INOUT 端口类型。

图 3-23 I2C 配置

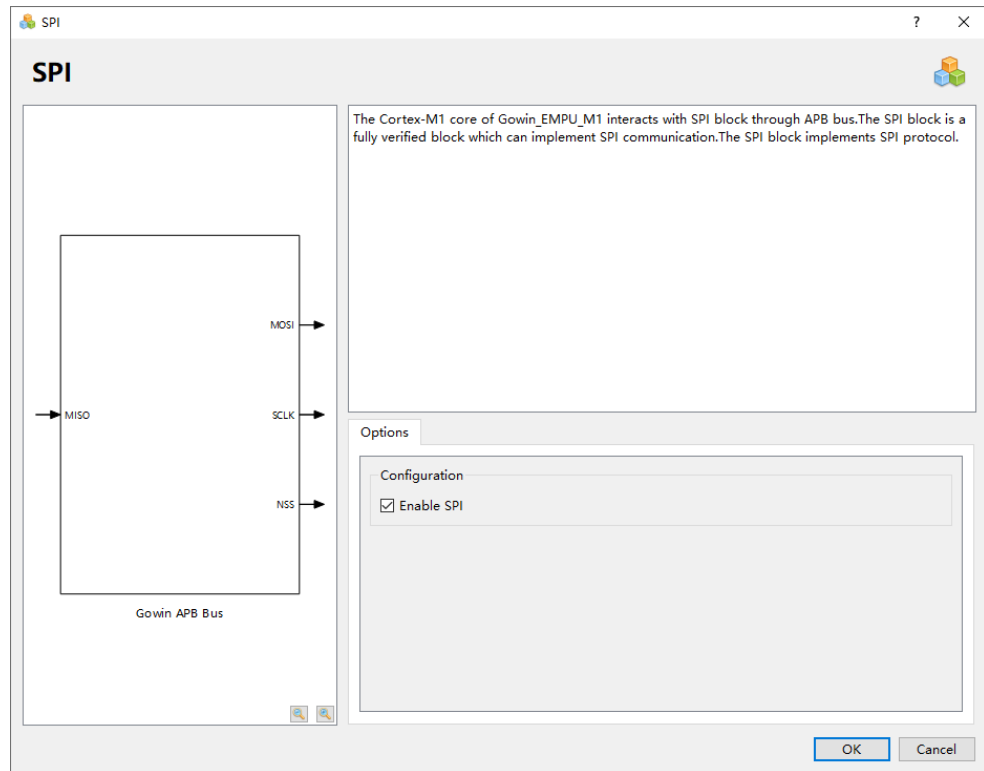


SPI 配置

双击打开 SPI，可以选择配置 SPI Master，如图 3-24 所示。

如果选择“Enable SPI”，则 Gowin_EMPU_M1 支持 SPI Master，默认关闭。

图 3-24 SPI 配置

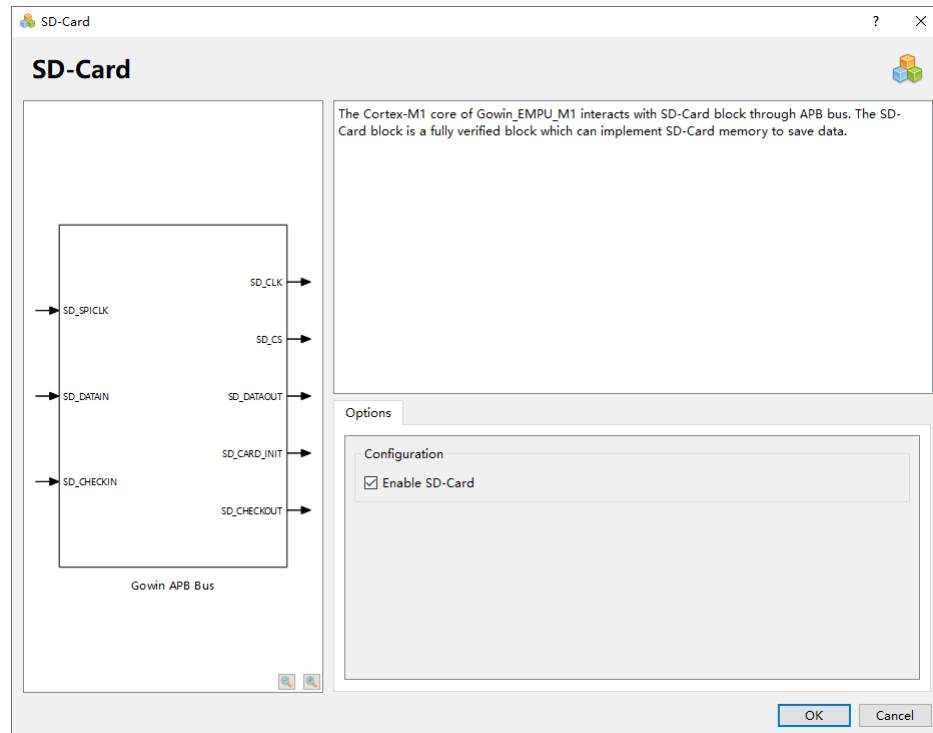


SD-Card 配置

双击打开 SD-Card，可以选择配置 SD-Card，如图 3-25 所示。

- 如果选择“Enable SD-Card”，则 Gowin_EMPU_M1 支持 SD-Card，默认关闭；
- 端口 SD_SPICLK，必须接入 30MHz 的时钟输入；
- 所用 SD-Card 外设，仅支持 FAT16、4GB 以内的 SD-Card。

图 3-25 SD-Card 配置



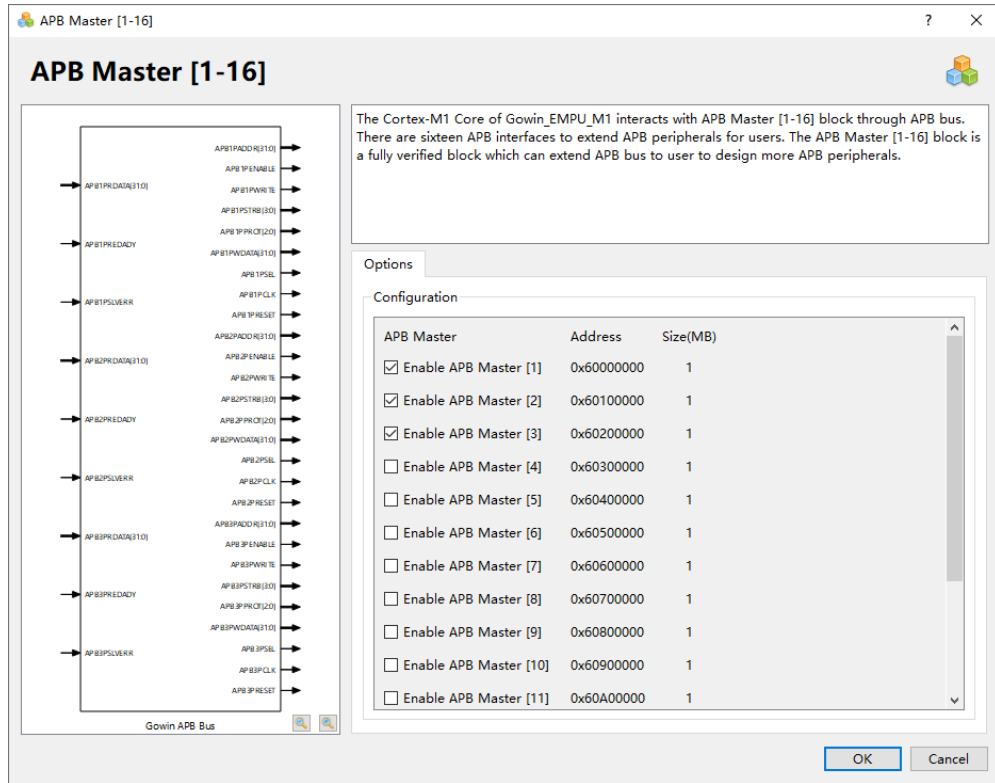
APB Master [1-16]配置

双击打开 APB Master [1-16]，可以选择配置 APB Master [1-16]，如图 3-26 所示。

- 如果选择“Enable APB Master [1]”，则 Gowin_EMPU_M1 支持 APB Master [1]用户 APB 总线扩展接口，用户可以在此接口扩展 APB 外部设备，默认关闭；
- 如果选择“Enable APB Master [2]”，则 Gowin_EMPU_M1 支持 APB Master [2]用户 APB 总线扩展接口，用户可以在此接口扩展 APB 外部设备，默认关闭；
- 如果选择“Enable APB Master [3]”，则 Gowin_EMPU_M1 支持 APB Master [3]用户 APB 总线扩展接口，用户可以在此接口扩展 APB 外部设备，默认关闭；
- 如果选择“Enable APB Master [4]”，则 Gowin_EMPU_M1 支持 APB Master [4]用户 APB 总线扩展接口，用户可以在此接口扩展 APB 外部设备，默认关闭；
- 如果选择“Enable APB Master [5]”，则 Gowin_EMPU_M1 支持 APB Master [5]用户 APB 总线扩展接口，用户可以在此接口扩展 APB 外部设备，默认关闭；
- 如果选择“Enable APB Master [6]”，则 Gowin_EMPU_M1 支持 APB Master [6]用户 APB 总线扩展接口，用户可以在此接口扩展 APB 外部设备，默认关闭；

- 如果选择“Enable APB Master [7]”，则 Gowin_EMPU_M1 支持 APB Master [7]用户 APB 总线扩展接口，用户可以在此接口扩展 APB 外部设备，默认关闭；
- 如果选择“Enable APB Master [8]”，则 Gowin_EMPU_M1 支持 APB Master [8]用户 APB 总线扩展接口，用户可以在此接口扩展 APB 外部设备，默认关闭；
- 如果选择“Enable APB Master [9]”，则 Gowin_EMPU_M1 支持 APB Master [9]用户 APB 总线扩展接口，用户可以在此接口扩展 APB 外部设备，默认关闭；
- 如果选择“Enable APB Master [10]”，则 Gowin_EMPU_M1 支持 APB Master [10]用户 APB 总线扩展接口，用户可以在此接口扩展 APB 外部设备，默认关闭；
- 如果选择“Enable APB Master [11]”，则 Gowin_EMPU_M1 支持 APB Master [11]用户 APB 总线扩展接口，用户可以在此接口扩展 APB 外部设备，默认关闭；
- 如果选择“Enable APB Master [12]”，则 Gowin_EMPU_M1 支持 APB Master [12]用户 APB 总线扩展接口，用户可以在此接口扩展 APB 外部设备，默认关闭；
- 如果选择“Enable APB Master [13]”，则 Gowin_EMPU_M1 支持 APB Master [13]用户 APB 总线扩展接口，用户可以在此接口扩展 APB 外部设备，默认关闭；
- 如果选择“Enable APB Master [14]”，则 Gowin_EMPU_M1 支持 APB Master [14]用户 APB 总线扩展接口，用户可以在此接口扩展 APB 外部设备，默认关闭；
- 如果选择“Enable APB Master [15]”，则 Gowin_EMPU_M1 支持 APB Master [15]用户 APB 总线扩展接口，用户可以在此接口扩展 APB 外部设备，默认关闭；
- 如果选择“Enable APB Master [16]”，则 Gowin_EMPU_M1 支持 APB Master [16]用户 APB 总线扩展接口，用户可以在此接口扩展 APB 外部设备，默认关闭。

图 3-26 APB Master [1-16]配置



APB Master [1-16]用户 APB 总线扩展接口的起始地址和地址空间定义，如表 3-4 所示。

表 3-4 APB Master [1-16]地址定义

APB 总线接口	起始地址	Size (MB)
APB Master [1]	0x60000000	1
APB Master [2]	0x60100000	1
APB Master [3]	0x60200000	1
APB Master [4]	0x60300000	1
APB Master [5]	0x60400000	1
APB Master [6]	0x60500000	1
APB Master [7]	0x60600000	1
APB Master [8]	0x60700000	1
APB Master [9]	0x60800000	1
APB Master [10]	0x60900000	1
APB Master [11]	0x60A00000	1
APB Master [12]	0x60B00000	1
APB Master [13]	0x60C00000	1
APB Master [14]	0x60D00000	1
APB Master [15]	0x60E00000	1
APB Master [16]	0x60F00000	1

如果用户在此 APB 扩展接口上扩展的 APB 外部设备需要支持外部中断信号，请参考以下两种方式：

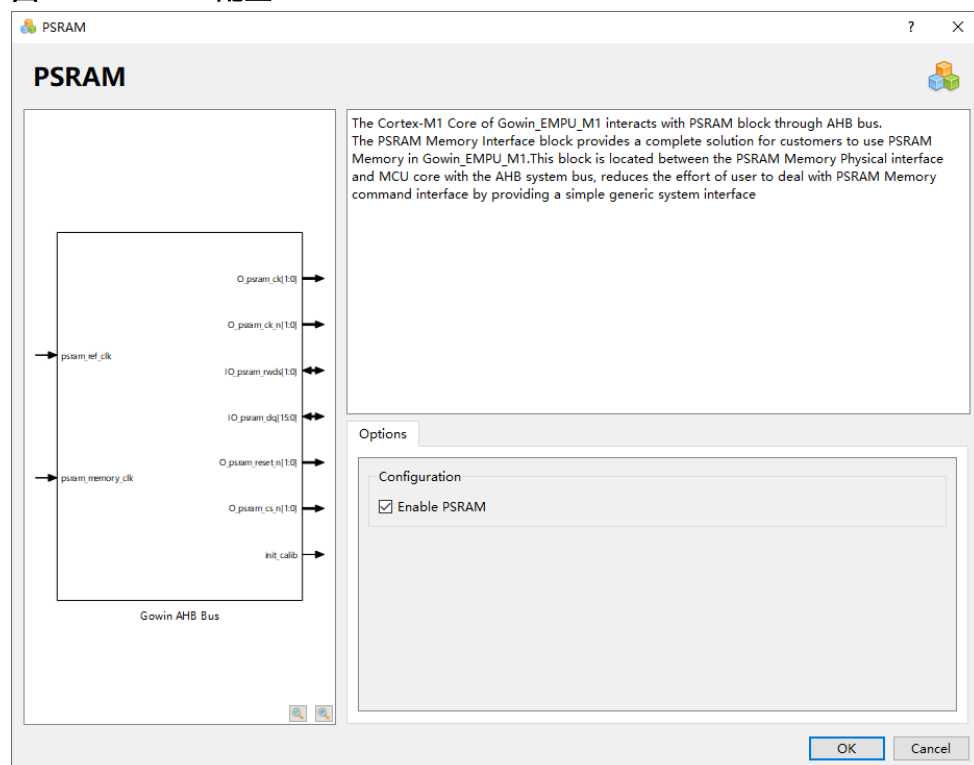
- **Enable External Interrupts**，开启 4 个扩展的外部中断信号，接入扩展外设的中断信号；
- 如果上述 4 个外部中断信号仍不够用，可以 **Enable GPIO**，以 GPIO[15:0] 模拟外部中断信号。

PSRAM 配置

双击打开 PSRAM，可以选择配置 PSRAM，如图 3-27 所示。

- 如果选择“Enable PSRAM”，则 Gowin_EMPU_M1 支持 PSRAM，默认关闭；
- 仅以下器件支持 Gowin_EMPU_M1 PSRAM：
 - GW2AR-18 C 版 QFN88P
 - GW2AR-18 C 版 QFN88PF
 - GW2AR-18 C 版 eLQFP144P
 - GW2AR-18 C 版 eLQFP144PF
 - GW2ANR-18 C 版 QFN88

图 3-27 PSRAM 配置



3.3 用户设计

- 完成 Gowin_EMPU_M1 配置后，产生 Gowin_EMPU_M1 硬件设计；
- 实例化 Gowin_EMPU_M1 Top Module；
- 导入用户设计，连接 Gowin_EMPU_M1 Top Module 与用户设计，形成完整的 RTL 设计。

3.4 约束

完成用户 RTL 设计后，根据使用的开发板和需要输出的 IO，产生物理约束文件。

根据时序要求，产生时序约束文件。

物理约束的产生方法，请参考 [SUG935, Gowin 设计物理约束指南](#), [SUG1018, Arora V 设计物理约束用户指南](#)。

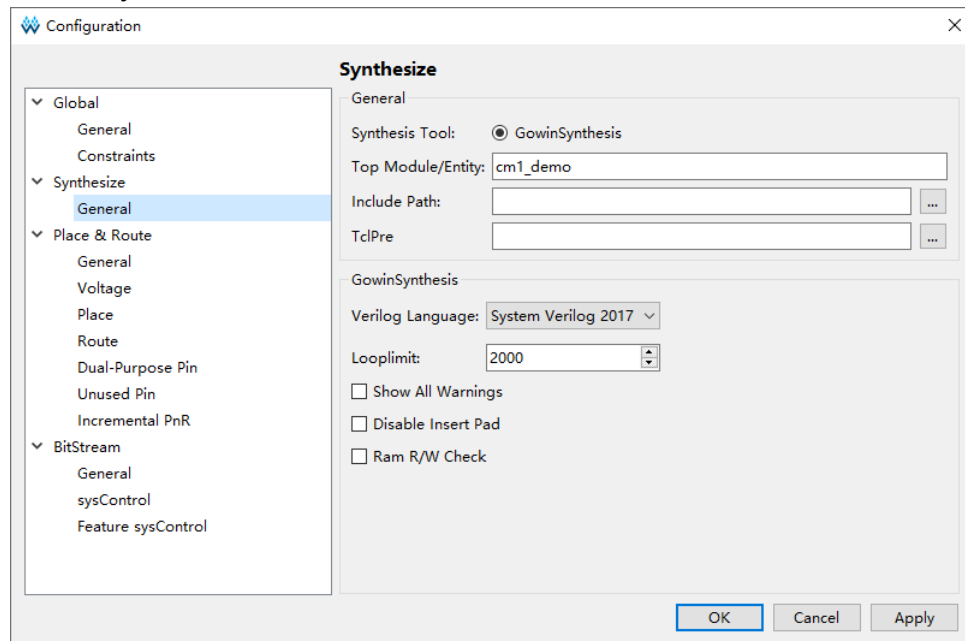
3.5 配置

3.5.1 Synthesize 配置

配置 “Synthesize > General” 选项，如图 3-28 所示。

- 根据设计中的实际顶层模块名称，配置 “Top Module/Entity”；
- 根据设计中的实际文件引用路径，配置 “Include Path”；
- 配置 “Verilog Language”，如 System Verilog 2017。

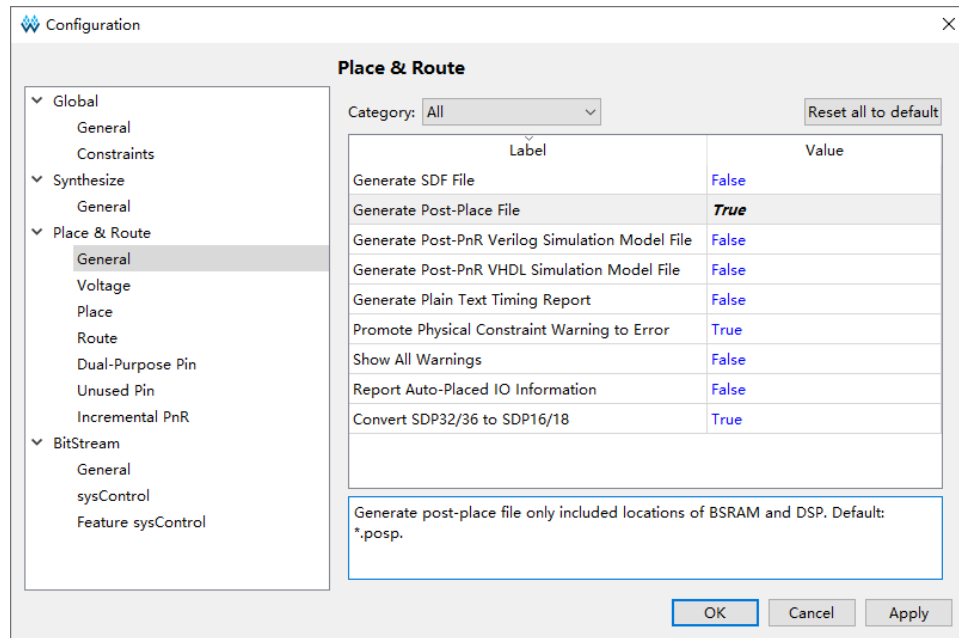
图 3-28 Synthesize 配置



3.5.2 Post-Place File 配置

如果使用 Gowin_EMPU_M1 软件编程设计和硬件设计自动化合并的下载方法，则需要配置“Place & Route > General > Generate Post-Place File”选项，产生 Post-Place File，如图 3-29 所示。

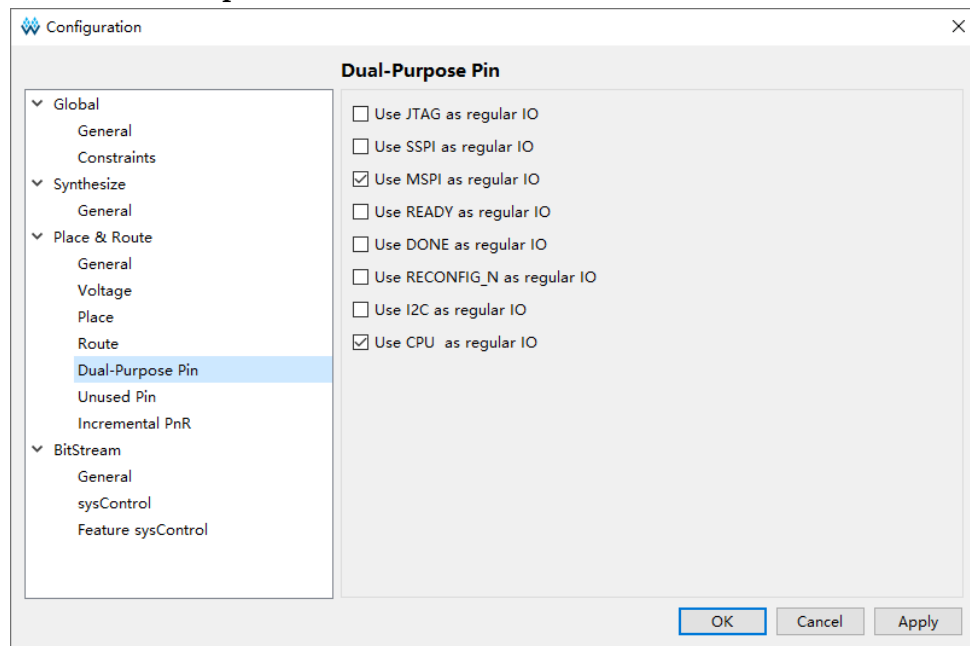
图 3-29 Post-Place File 配置



3.5.3 Dual-Purpose Pin 配置

如果 Gowin_EMPU_M1 使用片外 SPI-Flash Memory 下载引导方式，则需要配置“Place & Route > Dual-Purpose Pin”选项，复用 MSPI 端口和 CPU 端口为通用端口，否则不需要配置这些端口复用，如图 3-30 所示。

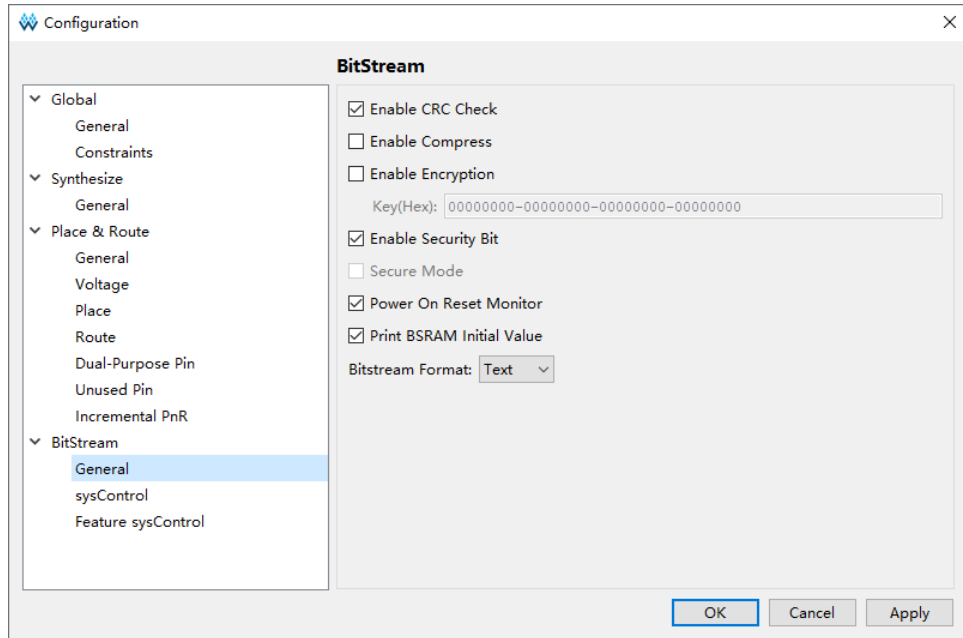
图 3-30 Dual-Purpose Pin 配置



3.5.4 Bitstream 配置

配置“Bitstream > General”选项，开启“Print BSRAM Initial Value”，如图 3-31 所示。

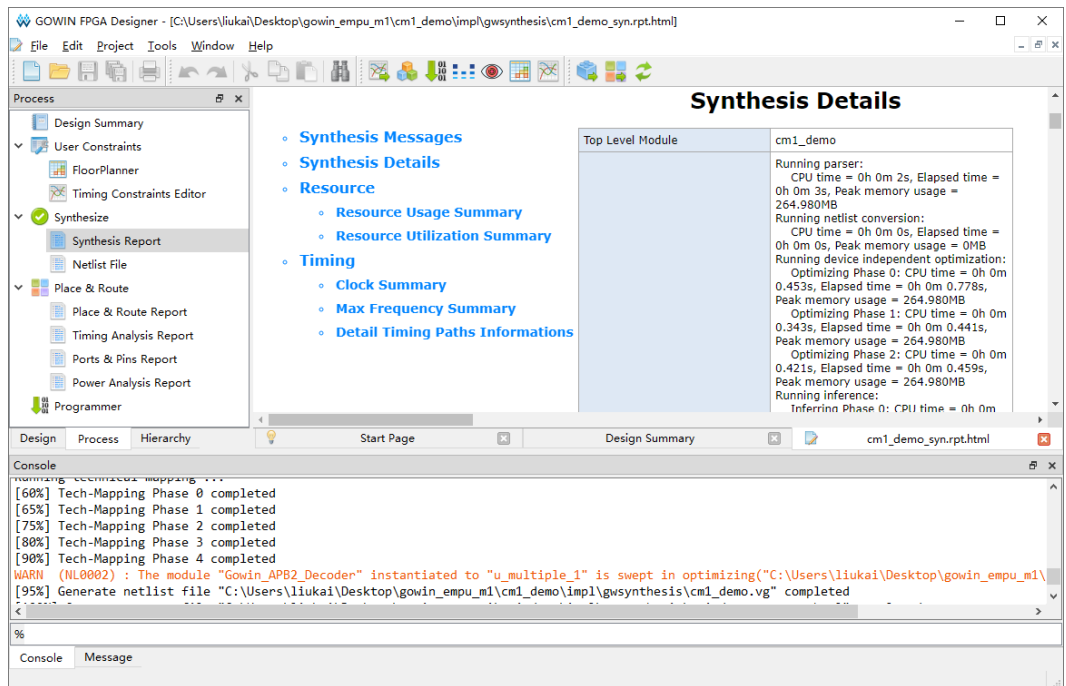
图 3-31 Bitstream 配置



3.6 综合

运行高云云源软件的综合工具 GowinSynthesis, 完成 RTL 设计的综合，如图 3-32 所示。

图 3-32 综合

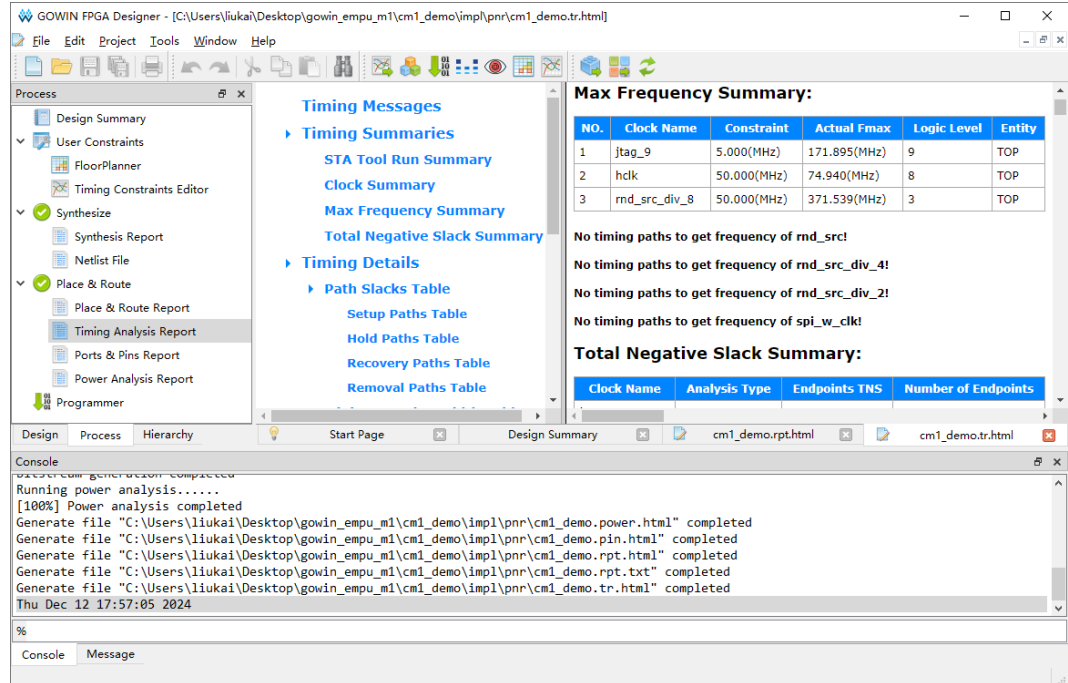


综合工具的使用方法，请参考 [SUG100, Gowin 云源软件用户指南](#)。

3.7 布局布线

运行高云云源软件的布局布线工具 Place & Route，完成布局布线，产生硬件设计码流文件，如图 3-33 所示。


图 3-33 布局布线



布局布线工具的使用方法，请参考 [SUG100, Gowin 云源软件用户指南](#)。

3.8 下载

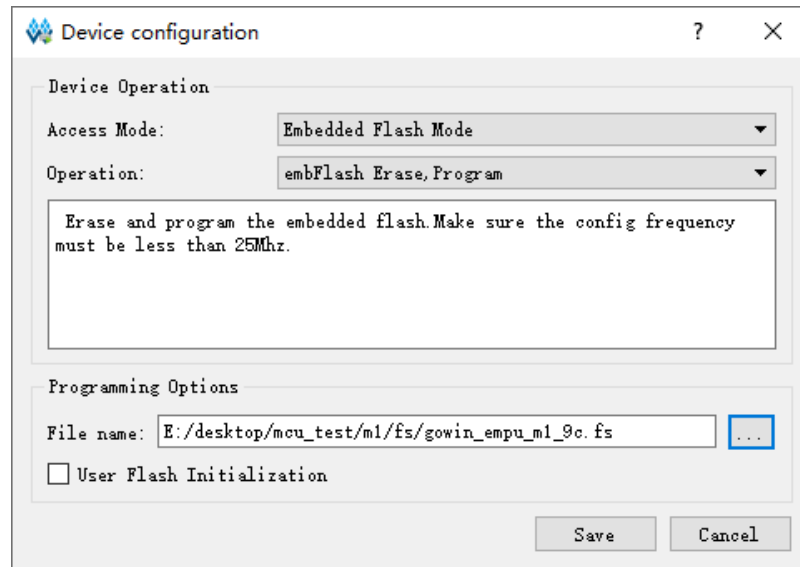
运行高云云源软件的下载工具 Programmer，下载硬件设计码流文件。

在高云云源软件中或软件安装路径中，打开下载工具 Programmer，单击 Programmer 菜单栏“Edit/Configure Device”或工具栏 Configure Device “”，打开“Device configuration”。

如果是 GW1N/R-9 器件，且“ITCM Select”配置为“Internal Instruction Memory”，则下载选项配置，如图 3-34 所示。

- “Access Mode”下拉列表，选择“Embedded Flash Mode”选项。
- “Operation”下拉列表，选择“embFlash Erase, Program”或“embFlash Erase, Program, Verify”选项。
- “Programming Options > File name”选项，引入需要下载的硬件设计码流文件。
- 单击“Save”，完成硬件设计码流文件下载选项配置。

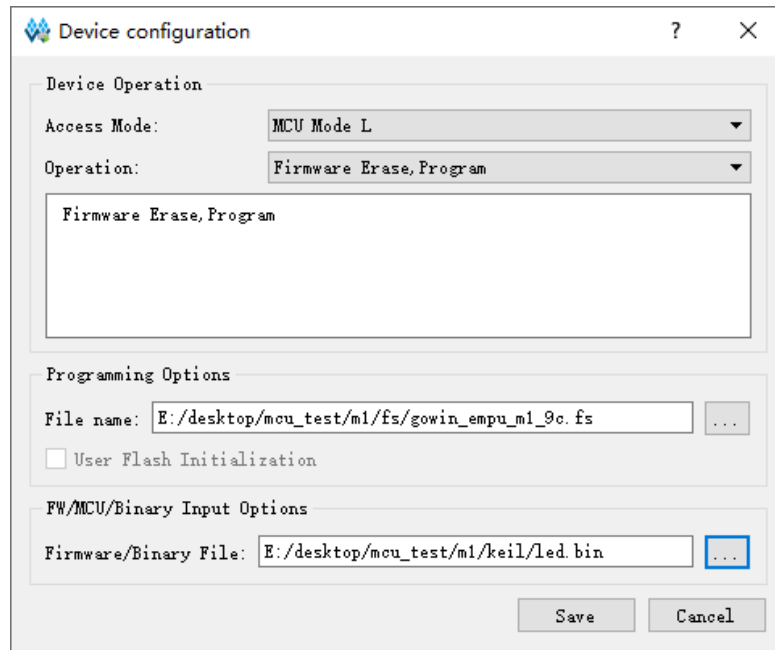
图 3-34 GW1N/R-9 下载配置 (Embedded Flash Mode)



如果是 GW1N/R-9 器件，且“ITCM Select”配置为“External Instruction Memory”，且选择内嵌 UserFlash 作为指令存储器，则下载选项配置，如图 3-35 所示。

- “Access Mode”下拉列表，选择“MCU Model L”选项。
- “Operation”下拉列表，选择“Firmware Erase, Program”或“Firmware Erase, Program, Verify”选项。
- “Programming Options > File name”选项，引入需要下载的硬件设计码流文件。
- “FW/MCU/Binary Input Options > Firmware/Binary File”选项，引入需要下载的软件编程设计 Binary 文件。
- 单击“Save”，同时完成硬件设计码流文件和软件编程设计 Binary 文件下载选项配置。

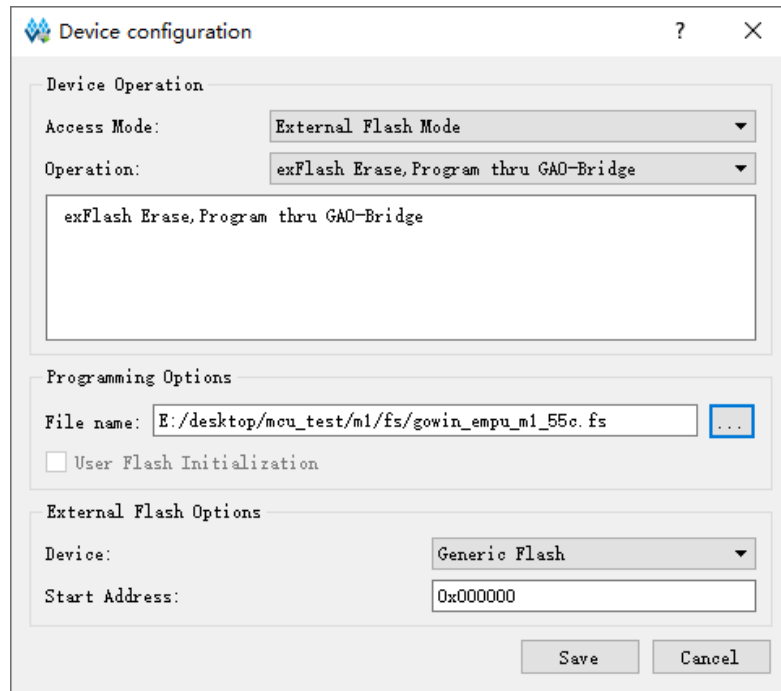
图 3-35 GW1N/R-9 下载配置 (MCU Mode L)



如果是 GW2AN-9X/18X、GW2A/R/NR-18、GW2A/N-55 器件，下载选项配置，如图 3-36 所示。

- “Access Mode” 下拉列表，选择 “External Flash Mode” 选项。
- “Operation” 下拉列表，选择 “exFlash Erase, Program thru GAO-Bridge” 或 “exFlash Erase, Program, Verify thru GAO-Bridge” 选项。
- “Programming Options > File name” 选项，引入需要下载的硬件设计码流文件。
- “External Flash Options > Device” 选项，选择 “Generic Flash”。
- “External Flash Options > Start Address” 选项，设置为 “0x000000”。
- 单击 “Save”，完成硬件设计码流文件下载选项配置。

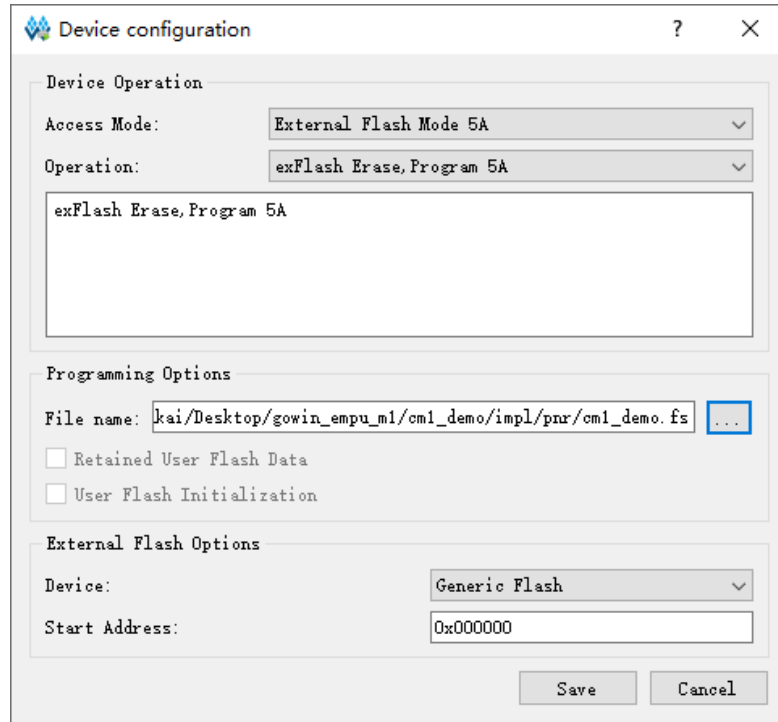
图 3-36 GW2AN-9X/18X、GW2A/R/NR-18、GW2A/N-55 下载配置




如果是 Arora V 器件，下载选项配置，如图 3-37 所示。

- “Access Mode” 下拉列表，选择 “External Flash Mode 5A” 选项。
- “Operation” 下拉列表，选择 “exFlash Erase, Program 5A” 或 “exFlash Erase, Program, Verify 5A” 选项。
- “Programming Options > File name” 选项，引入需要下载的硬件设计码流文件。
- “External Flash Options > Device” 选项，选择 “Generic Flash”。
- “External Flash Options > Start Address” 选项，设置为 “0x000000”。
- 单击 “Save”，完成硬件设计码流文件下载选项配置。

图 3-37 Arora V External Flash Mode 配置



完成 Device configuration 后，单击“Programmer”工具栏 Program/Configure “

下载工具 Programmer 的使用方法，请参考 [SUG502, Gowin Programmer 用户指南](#)。

4 参考设计

Gowin_EMPU_M1 提供硬件[参考设计](#):

- ...\\ref_design\FPGA_RefDesign\DK_START_DDR2_GW5A25_V1.0\gowin_empu_m1
- ...\\ref_design\FPGA_RefDesign\DK_START_GW1N9_V2.1\gowin_empu_m1
- ...\\ref_design\FPGA_RefDesign\DK_START_GW2A18_V2.0\gowin_empu_m1
- ...\\ref_design\FPGA_RefDesign\DK_START_GW2A55_V1.3\gowin_empu_m1
- ...\\ref_design\FPGA_RefDesign\DK_START_GW2AR18_V1.1\gowin_empu_m1
- ...\\ref_design\FPGA_RefDesign\DK_START_GW5A25_V2.0\gowin_empu_m1
- ...\\ref_design\FPGA_RefDesign\DK_START_GW5AST138_V1.0\gowin_empu_m1
- ...\\ref_design\FPGA_RefDesign\Tang_MEGA_138K_Pro_Dock\gowin_empu_m1
- ...\\ref_design\FPGA_RefDesign\DK_DP_GW5AT60_V1.0\gowin_empu_m1

Gowin_EMPU_M1 提供解决方案[参考设计](#):

- ...\\solution\Embedded_Memory\ref_design\FPGA_RefDesign\gowin_empu_m1
- ...\\solution\External_Memory\ref_design\FPGA_RefDesign\gowin_empu_m1

