



Gowin AEC IP 用户指南

IPUG761-1.1.1, 2025-05-30

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、**Arora-V**、GowinPnR、GoBridge 均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2021/01/28	1.0	初始版本。
2023/12/08	1.0.1	数据位宽支持范围更新。
2025/03/21	1.1	● 更新端口描述； ● 更新资源利用； ● 更新 IP 主要特征； ● 删除 NLMS 描述。
2025/05/30	1.1.1	更新图 4-1 工具栏图标打开 IP 配置界面。

目录

图目录.....	ii
表目录.....	iii
1 关于本手册.....	1
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语.....	2
1.4 技术支持与反馈.....	2
2 概述.....	3
2.1 Gowin AEC IP 介绍.....	3
2.2 主要特征.....	3
2.3 最大频率.....	3
2.4 延迟 Latency.....	4
2.5 资源利用.....	4
3 功能描述.....	5
3.1 Gowin AEC IP 结构与实现.....	5
3.2 算法简介.....	5
3.3 端口描述.....	6
3.4 时序说明.....	8
4 调用及配置.....	9
5 参考设计	11
6 文档交付.....	12
6.1 文档.....	12
6.2 设计源代码（加密）	12
6.3 参考设计.....	12

图目录

图 3-1 Gowin AEC IP 框图.....	5
图 3-2 接口框图.....	7
图 3-3 信号时序.....	8
图 4-1 工具栏图标打开 IP 配置界面.....	9
图 4-2 Gowin AEC IP 配置界面.....	10

表目录

表 1-1 术语、缩略语.....	2
表 2-1 Gowin AEC IP 概述.....	3
表 2-2 Gowin AEC IP 占用资源.....	4
表 3-1 算法变量列表.....	6
表 3-2 Gowin AEC IP 的 I/O 列表.....	7
表 6-1 Gowin AEC IP 文档列表.....	12
表 6-2 AEC 设计源代码列表.....	12
表 6-3 Gowin AEC IP RefDesign 文件夹内容列表.....	12

1 关于本手册

1.1 手册内容

Gowin AEC IP 用户指南主要包括产品概述、特征性能、功能描述、调用配置及参考设计，旨在帮助用户快速了解 Gowin AEC IP 的产品特点及使用方法。本手册中的软件界面截图参考的是 V1.9.9 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看 FPGA 产品相关文档。

- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [DS117, GW1NR 系列 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [DS961, GW2ANR 系列 FPGA 产品数据手册](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [DS1105, GW5AS 系列 FPGA 产品数据手册](#)
- [DS1108, GW5AR 系列 FPGA 产品数据手册](#)
- [DS1118, GW5ART 系列 FPGA 产品数据手册](#)
- [DS1239, GW5AST 系列 FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
AEC	Acoustic Echo Cancellation	声学回声消除
BSRAM	Block Static Random Access Memory	块状静态随机存储器
DSP	Digital Signal Processing	数字信号处理
IP	Intellectual Property	知识产权
LUT	Look-up Table	查找表

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

Gowin AEC IP 旨在使用较少的逻辑资源以完成对信号的回音消除。

表 2-1 Gowin AEC IP 概述

Gowin AEC IP	
逻辑资源	请参见表 2-2。
交付文件	
设计文件	Verilog (encrypted)
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software (V1.9.7.01Beta 及以上)

注！

可登录[高云半导体网站](#)查看芯片支持信息。

2.1 Gowin AEC IP 介绍

Gowin AEC IP 实现对输入的信号中消除回声，此 IP 透过利用 APF (Affine Projection Filter) 会自适应地调整其系数以最少化误差来滤除捕获信号中相关性较高的回声信号，实现对信号的回声消除。输入信号 **x** 和所需信号 **d** 必须是相同大小的信号。Gowin AEC IP 当中的 APF 投射阶数固定为 2，用户可自行配置滤波器的长度。

2.2 主要特征

- 支持 16 位宽的定点数输入
- 支持滤波器的长度配置

2.3 最大频率

Gowin AEC IP 的最大频率主要根据所用器件及其速度等级（speed grade of the devices）确定，使用 GW5A-25 系列器件时，最高可达到 90MHz 的解码速度。

2.4 延迟 Latency

Gowin AEC IP 输出延迟主要由配置参数来确定。

2.5 资源利用

Gowin AEC IP 通过 Verilog 语言实现。因使用器件的密度、速度、等级不同以及 IP 配置模式不同，其性能和资源利用情况可能不同。

以 GW5A-25 系列 FPGA 为例，其资源利用情况如表 2-2 所示，有关在其他高云 FPGA 上的应用验证，请关注后期发布信息。

表 2-2 Gowin AEC IP 占用资源

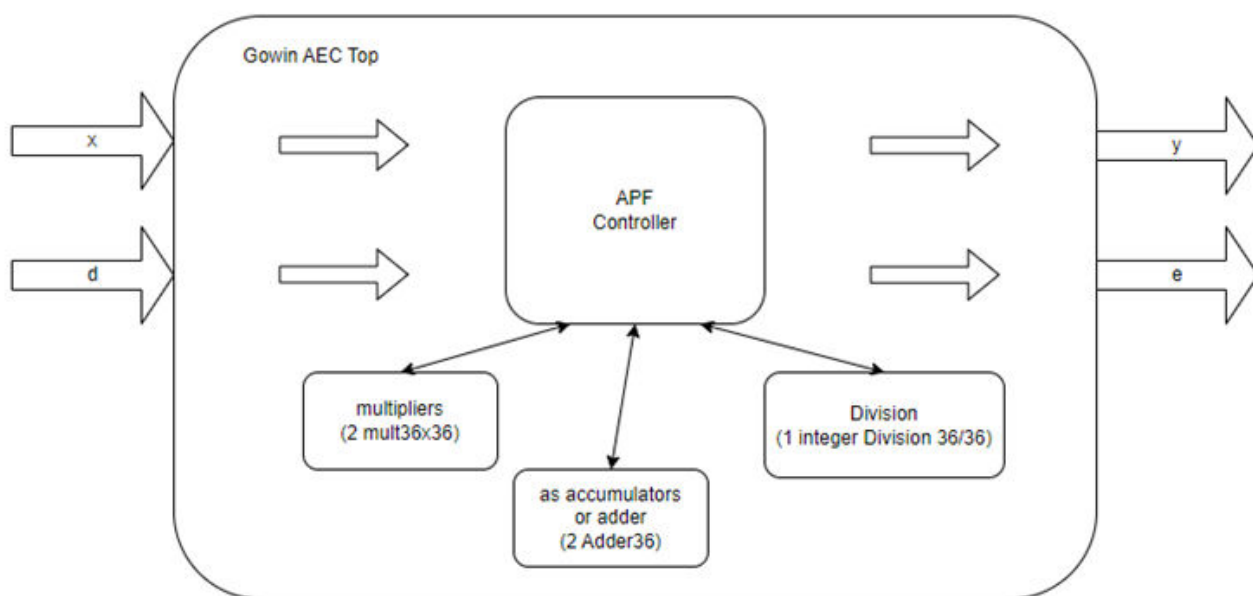
器件系列	速度等级	资源利用	
GW5A-25	ES	BSRAM	3
		SSRAM	0
		Registers	1484
		LUTs	1899
		ALUs	326
		MULT27X36	4

3 功能描述

3.1 Gowin AEC IP 结构与实现

Gowin AEC IP 接口框图如图 3-1 所示。

图 3-1 Gowin AEC IP 框图



3.2 算法简介

仿射投影滤波器的算法是通过重复使用旧数据，在输入信号高度相关时可以快速收敛，从而产生一类可以在计算复杂度和收敛速度之间权衡的演算法，以下是有关该算法的公式：

$$X_{ap}(n) = \begin{pmatrix} x(n) & x(n-1) \\ \vdots & \vdots \\ x(n-N) & x(n-1-N) \end{pmatrix}$$

$$y_{ap}(n) = X^T(n)w(n)$$

$$d_{ap}(n) = \begin{pmatrix} d(n) \\ d(n-1) \end{pmatrix}$$

$$e_{ap}(n) = d_{ap}(n) - y_{ap}(n)$$

$$w(n) = w(n-1) + \left(X_{ap}(n) \left(X_{ap}^T(n)X_{ap}(n) + \begin{pmatrix} 1 & 0 \\ 0 & 1 \end{pmatrix} \right)^{-1} \right) e_{ap}$$

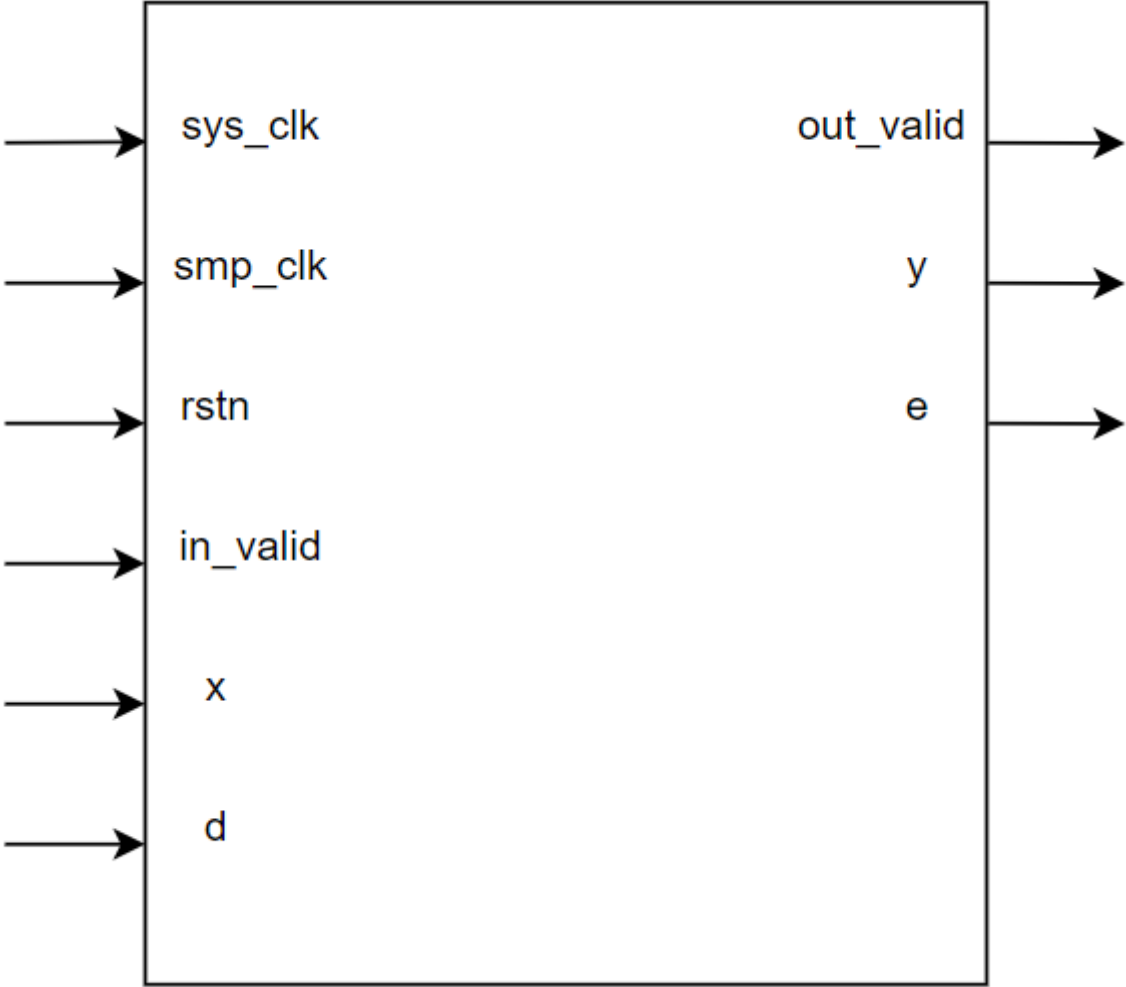
表 3-1 算法变量列表

变量	含义
n	当前索引
N	滤波器长度
x(n)	当前输入样本
d(n)	当前所需信号样本
X(n)	最后 2 个输入信号向量的矩阵
w(n)	滤波器系数向量
y(n)	自适应滤波器的输出
e(n)	x(n)和 d(n)的误差

3.3 端口描述

有关 Gowin AEC 的 IO 端口详情，接口框图如图 3-2 所示。

图 3-2 接口框图



有关 Gowin AEC IP 的 IO 端口详情，如表 3-2 所示。

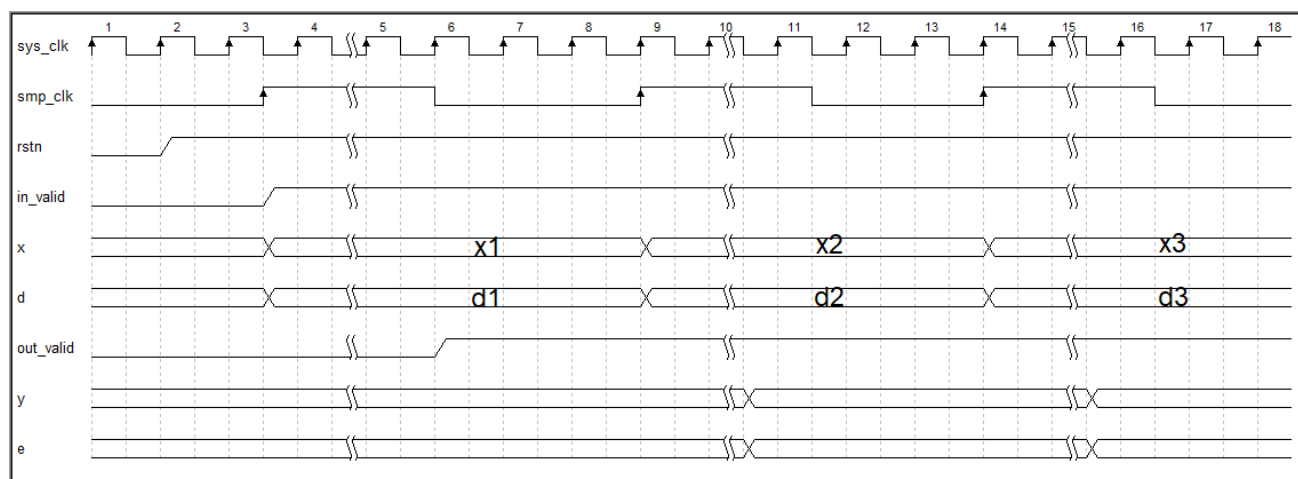
表 3-2 Gowin AEC IP 的 I/O 列表

信号	位宽	方向	描述
sys_clk	1	Input	输入系统时钟信号
smp_clk	1	Input	输入采样时钟信号
rstn	1	Input	复位信号（低电平有效）
in_valid	1	Input	输入数据有效
x	16	Input	输入信号
d	16	Input	所需信号
out_valid	1	Output	输出数据有效
y	16	Output	滤波器输出
e	16	Output	误差输出

3.4 时序说明

Gowin AEC IP 时序图如图 3-3 所示。

图 3-3 信号时序



如上图所示，在下一个 **smp_clk** 升高前准备好 **x** 和 **d**，然后升高 **in_valid** 以输入数据到 Gowin AEC IP 中，**out_valid** 信号会在在下一个 **smp_clk** 升高前升高。

系统时钟所需频率公式

对滤波器的长度(N)不同而言，最少所需系统时钟为

$$f_{sys_clk} = f_{smp_clk} \times (5N) + 200$$

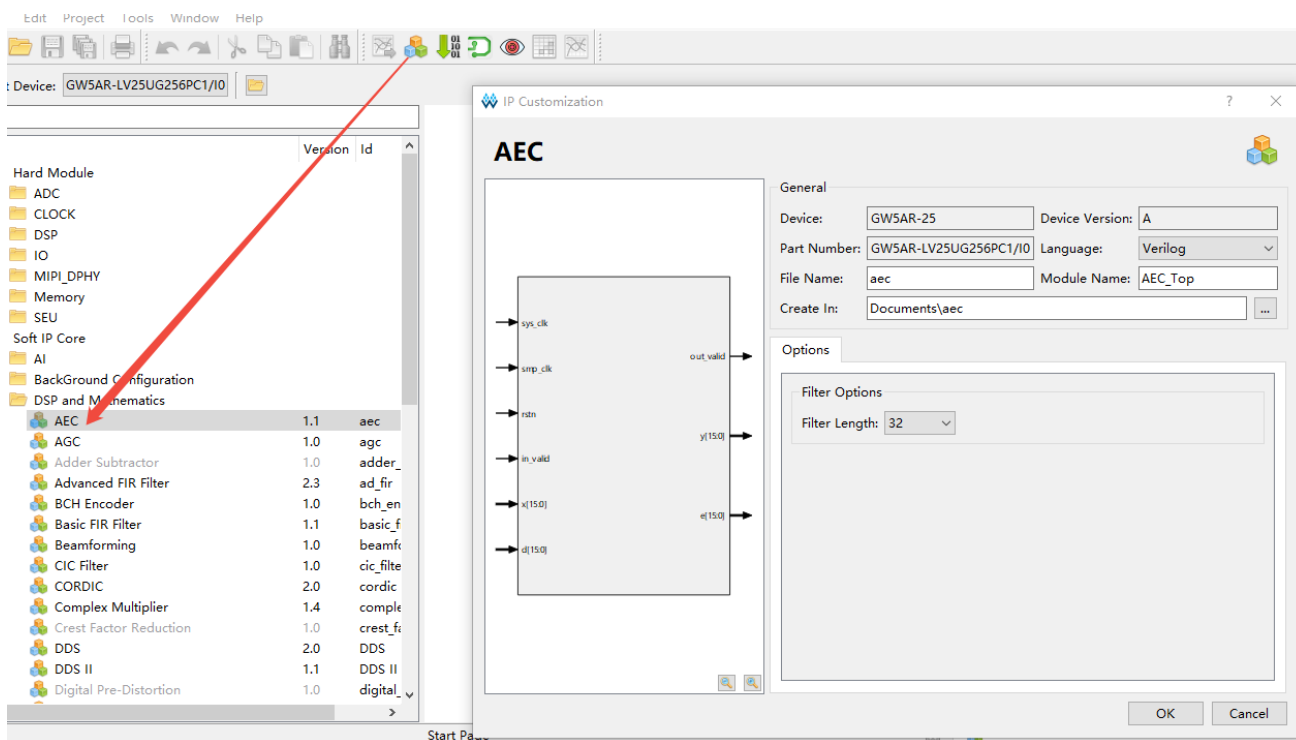
举例说明：若滤波器的长度为 512，采样频率为 8KHz。

$$f_{sys_clk} = 8000 \times 5 \times 512 + 200 = 20\text{Mhz}$$

4 调用及配置

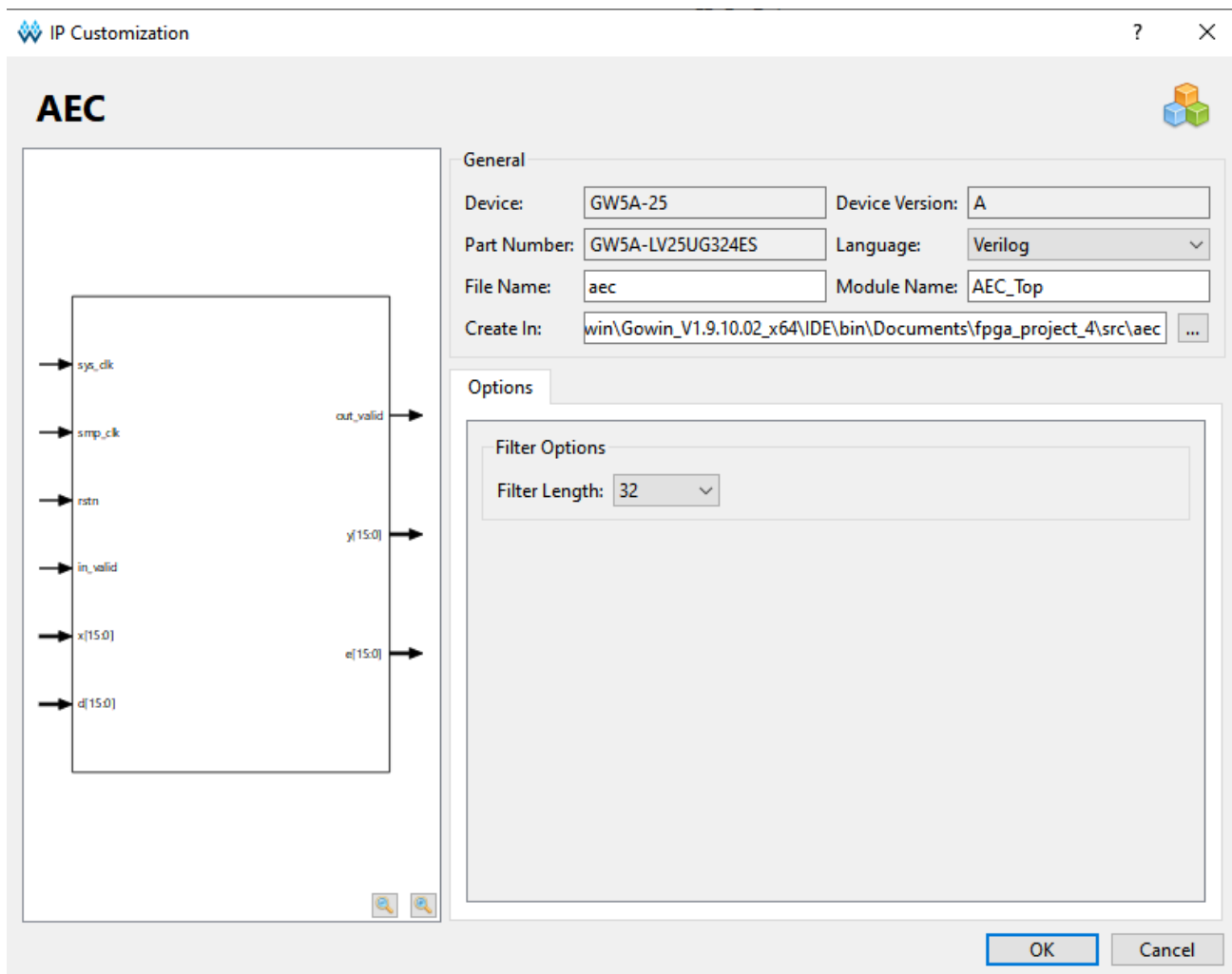
在高云云源软件界面菜单栏 Tools 下，可启动 IP Core Generator 工具，在“DSP and Mathematics”分类下，可以找到 Gowin AEC IP 完成调用与配置；也可使用工具栏图标,如图4-1 所示。

图 4-1 工具栏图标打开 IP 配置界面



Gowin AEC IP 配置界面如图 4-2 所示。

图 4-2 Gowin AEC IP 配置界面



本手册芯片选择 GW5A-25，型号选择 GW5A-LV25UG324ES 为例。

- “Create In”显示 IP 核文件夹产生路径，用户可自行修改。
- “File Name”显示配置产生的 IP 文件名称，用户可自行修改。
- “Module Name”显示配置产生的 IP 模块名称，用户可自行修改。

5 参考设计

可参考 [RefDesign](#) 内相关测试案例。

6 文档交付

Gowin AEC IP 交付文件主要包括文档、设计源文档和参考设计。

6.1 文档

文件夹主要包含用户指南 PDF 文档。

表 6-1 Gowin AEC IP 文档列表

名称	描述
IPUG761, Gowin AEC IP 用户指南	高云 IP 用户手册，即本手册。

6.2 设计源代码（加密）

加密代码文件夹包含 Gowin AEC IP 的 RTL 加密代码，供 GUI 使用，以配合高云云源软件产生用户所需的 IP 核。

表 6-2 AEC 设计源代码列表

名称	描述
aec.v	IP 核顶层文件，给用户接口信息，加密。

6.3 参考设计

Gowin AEC RefDesign 文件夹主要包含 Gowin AEC IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 6-3 Gowin AEC IP RefDesign 文件夹内容列表

名称	描述
top.v	参考设计的顶层 module
AEC.cst	工程物理约束文件
AEC.sdc	工程时序约束文件
aec	AEC 工程文件夹

名称	描述
aec.v	生成 AEC IP 顶层文件，加密
aec.vo	生成 AEC IP 网表文件

