



Gowin Video Frame Buffer IP 用户指南

IPUG769-2.1, 2025-05-23

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、Arora-V、GowinPnR、GoBridge 均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其所有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2021/03/05	1.0	初始版本。
2023/03/31	1.1	<ul style="list-style-type: none">● One Frame Address Space 参数说明更新;● 界面截图更新。
2023/08/18	2.0	DDR3 存储器端口和参数更新。
2025/05/23	2.1	<ul style="list-style-type: none">● 新增 SDRAM Memory 描述。● 新增 UHS2 PSRAM Memory 描述。

目录

图目录.....	iii
表目录.....	iv
1 关于本手册.....	1
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语.....	2
1.4 技术支持与反馈.....	2
2 概述.....	3
2.1 概述.....	3
2.2 主要特征.....	3
2.3 资源利用.....	4
3 功能描述.....	5
3.1 系统框图.....	5
3.2 实现原理.....	6
3.2.1 电路结构.....	6
3.2.2 带宽估算.....	7
3.3 端口列表.....	8
3.4 参数配置.....	12
3.5 时序说明.....	13
3.5.1 视频接口时序.....	13
3.5.2 存储器接口控制器 IP 用户接口时序.....	14
4 界面配置.....	15
5 参考设计.....	19
5.1 设计实例一.....	19
5.2 设计实例二.....	20
5.3 设计实例三.....	21
5.4 设计实例四.....	22
5.5 设计实例五.....	23
6 文件交付.....	24

6.1 文档.....	24
6.2 设计源代码（加密）.....	24
6.3 参考设计.....	24

图目录

图 3-1 系统框图.....	5
图 3-2 结构框图.....	6
图 3-3 三帧缓存示意图.....	7
图 3-4 Gowin Video Frame Buffer IP 端口示意图.....	8
图 3-5 视频接口时序示意图.....	13
图 3-6 视频输出接口时序.....	13
图 3-7 8/16/32/64/128 延时示意图.....	14
图 3-8 24/48/96 延时示意图.....	14
图 4-1 打开 IP Core Generator.....	15
图 4-2 打开 Video Frame Buffer IP 核.....	16
图 4-3 Video Frame Buffer IP 核接口示意图.....	17
图 4-4 基本信息配置界面.....	17
图 4-5 Options 选项卡.....	18
图 5-1 参考设计实例一基本结构框图.....	19
图 5-2 参考设计实例二基本结构框图.....	20
图 5-3 参考设计实例三基本结构框图.....	21
图 5-4 参考设计实例四基本结构框图.....	22
图 5-5 参考设计实例五基本结构框图.....	23

表目录

表 1-1 术语、缩略语.....	2
表 2-1 Gowin Video Frame Buffer IP.....	3
表 2-2 Gowin Video Frame Buffer IP 资源利用.....	4
表 2-3 不同配置 BSRAM 资源占用数.....	4
表 3-1 Gowin Video Frame Buffer IP 的端口列表.....	9
表 3-2 Gowin Video Frame Buffer IP 参数.....	12
表 6-1 文档列表.....	24
表 6-2 Video Frame Buffer IP 设计源代码列表.....	24
表 6-3 Gowin VFB DDR3 RefDesign 文件夹内容列表.....	24
表 6-4 Gowin VFB PSRAM RefDesign 文件夹内容列表.....	25
表 6-5 Gowin VFB HyperRAM RefDesign 文件夹内容列表.....	25
表 6-6 Gowin VFB SDRAM RefDesign 文件夹内容列表.....	26
表 6-7 Gowin VFB UHS2PSRAM RefDesign 文件夹内容列表.....	26

1 关于本手册

1.1 手册内容

Gowin Video Frame Buffer IP 用户指南主要内容包括产品概述、功能描述、配置调用、参考设计等，旨在帮助用户快速了解 Gowin Video Frame Buffer IP 的特性及使用方法。本手册中的软件界面截图参考的是 1.9.11.02 (64-bit)版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [DS117, GW1NR 系列 FPGA 产品数据手册](#)
- [DS821, GW1NS 系列 FPGA 产品数据手册](#)
- [DS861, GW1NSR 系列 FPGA 产品数据手册](#)
- [DS881, GW1NSER 系列安全 FPGA 产品数据手册](#)
- [DS891, GW1NRF 系列蓝牙 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [DS961, GW2ANR 系列 FPGA 产品数据手册](#)
- [DS976, GW2AN-55 器件数据手册](#)
- [DS971, GW2AN-18X_&_9X 器件数据手册](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [DS1105, GW5AS 系列 FPGA 产品数据手册](#)
- [DS1108, GW5AR 系列 FPGA 产品数据手册](#)
- [DS1118, GW5ART 系列 FPGA 产品数据手册](#)

- [DS1239, GW5AST 系列 FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
DE	Data Enable	数据使能
FPGA	Field Programmable Gate Array	现场可编程门阵列
HS	Horizontal Sync	水平同步
IP	Intellectual Property	知识产权
VESA	Video Electronics Standards Association	视频电子标准协会
VS	Vertical Sync	垂直同步

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

2.1 概述

Video Frame Buffer 是用于接收并行视频输入数据，然后缓存至存储器，并同时输出并行视频数据，从而实现帧缓存的功能。

Gowin Video Frame Buffer IP 位于 VESA 标准的视频输入输出接口和存储器接口控制器 IP 的用户接口之间，使用户能够方便地实现基于存储器的视频帧缓存功能。

表 2-1 Gowin Video Frame Buffer IP

Gowin Video Frame Buffer IP	
逻辑资源	请参见表 2-2 和表 2-3。
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software (V1.9.7.01Beta 及以上)

注!

可登录 [高云半导体网站](#) 查看芯片支持信息。

2.2 主要特征

- 支持 VESA 标准视频接口
- 支持 16/24/32/48/64/96/128 视频数据位宽
- 支持高云 DDR3/PSRAM/HyperRAM/SDRAM/UHS2 PSRAM 存储器接口 IP

2.3 资源利用

通过 Verilog 语言实现 Gowin Video Frame Buffer IP。因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。以高云 GW2A-18 系列 FPGA 为例，Gowin Video Frame Buffer IP 资源利用情况如表 2-2 和表 2-3 所示。

表 2-2 Gowin Video Frame Buffer IP 资源利用

存储器	DDR3	PSRAM	HyperRAM	SDRAM	UHS2 PSRAM
器件	GW2A-18	GW2A-18	GW2A-18	GW2AR-18	GW5ART-15
Video width	16	16	16	16	16
FIFO Depth	2048	2048	2048	2048	2048
LUTs	818	642	589	477	506
Registers	402	386	419	354	341
BSRAMs	8	8	8	4	4

表 2-3 不同配置 BSRAM 资源占用数

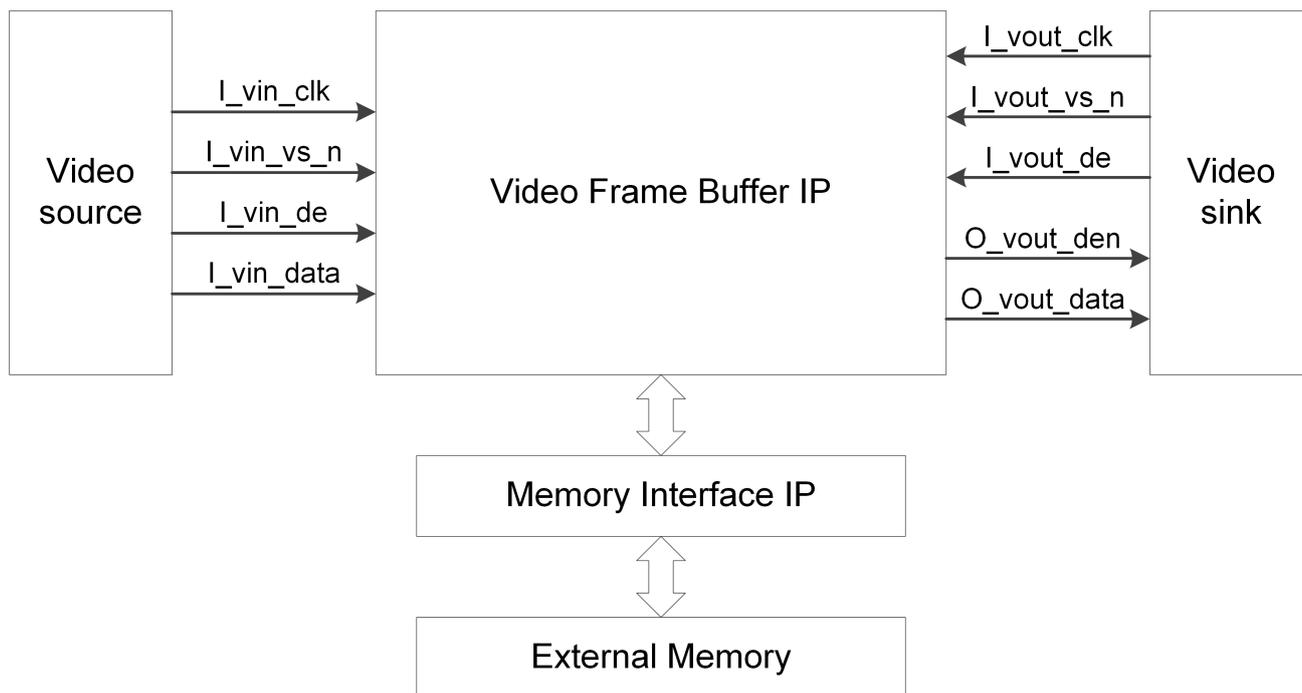
存储器数据位宽	32		64		128	
读写 FIFO 深度	1024	2048	1024	2048	1024	2048
BSRAM(个)	4	8	4	8	8	8

3 功能描述

3.1 系统框图

Gowin Video Frame Buffer IP 用于实现基于外部存储器的视频输入和输出帧缓存的功能。系统框图如图 3-1 所示。

图 3-1 系统框图



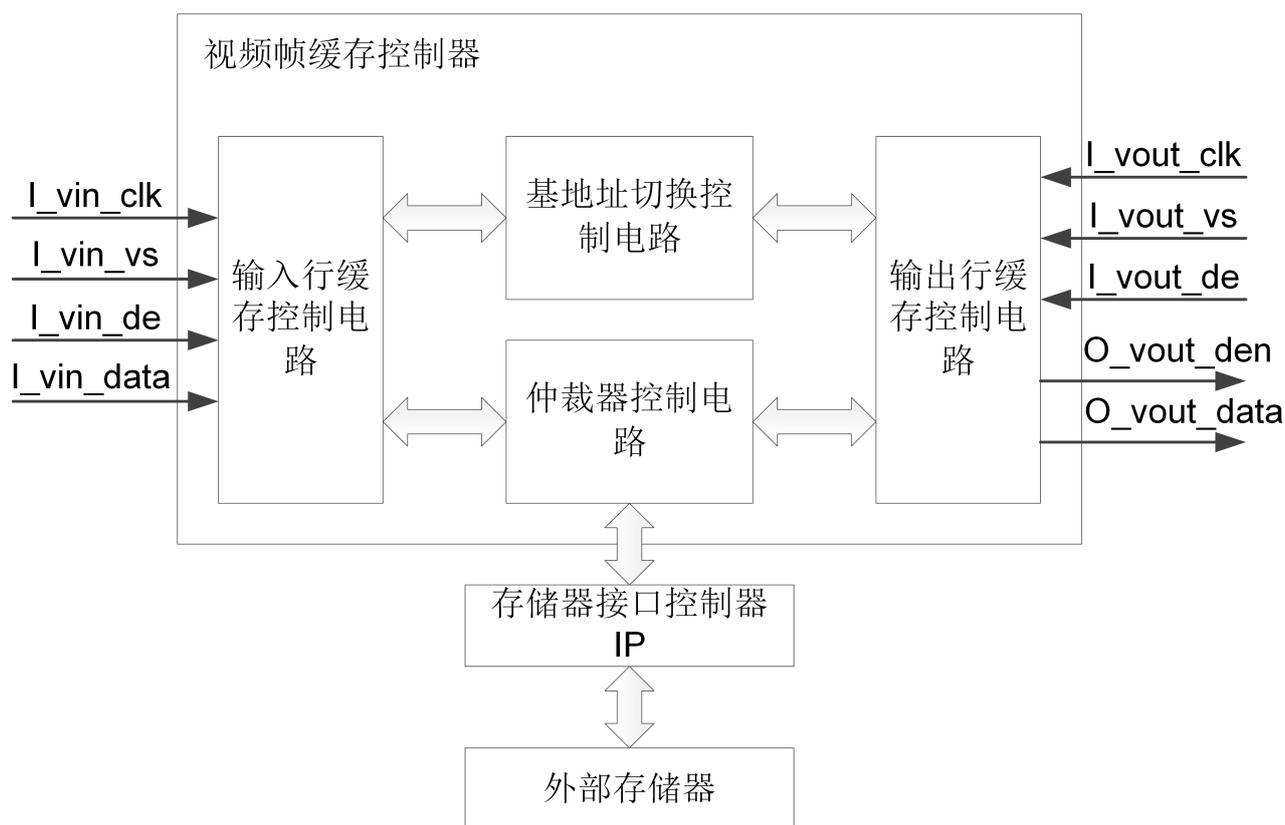
3.2 实现原理

3.2.1 电路结构

视频帧缓存应用系统包括视频信号源 video source，视频接收器 video sink，视频帧缓存 Video Frame Buffer，存储器接口控制器 IP 和外部存储器。

其中 Video Frame Buffer 主要分为 4 个部分，输入行缓存控制电路，输出行缓存控制电路，基地址切换控制电路，仲裁器控制电路。电路结构如图 3-2 所示。

图 3-2 结构框图

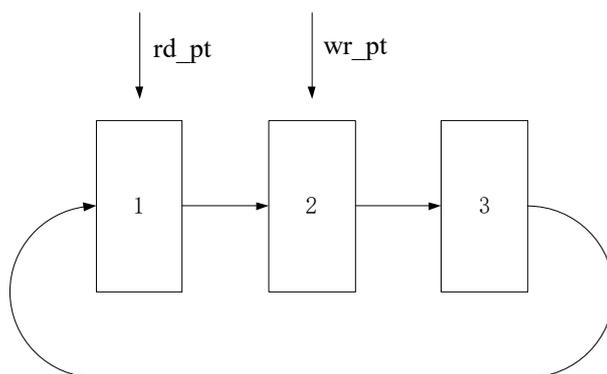


输入行缓存控制电路接收并行视频输入数据，然后缓存到输入 FIFO 行缓存中。当 FIFO 中数据存储到预先设定的阈值时，就向仲裁控制器发出写请求。当仲裁控制器响应请求，给与存储器控制权，则开始发送写数据，地址和命令。

输出行缓存控制电路会设定一个读取阈值，当输出 FIFO 行缓存内数据数量少于这个阈值时，就会向仲裁器发出读请求，当仲裁器响应请求，给与存储器控制权，则开始发送读命令和地址，并将接收的数据存到输出 FIFO 中。当输出 FIFO 收到输出视频的 DE 信号，即作为 FIFO 读使能信号后，则从 FIFO 中输出视频数据。

为了避免出现图像撕裂现象，通常会使用 3 帧缓存方式。使用 3 帧缓存就是有 1 帧在写，1 帧在读，还有 1 帧中间过渡，可以用读指针，写指针来指示，读写指针分别指向帧缓存的起始地址，即每帧的基地址。基地址切换控制电路就是负责控制读写指针的跳转。如果选择不使用 3 帧缓存方式，则读写操作都在相同地址空间。

图 3-3 三帧缓存示意图



如图 3-3 所示，3 帧缓存用 3 个标有数字的方框表示，读指针用 rd_pt 表示，写指针用 wr_pt 表示。

1. 读写指针均是按照帧 1，帧 2，帧 3 的顺序循环；
2. 当 1 帧数据读完后，rd_pt 就指向下一帧；
3. 当 1 帧数据写完后，wr_pt 就指向下一帧
4. 初始复位后，读写指针都从第 1 帧开始；
5. 当读比写快时，会通过重复读帧方式调节，即输出帧率大于输入帧率，读指针比写指针切换快。如图 3-3 所示，当读完一帧数据，rd_pt 要由帧 1 切换到帧 2 时，发现 wr_pt 还处在帧 2，那么 rd_pt 就仍停在帧 1，仍然从第 1 帧读数据，即把第 1 帧的数据重复 1 遍。
6. 当写比读快时，会通过写入新帧覆盖前一帧方式调节，即输入帧率大于输出帧率，写指针比读指针切换快。如图 3-3 所示，当写完一帧数据，wr_pt 要由帧 2 切换到帧 3 时，此时帧 3 没有被占用，则 wr_pt 切换到帧 3 写入数据；因为写入快，又写完一帧数据，wr_pt 要由帧 3 切换到帧 1 时，发现 rd_pt 还处在帧 1，那么 wr_pt 就仍停在帧 3，则数据仍然写入第 3 帧缓存，把之前写入的数据覆盖掉。
7. 当读与写速率相同时，即输出帧率等于输入帧率，那么读指针会一直跟在写指针后面，以相同的速率切换。

仲裁器控制电路负责接收输入行缓存控制电路和输出行缓存控制电路发出的存储器读写访问请求，并进行仲裁。同时将输入行缓存控制电路和输出行缓存控制电路的数据接口与存储器接口控制器 IP 用户接口端的数据接口相连接。

3.2.2 带宽估算

视频帧缓存系统如需正常工作，必须保证视频输入输出带宽与存储器带宽满足一定条件。以 PSRAM 存储器为例进行计算。

假设输入视频水平分辨率为 H_{in} ，垂直分辨率为 V_{in} ，场频为 F_{vsin} Hz，像素位宽 N_{in} bit；输出视频水平分辨率为 H_{out} ，垂直分辨率为 V_{out} ，场频为 F_{vsout} ，像素位宽 N_{out} bit；PSRAM 时钟频率为 F_{clk} MHz，数据位宽为 D bit，数据双沿传输（即数据带宽需乘 2），读写操作效率 $e\%$ 。

带宽估算方法如下：

- 视频输入带宽 $W_{in} = H_{in} * V_{in} * F_{vsin} * N_{in}$ (bit/s)
- 视频输出带宽 $W_{out} = H_{out} * V_{out} * F_{vsout} * N_{out}$ (bit/s)
- 存储器理论带宽 $W_{mem} = F_{clk} * D * 2$ (bit/s)
- 存储器有效带宽 $W_{meme} = F_{clk} * D * 2 * e\%$ (bit/s)

注!

只有当 $W_{meme} > (W_{in} + W_{out})$ 时，视频帧缓存系统才能正常工作。

举例如下，假设输入视频格式 1280x720@60Hz，像素格式 RGB565，像素位宽 16bit；输出视频格式 1280x720@60Hz，像素格式 RGB565，像素位宽 16bit；PSRAM 时钟频率 166MHz，数据位宽 16bit，读写操作效率 60%。

- $W_{in} = 1280 * 720 * 60 * 16 = 884,736,000 \text{bit/s} = 0.824 \text{Gbit/s}$
- $W_{out} = 1280 * 720 * 60 * 16 = 884,736,000 \text{bit/s} = 0.824 \text{Gbit/s}$
- $W_{meme} = 166 \text{MHz} * 16 * 2 * 60\% = 3187 \text{Mbit/s} = 3.112 \text{Gbit/s}$

注!

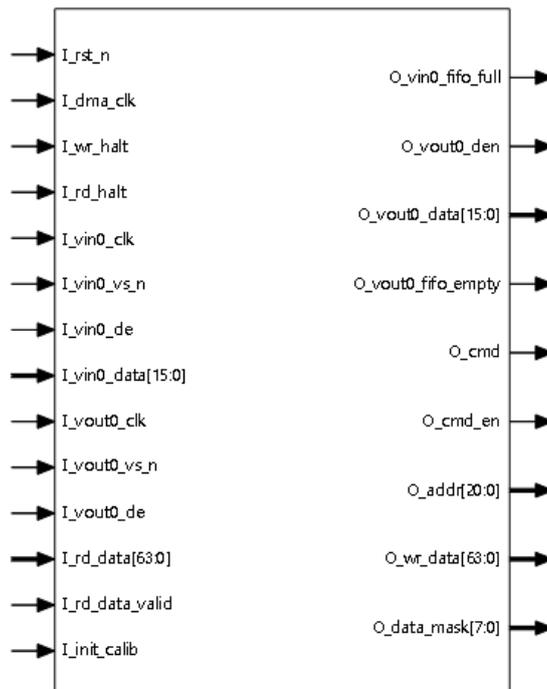
读写操作效率取决于 PSRAM 的带宽效率和视频带宽利用率。

因为 $3.112 \text{Gbit/s} > (0.824 \text{Gbit/s} + 0.824 \text{Gbit/s})$ ，所以视频帧缓存系统能正常工作。

3.3 端口列表

Gowin Video Frame Buffer IP 的 IO 端口如图 3-4 所示。

图 3-4 Gowin Video Frame Buffer IP 端口示意图



根据配置参数不同，端口会略有不同。

Gowin Video Frame Buffer IP 的 IO 端口详细描述如表 3-1 所示。

表 3-1 Gowin Video Frame Buffer IP 的端口列表

序号	信号名称	方向	描述	备注
1	I_rst_n	I	复位信号，低有效。	所有信号输入输出方向均以 Video Frame Buffer IP 为参考。
2	I_dma_clk	I	存储器读写时钟信号	
3	I_wr_halt	I	写指针暂停控制信号，1 表示暂停，3 帧缓存模式有效。 调试端口，如不对写指针进行调试，端口必须赋值 0。	
4	I_rd_halt	I	读指针暂停控制信号，1 表示暂停，3 帧缓存模式有效。 调试端口，如不对读指针进行调试，端口必须赋值 0。	
5	I_vin0_clk	I	输入视频时钟信号	
6	I_vin0_vs_n	I	输入场同步信号，负极性。	
7	I_vin0_de	I	输入数据有效信号	
8	I_vin0_data	I	输入视频数据信号	
9	O_vin0_fifo_full	O	输入 FIFO 满指示信号	
10	I_vout0_clk	I	输出视频时钟信号	
11	I_vout0_vs_n	I	输出场同步信号，负极性。	
12	I_vout0_de	I	输出数据读使能信号	
13	O_vout0_den	O	输出数据有效信号，比 I_vout0_de 信号延时 2 个时钟周期。	
14	O_vout0_data	O	输出视频数据信号	
15	O_vout0_fifo_empty	O	输出 FIFO 空指示信号	
DDR3 存储器接口(1)				
16	I_cmd_ready	I	高电平时指示 Memroy Interface 可接收命令与地址	
17	O_cmd	O	命令通道	
18	O_cmd_en	O	命令与地址使能信号	
19	O_app_burst_number	O	连续突发次数端口，仅在 Burst Number Enable 勾选时有效	
20	O_addr	O	地址输入	
21	I_wr_data_rdy	I	高电平时表示 MC 可以接收用户数据	
22	O_wr_data_en	O	wr_data 使能信号	

序号	信号名称	方向	描述	备注	
23	O_wr_data_end	O	高电平指示当前时钟周期是此组数据 wr_data 的最后一个周期	所有信号输入输出方向均以 Video Frame Buffer IP 为参考。	
24	O_wr_data	O	写数据通道		
25	O_wr_data_mask	O	为 wr_data 提供遮挡信号		
26	I_rd_data_valid	I	rd_data 有效信号		
27	I_rd_data_end	I	高电平时指示当前输出的一组 rd_data 的结束周期		
28	I_rd_data	I	读数据通道		
29	I_init_calib_complete	I	初始化完成信号		
PSRAM 或 HyperRAM 存储器接口(2)					
31	O_cmd	O	命令通道		
32	O_cmd_en	O	命令与地址使能信号		
33	O_addr	O	地址输入		
34	O_wr_data	O	写数据通道		
35	O_data_mask	O	写数据掩模信号		
36	I_rd_data_valid	I	读数据有效信号		
37	I_rd_data	I	读数据通道		
38	I_init_calib	I	初始化完成信号		
SDRAM 存储器接口(3)					
39	I_sdrcl_busy_n	I	Memroy 控制器空闲指示 空闲时用户逻辑可发起读写操作 1: 空闲 0: 忙		
40	O_sdrcl_wr_n	O	写使能, 低电平有效		
41	O_sdrcl_rd_n	O	读使能, 低电平有效		
42	O_sdrcl_addr	O	地址输入		
43	O_sdrcl_data_len	O	读写数据长度, 以 I_sdrcl_data_len[7:0] 为例, 端口输入范围 0~255, 对应读写有效长度范围 1~256		
44	O_sdrcl_data	O	写数据通道		
45	O_sdrcl_dqm	O	写数据掩码控制		
46	I_sdrcl_rd_valid	I	读数据有效指示, 高电平有效, 与有效数据对齐		
47	I_sdrcl_data_out	I	读数据通道		

序号	信号名称	方向	描述	备注
48	I_sdrcl_init_done	I	上电初始化指示 1: 已完成 0: 未完成	所有信号输入输出方向均以 Video Frame Buffer IP 为参考。
UHS2 PSRAM 存储器接口(4)				
49	I_cmd_ready	I	Memory cmd 允许写入标志位: 0: 不可写入指令 1: 可以写入指令	
50	O_cmd	O	读/写命令	
51	O_cmd_en	O	命令、地址使能信号: 0: 无效 1: 有效	
52	O_burst_num	O	单次突发数量, 端口输入范围 0~255, 对应突发数量范围 1~256	
53	O_addr	O	读/写起始地址	
54	I_wr_data_rdy	I	wr_data 允许写入标志位: 0: 不可写入数据 1: 可以写入数据	
55	O_wr_data_en	O	wr_data 使能信号: 0: 数据无效 1: 数据有效	
56	O_wr_data	O	写数据通道	
57	O_wr_data_mask	O	写数据掩码控制	
58	I_rd_data_valid	I	读数据有效指示, 高电平有效	
59	I_rd_data	I	读数据通道	
60	I_init_calib_complete	I	初始化完成信号	

注!

- DDR3 存储器接口说明, 参考 [IPUG281, Gowin DDR3 Memory Interface IP 用户指南](#)。
- PSRAM 存储器接口说明, 参考 [IPUG943, Gowin PSRAM Memory Interface HS & HS 2CH IP 用户指南](#)。
- HyperRAM 存储器接口说明, 参考 [IPUG944, Gowin HyperRam Memory Interface IP 用户指南](#)。
- SDRAM 存储器接口说明, 参考 [IPUG279, Gowin_SDRAM Controller IP 用户指南](#)。
- UHS2 PSRAM 存储器接口说明, 参考 [IPUG1194, Gowin UHS2 PSRAM Memory Interface IP 用户手册](#)。

3.4 参数配置

表 3-2 Gowin Video Frame Buffer IP 参数

序号	参数名称	允许范围	默认值	描述
1	Memory Type	DDR3/PSRAM/HyperRAM/SDRAM/UHS2 PSRAM	DDR3	外部存储器类型
2	Addr Width	21/22/23/25/26/27/28/29/30/31/32	28	存储器接口控制器 IP 用户接口地址位宽
3	Data Width	16/32/64/128/256/512	128	存储器接口控制器 IP 用户接口地址位宽
4	Write Burst Length	16/32/64/128	64	连续突发写长度
5	Read Burst Length	16/32/64/128	64	连续突发读长度
6	Write Video Width	8/16/24/32/48/64/96/128	16	写视频数据位宽
7	Read Video Width	8/16/24/32/48/64/96/128	16	读视频数据位宽
8	One Frame Address Space	0x00000001 ~0xFFFFFFFF	0x00800000	单帧视频地址空间，每个地址单元数据位宽取决于存储器类型
9	Use Three Frame Buffer	Yes/No	Yes	是否使用 3 帧缓存
10	Write FIFO Depth	1024/2048/4096	2048	写 FIFO 深度，数据单元 32 bits
11	Read FIFO Depth	1024/2048/4096	2048	读 FIFO 深度，数据单元 32 bits
12	Burst Number Enable	Yes/No	No	突发长度使能，仅在 Memory Type 为 DDR3 时有效

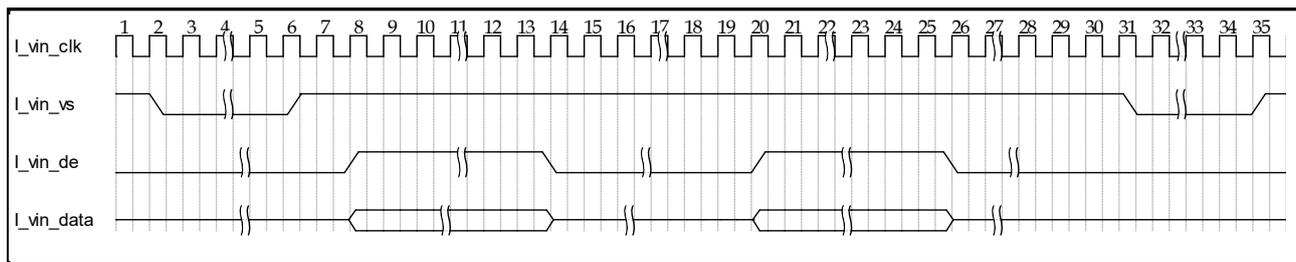
3.5 时序说明

本节介绍 Gowin Video Frame Buffer IP 的时序情况。

3.5.1 视频接口时序

视频接口时序图如图 3-5 所示。

图 3-5 视频接口时序示意图

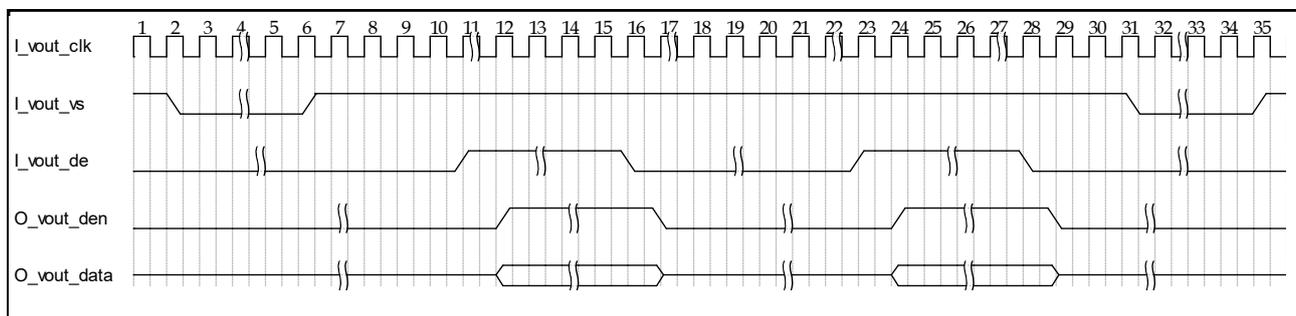


注!

- l_vin_vs 为负极性，即 vs 同步期间为低电平。
- l_vin_de 在一行内必须连续，不支持一行内 DE 不连续。

视频输出接口时序示意图如图 3-6 所示。

图 3-6 视频输出接口时序



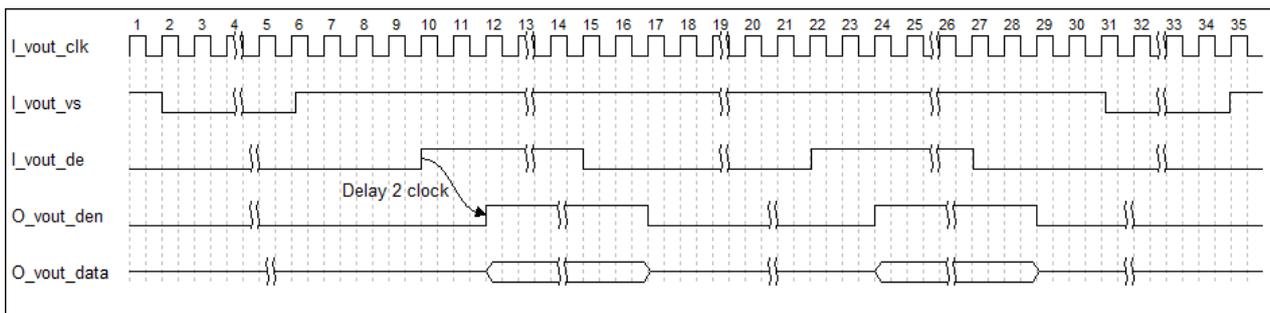
注!

- l_vout_vs 为负极性，即 vs 同步期间为低电平。
- l_vout_de 在一行内必须连续，不支持一行内 DE 不连续。

对于参数 Read Video Width，有 8/16/24/32/48/64/96/128 选项可选，当选择 24/48/96 时，涉及到数据位宽转换，读出数据延时会有不同。

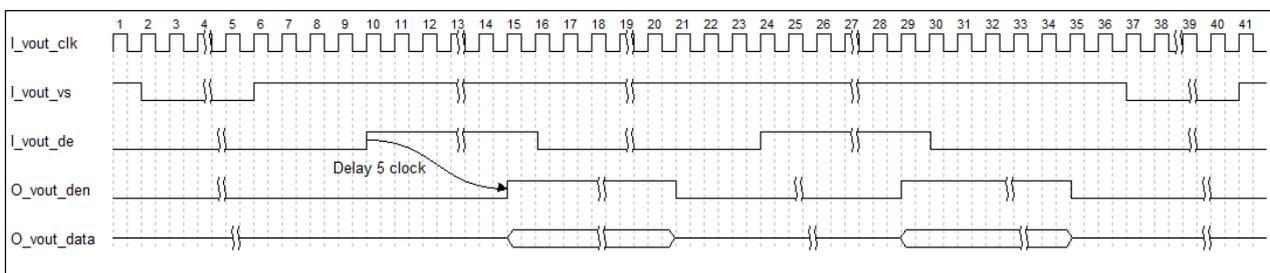
选择 8/16/32/64/128 延时示意图如图 3-7 所示。

图 3-7 8/16/32/64/128 延时示意图



选择 24/48/96 延时示意图如图 3-8 所示。

图 3-8 24/48/96 延时示意图



3.5.2 存储器接口控制器 IP 用户接口时序

- DDR3 存储器接口控制器 IP 用户接口读写操作时序，参考 [IPUG281, Gowin DDR3 Memory Interface IP 用户指南](#)。
- PSRAM 存储器接口控制器 IP 用户接口读写操作时序参考，参考 [IPUG943, Gowin PSRAM Memory Interface HS & HS 2CH IP 用户指南](#)。
- HyperRAM 存储器接口控制器 IP 用户接口读写操作时序，参考 [IPUG944, Gowin HyperRam Memory Interface IP 用户指南](#)。
- SDRAM 存储器接口控制器 IP 用户接口读写操作时序，参考 [IPUG279, Gowin SDRAM Controller IP 用户指南](#)。
- UHS2 PSRAM 存储器接口控制器 IP 用户接口读写操作时序，参考 [IPUG1194, Gowin UHS2 PSRAM Memory Interface IP 用户手册](#)。

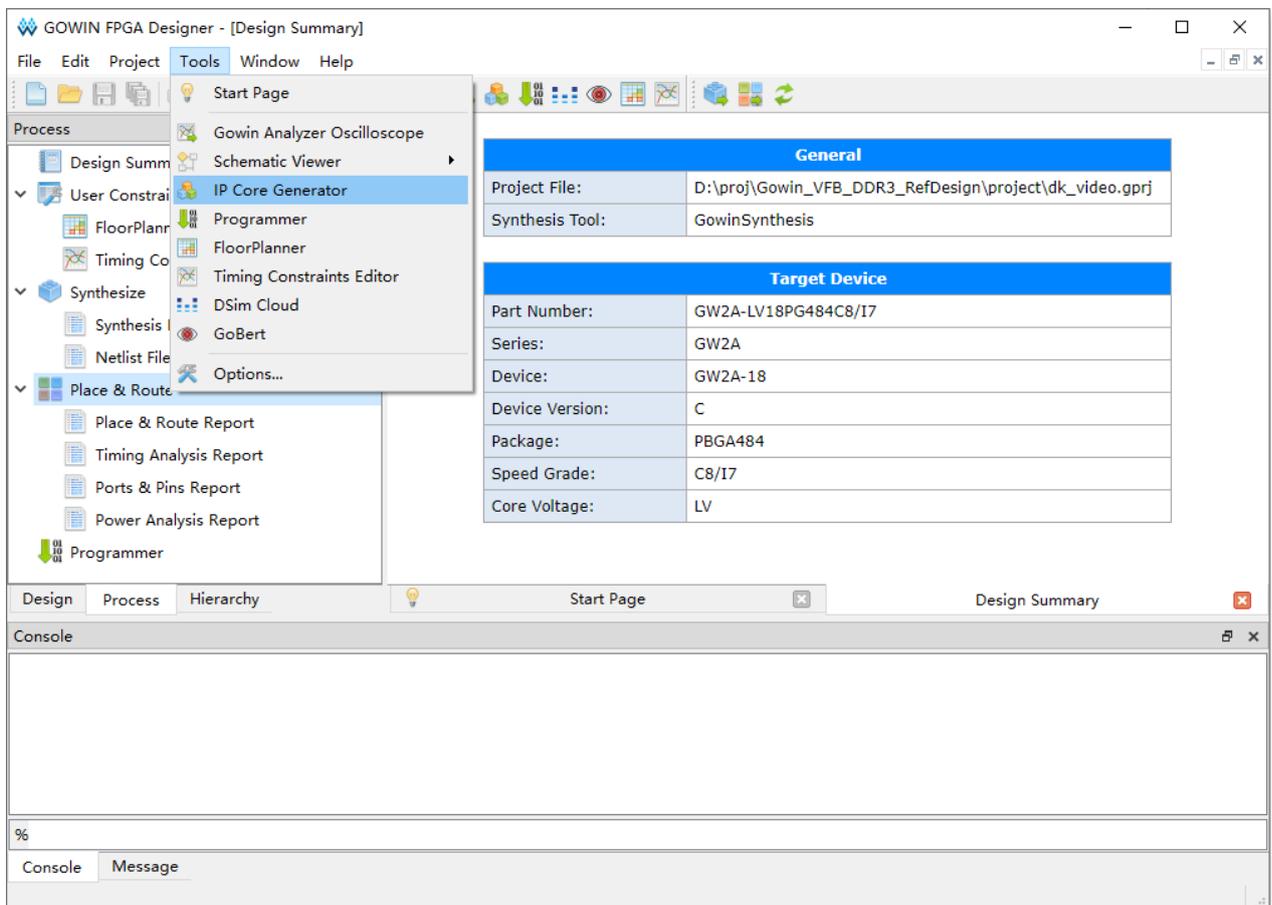
4 界面配置

用户可在高云半导体云源软件中的 IP 内核生成器工具调用和配置高云 Video Frame Buffer IP。

1. 打开 IP Core Generator

用户建立工程后，单击左上角“Tools”选项卡，下拉单击“IP Core Generator”选项，即可打开 Gowin IP Core Generator，如图 4-1 所示。

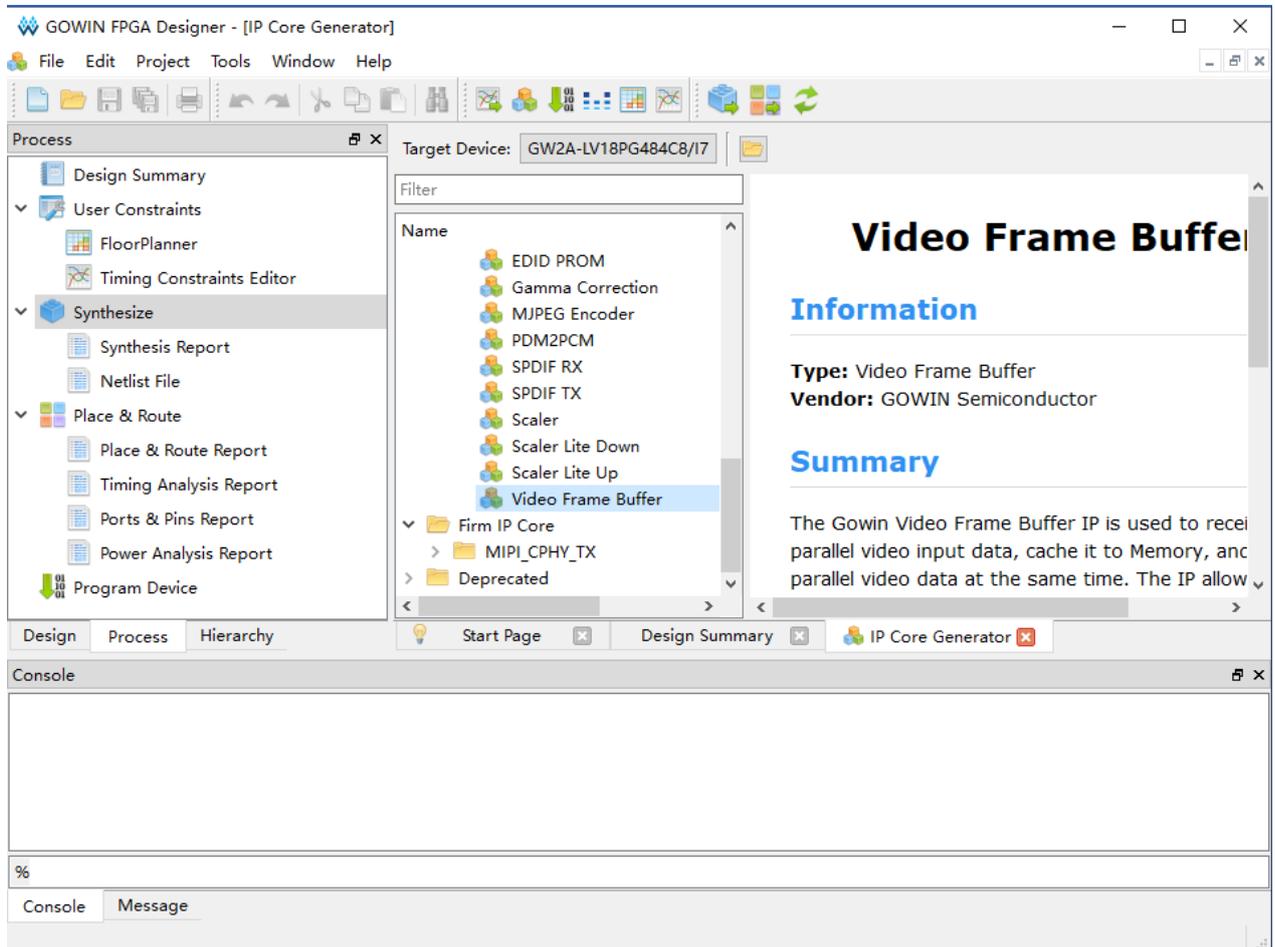
图 4-1 打开 IP Core Generator



2. 打开 Video Frame Buffer IP 核

单击“Multimedia”选项，双击“Video Frame Buffer”，打开 Video Frame Buffer IP 核的配置界面，如图 4-2 所示。

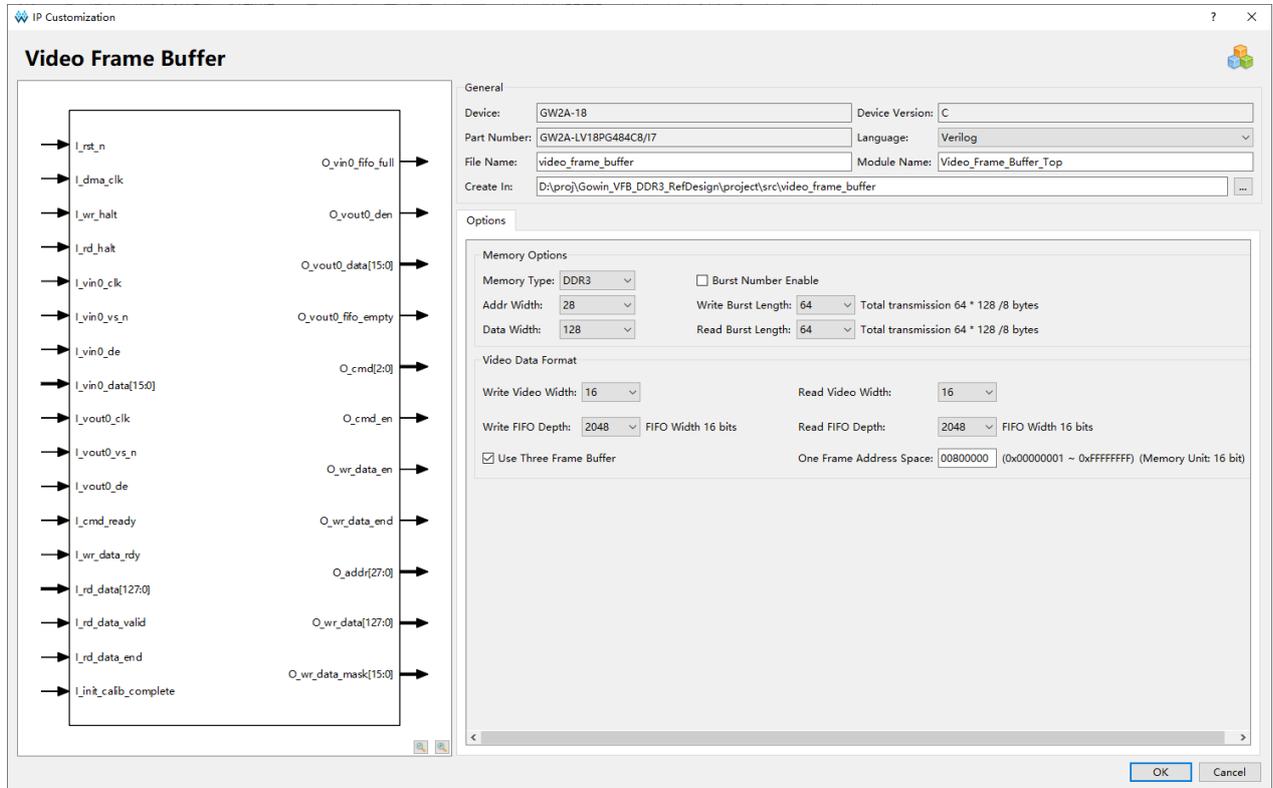
图 4-2 打开 Video Frame Buffer IP 核



3. Video Frame Buffer IP 核端口界面

配置界面左侧为 Video Frame Buffer IP 核的接口示意图，如图 4-3 所示。

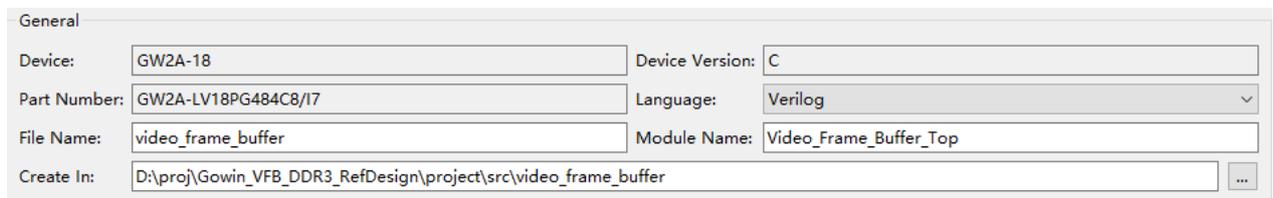
图 4-3 Video Frame Buffer IP 核接口示意图



4. 配置基本信息

在配置界面的上部分是工程基本信息配置界面，以 GW2A-18C 为例，封装选择 PBGA484。Module Name 选项后面是工程产生后顶层文件的名称，默认为“Video_Frame_Buffer_Top”，用户可自行修改。“File Name”是 IP 核文件产生的文件夹，存放 Video Frame Buffer IP 核所需文件，默认为“video_frame_buffer”，用户可自行修改路径。Create In 选项是 IP 核文件夹产生路径，默认为“\工程路径\src\video_frame_buffer”，用户可自行修改路径。

图 4-4 基本信息配置界面



5. Options 选项卡

在选项卡中，用户需要配置 Video Frame Buffer 所使用存储器等参数信息。

图 4-5 Options 选项卡

The screenshot shows the 'Options' configuration tab with two main sections: 'Memory Options' and 'Video Data Format'.
Memory Options:
- Memory Type: DDR3 (dropdown)
- Addr Width: 28 (dropdown)
- Data Width: 128 (dropdown)
- Burst Number Enable:
- Write Burst Length: 64 (dropdown) Total transmission 64 * 128 /8 bytes
- Read Burst Length: 64 (dropdown) Total transmission 64 * 128 /8 bytes
Video Data Format:
- Write Video Width: 16 (dropdown)
- Read Video Width: 16 (dropdown)
- Write FIFO Depth: 2048 (dropdown) FIFO Width 16 bits
- Read FIFO Depth: 2048 (dropdown) FIFO Width 16 bits
- Use Three Frame Buffer:
- One Frame Address Space: 00800000 (0x00000001 ~ 0xFFFFFFFF) (Memory Unit: 16 bit)

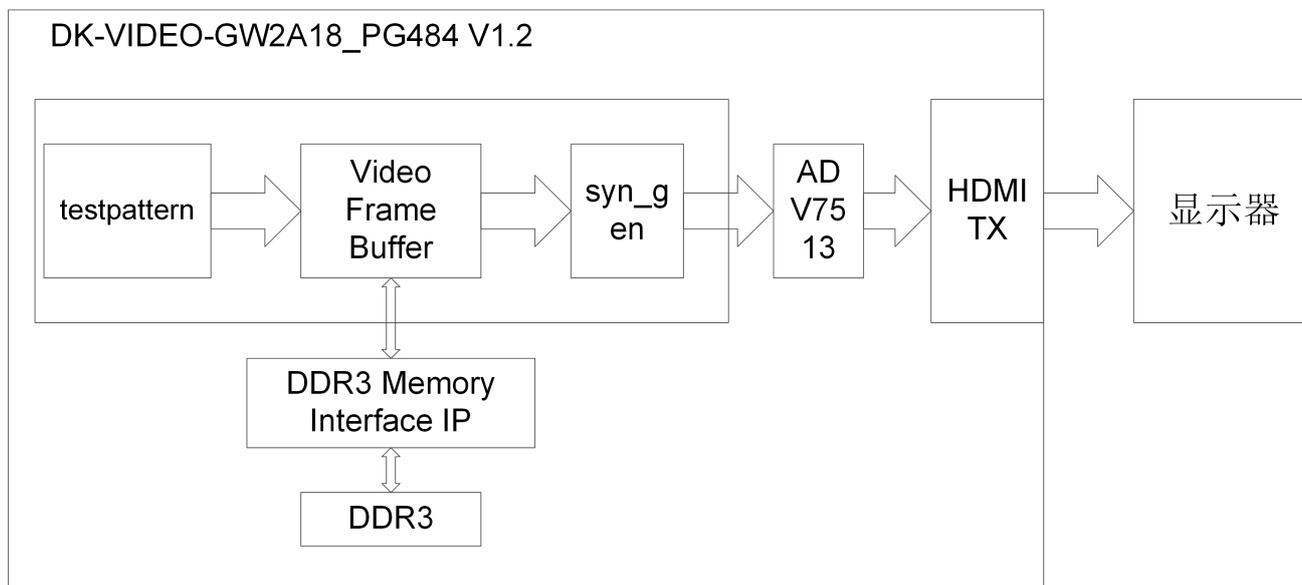
5 参考设计

本节主要介绍 Video Frame Buffer IP 的参考设计实例的搭建及使用方法。详细信息请参见高云半导体官网给出的 Video Frame Buffer 相关[参考设计](#)。

5.1 设计实例一

本参考设计以 DK-VIDEO-GW2A18-PG484V1.2 开发板为例，参考设计基本结构框图如图 5-1 所示。DK-VIDEO-GW2A18-PG484V1.2 开发板相关信息参考[官方网站](#)。

图 5-1 参考设计实例一基本结构框图

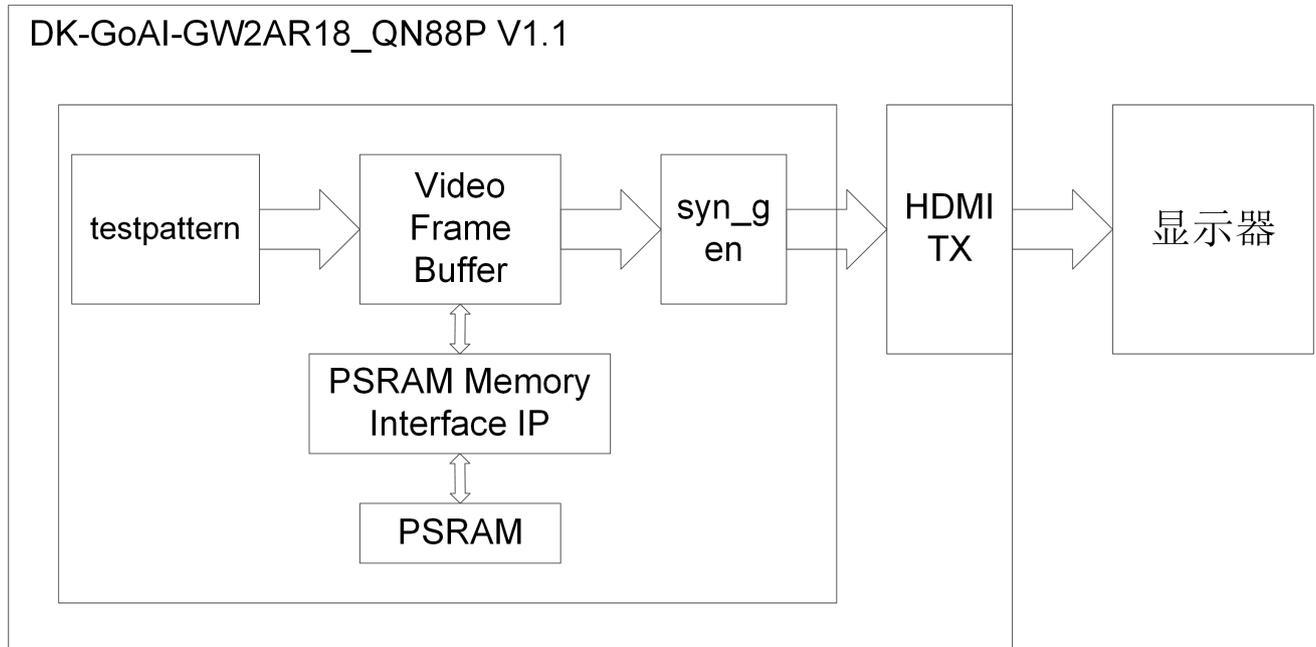


在参考设计中，通过 testpattern 模块产生测试图视频信号，输入到 Video Frame Buffer 进行视频数据缓存，Video Frame Buffer 与 DDR3 控制器 IP 相连，syn_gen 模块产生输出视频时序，从 Video Frame Buffer 中读取视频数据后输出，最后输出到 HDMI2 TX 端口，通过 HDMI 线缆和显示器相连，即可以看到内部产生的测试图。测试图包括彩条图，网格图，灰阶图，纯色图。

5.2 设计实例二

本参考设计以 DK-GoAI-GW2AR18-QN88P V1.1 开发板为例，参考设计基本框图如图 5-2 所示。DK-GoAI-GW2AR18-QN88P V1.1 开发板相关信息参考 [官方网站](#)。

图 5-2 参考设计实例二基本结构框图

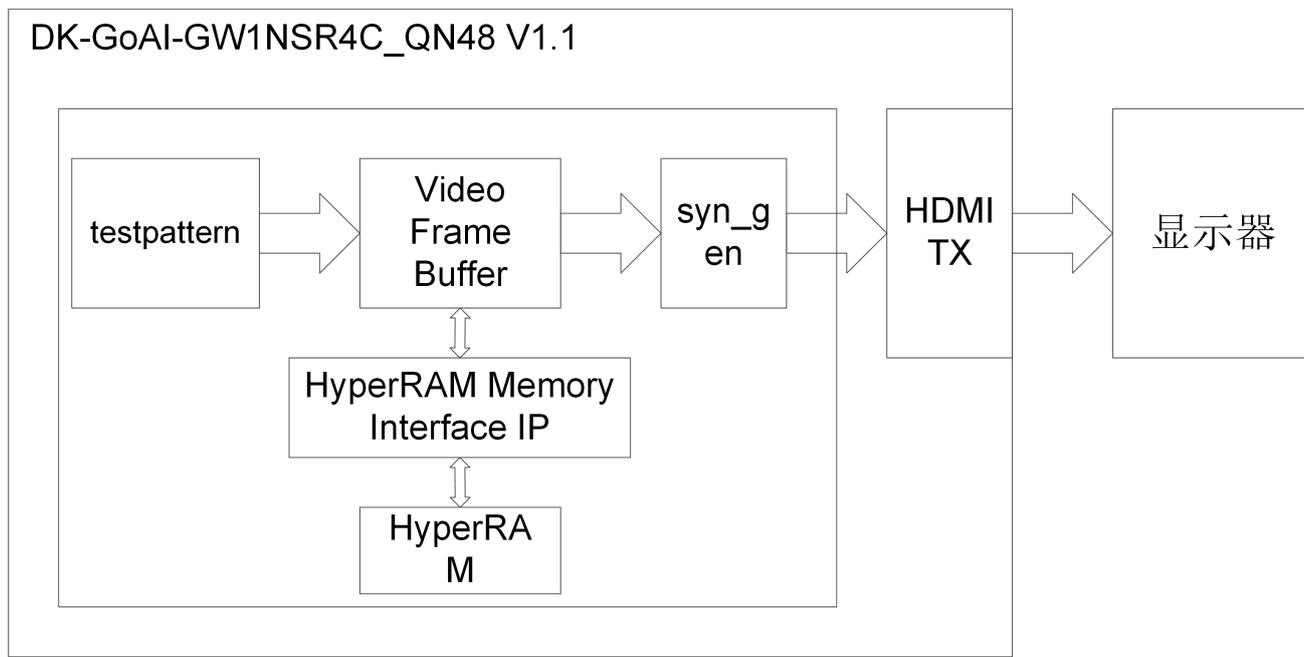


在参考设计中，通过 testpattern 模块产生测试图视频信号，输入到 Video Frame Buffer 进行视频数据缓存，Video Frame Buffer 与 PSRAM 控制器 IP 相连，syn_gen 模块产生输出视频时序，从 Video Frame Buffer 中读取视频数据，然后输出到 HDMI(J4)端口，通过 HDMI 线缆和显示器相连，即可以看到内部产生的测试图。测试图包括彩条图，网格图，灰阶图，纯色图。

5.3 设计实例三

本参考设计以 DK-GoAI-GW1NSR4C-QN48 V1.1 开发板为例，参考设计基本框图如图 5-3 所示。DK-GoAI-GW1NSR4C-QN48 V1.1 开发板相关信息参考[官方网站](#)。

图 5-3 参考设计实例三基本结构框图

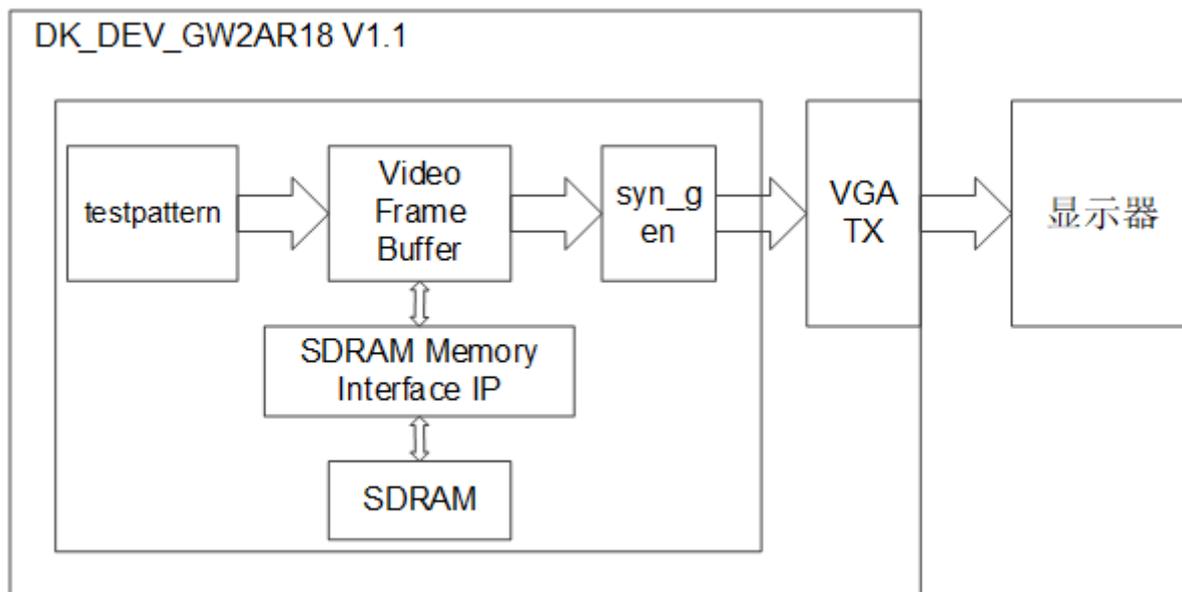


在参考设计中，通过 testpattern 模块产生测试图视频信号，输入到 Video Frame Buffer 进行视频数据缓存，Video Frame Buffer 与 HyperRAM 控制器 IP 相连，syn_gen 模块产生输出视频时序，从 Video Frame Buffer 中读取视频数据，然后输出到 HDMI(J4)端口，通过 HDMI 线缆和显示器相连，即可以看到内部产生的测试图。测试图包括彩条图，网格图，灰阶图，纯色图。

5.4 设计实例四

本参考设计以 DK_DEV_GW2AR18 V1.1 开发板为例，参考设计基本框图如图 5-4 所示。

图 5-4 参考设计实例四基本结构框图

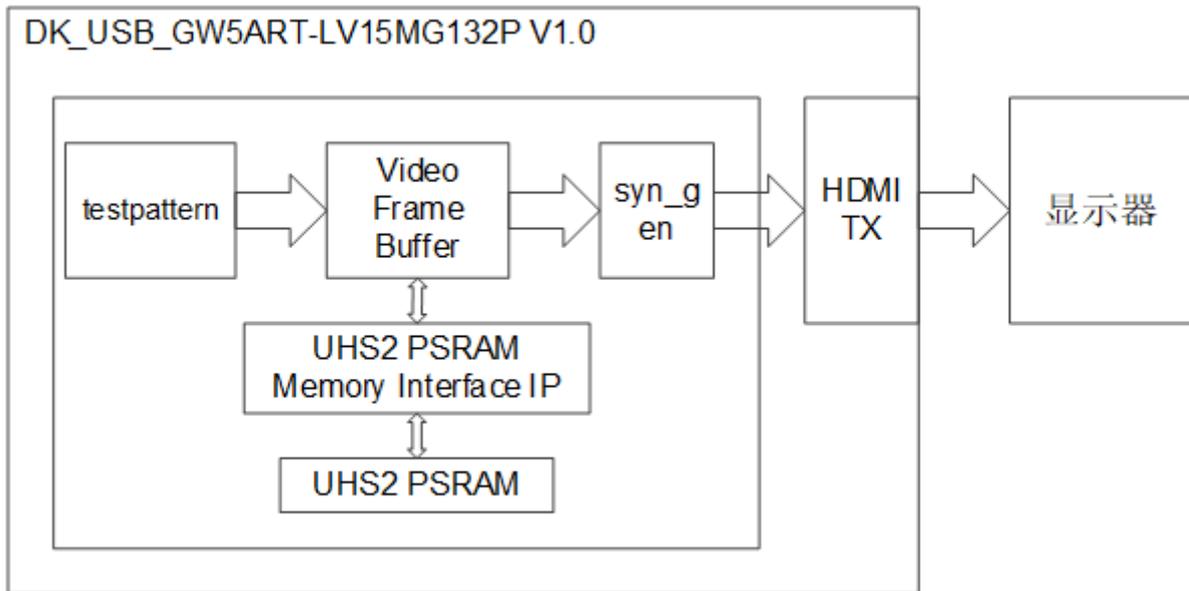


在参考设计中，通过 testpattern 模块产生测试图视频信号，输入到 Video Frame Buffer 进行视频数据缓存，Video Frame Buffer 与 SDRAM 控制器 IP 相连，syn_gen 模块产生输出视频时序，从 Video Frame Buffer 中读取视频数据，然后输出到并行 GPIO 端口，通过 GPIO 转 VGA 转换器转成 VGA 输出，再通过 VGA 线缆和显示器相连，即可以看到内部产生的测试图。测试图包括彩条图，网格图，灰阶图，纯色图。

5.5 设计实例五

本参考设计以 DK_USB_GW5ART-LV15MG132P_V1.0 开发板为例，参考设计基本框图如图 5-5 所示。

图 5-5 参考设计实例五基本结构框图



在参考设计中，通过 testpattern 模块产生测试图视频信号，输入到 Video Frame Buffer 进行视频数据缓存，Video Frame Buffer 与 UHS2 PSRAM 控制器 IP 相连，syn_gen 模块产生输出视频时序，从 Video Frame Buffer 中读取视频数据，然后输出到 HDMI(J12)端口，通过 HDMI 线缆和显示器相连，即可以看到内部产生的测试图。测试图包括彩条图，网格图，灰阶图，纯色图。

6 文件交付

Gowin Video Frame Buffer IP 交付文件主要包含三个部分，分别为：文档、设计源代码和参考设计。

6.1 文档

文件夹主要包含用户指南 PDF 文档。

表 6-1 文档列表

名称	描述
IPUG769, Gowin Video Frame Buffer IP 用户指南	高云 Video Frame Buffer IP 用户手册，即本手册。

6.2 设计源代码（加密）

加密代码文件夹包含 Gowin Video Frame Buffer IP 的 RTL 加密代码，供 GUI 使用，以配合高云云源软件产生用户所需的 IP 核。

表 6-2 Video Frame Buffer IP 设计源代码列表

名称	描述
video_frame_buffer.v	IP 核顶层文件，给用户接口信息，加密。

6.3 参考设计

Gowin VFB DDR3 RefDesign 文件夹主要包含 Gowin Video Frame Buffer IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 6-3 Gowin VFB DDR3 RefDesign 文件夹内容列表

名称	描述
video_top.v	参考设计的顶层 module
testpattern.v	测试图产生模块

名称	描述
dk_video.cst	工程物理约束文件
dk_video.sdc	工程时序约束文件
video_frame_buffer	Video Frame Buffer IP 文件夹
ddr3_memory_interface	DDR3 Memory Interface IP 文件夹
i2c_master	I2C Master IP 文件夹
gowin_rpll	rPLL IP 文件夹
syn_code	同步时序产生模块文件夹

Gowin VFB PSRAM RefDesign 文件夹主要包含 Gowin Video Frame Buffer IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 6-4 Gowin VFB PSRAM RefDesign 文件夹内容列表

名称	描述
video_top.v	参考设计的顶层 module
testpattern.v	测试图产生模块
dk_video.cst	工程物理约束文件
dk_video.sdc	工程时序约束文件
video_frame_buffer	Video Frame Buffer IP 文件夹
psram_memory_interface_hs	PSRAM Memory Interface IP 文件夹
dvi_tx_top	DVI TX IP 文件夹
gowin_rpll	rPLL IP 文件夹
syn_code	同步时序产生模块文件夹

Gowin VFB HyperRAM RefDesign 文件夹主要包含 Gowin Video Frame Buffer IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 6-5 Gowin VFB HyperRAM RefDesign 文件夹内容列表

名称	描述
video_top.v	参考设计的顶层 module
testpattern.v	测试图产生模块
dk_video.cst	工程物理约束文件
dk_video.sdc	工程时序约束文件
video_frame_buffer	Video Frame Buffer IP 文件夹
hyperram_memory_interface_hs	HyperRAM Memory Interface IP 文件夹
dvi_tx_top	DVI TX IP 文件夹
gowin_pllvr	PLLVR IP 文件夹

名称	描述
syn_code	同步时序产生模块文件夹

Gowin VFB SDRAM RefDesign 文件夹主要包含 Gowin Video Frame Buffer IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 6-6 Gowin VFB SDRAM RefDesign 文件夹内容列表

名称	描述
video_top.v	参考设计的顶层 module
testpattern.v	测试图产生模块
dk_video.cst	工程物理约束文件
dk_video.sdc	工程时序约束文件
video_frame_buffer	Video Frame Buffer IP 文件夹
SDRAM_controller_top_SIP	SDRAM Memory Interface IP 文件夹
gowin_rpll	rPLL IP 文件夹
syn_code	同步时序产生模块文件夹

Gowin VFB UHS2PSRAM RefDesign 文件夹主要包含 Gowin Video Frame Buffer IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 6-7 Gowin VFB UHS2PSRAM RefDesign 文件夹内容列表

名称	描述
video_top.v	参考设计的顶层 module
testpattern.v	测试图产生模块
dk_video.cst	工程物理约束文件
dk_video.sdc	工程时序约束文件
video_frame_buffer	Video Frame Buffer IP 文件夹
uhs2_psram_memory_interface	UHS2 PSRAM Memory Interface IP 文件夹
dvi_tx	DVI TX 文件夹
gowin_pll	PLL IP 文件夹
syn_code	同步时序产生模块文件夹

