



Gowin AHB Bus Arbiter IP

用户指南

IPUG907-1.3,2024-12-31

版权所有 © 2024 广东高云半导体科技股份有限公司

GOWIN高云、、Gowin、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2020/01/16	1.0	初始版本。
2021/07/19	1.1	● 更新 Gowin_EMPU_M1 软硬件设计； ● 删除综合工具 Synplify Pro。
2023/08/18	1.2	支持 Arora V FPGA 产品。
2024/12/31	1.3	● 更新 IP 类别，由 Bus Bridge 更改为 Bus Interconnect； ● 更新 IP 功能； ● 更新软件编程参考设计和硬件参考设计。

目录

- 目录 i**
- 图目录..... ii**
- 表目录..... iii**
- 1 关于本手册 1**
 - 1.1 手册内容 1
 - 1.2 相关文档..... 1
 - 1.3 术语、缩略语 2
 - 1.4 技术支持与反馈..... 2
- 2 功能简介 3**
 - 2.1 概述..... 3
 - 2.2 特性..... 3
- 3 工作原理 4**
 - 3.1 AHB 总线仲裁器模型 4
 - 3.2 AHB 总线仲裁机制 4
- 4 信号定义 6**
- 5 参数定义 13**
- 6 GUI 配置 14**
 - 6.1 Arbiter Master IF 配置 15
 - 6.2 Arbiter Slave IF 配置 16
 - 6.3 Bus Bit Width 配置 17
- 7 参考设计 18**

图目录

图 3-1 AHB 总线仲裁器模型	4
图 3-2 AHB 总线仲裁机制	5
图 6-1 Gowin AHB Bus Arbiter 配置界面	14
图 6-2 Aribter Master IF 配置	15
图 6-3 Arbiter Slave IF 配置	16
图 6-4 Bus Bit Width 配置	17

表目录

表 1-1 术语、缩略语	2
表 4-1 Gowin AHB Bus Arbiter 信号定义	6
表 5-1 Gowin AHB Bus Arbiter 参数定义	13

1 关于本手册

1.1 手册内容

Gowin AHB Bus Arbiter IP 用户指南主要包括功能简介、信号定义、工作原理、界面配置等，旨在帮助用户快速了解 Gowin AHB Bus Arbiter IP 的特性及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [DS821, GW1NS 系列 FPGA 产品数据手册](#)
- [DS117, GW1NR 系列 FPGA 产品数据手册](#)
- [DS861, GW1NSR 系列 FPGA 产品数据手册](#)
- [DS841, GW1NZ 系列 FPGA 产品数据手册](#)
- [DS881, GW1NSER 系列安全 FPGA 产品数据手册](#)
- [DS891, GW1NRF 系列蓝牙 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [DS961, GW2ANR 系列 FPGA 产品数据手册](#)
- [DS971, GW2AN-18X & 9X 器件数据手册](#)
- [DS976, GW2AN-55 器件数据手册](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [DS1104, GW5AST 系列 FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
MCU	Microcontroller Unit	微控制器单元
AHB	Advanced High Performace Bus	高级高性能总线
GMD	Gowin MCU Designer	高云 MCU 设计器

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 功能简介

2.1 概述

Gowin AHB Bus Arbiter, 包括 16 个 Master 设备接口和 1 个 Slave 设备接口。Master 设备可以为具有 AHB 总线协议接口的 MCU（例如，Gowin_EMPU_M1）或 FPGA 逻辑模块。Slave 设备为符合 AHB 总线协议的 FPGA 逻辑模块，基地址为 0x80000000。

Gowin AHB Bus Arbiter 支持 32 位标准 AHB 总线位宽，和增强型 64 位 AHB 总线位宽，支持高速高带宽数据通信。

Gowin AHB Bus Arbiter 的 16 个 Master 设备接口支持固定优先级仲裁，从第 1 个 Master 设备接口到第 16 个 Master 设备接口，优先级依次由高到低。

2.2 特性

Gowin AHB Bus Arbiter 特性包括：

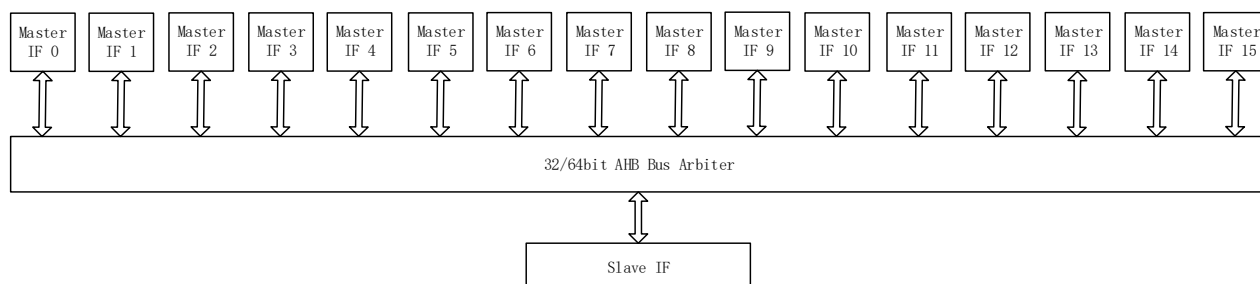
- 支持 16 个 Master 设备接口和 1 个 Slave 设备接口；
- Master 设备可以为具有 AHB 总线协议接口的 MCU 或 FPGA 逻辑模块；
- 支持标准 32 位和增强型 64 位 AHB 总线位宽；
- 支持 16 个 Master 设备接口优先级仲裁，优先级依次由高到低。

3 工作原理

3.1 AHB 总线仲裁器模型

如图 3-1 所示，AHB 总线仲裁器模型包括 16 个 Master 设备接口和 1 个 Slave 设备接口。16 个 Master 设备可以为具有 AHB 总线协议接口的 MCU 或 FPGA 逻辑模块。16 个 Master 设备接口固定优先级，Master 设备接口 0 到 Master 设备接口 15，优先级由高到低。Slave 基地址为 0x80000000。如果 Master 设备为 Gowin_EMPU_M1，则适用于 AHB Master [1] 总线扩展接口。

图 3-1 AHB 总线仲裁器模型



3.2 AHB 总线仲裁机制

仲裁器是 AHB 系统总线的主要管理机构，监视 Master 设备发出的总线请求，根据内部设定的仲裁算法进行仲裁，给出相应的控制信号。总线采用固定优先级算法，每个时刻只能有一个 Master 设备占用总线，先请求者先响应，同一时刻请求时，按优先级确定，每个交互都不允许被打断。

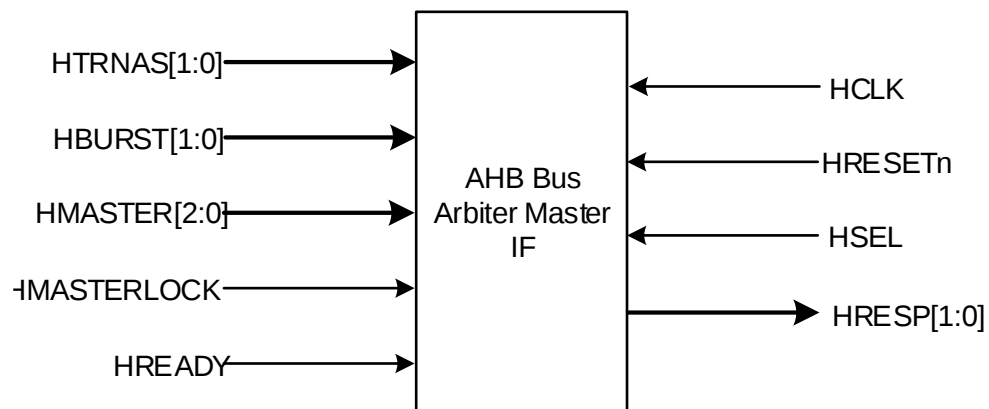
如图 3-2 所示，HCLK 和 HRESETn 分别为时钟信号和复位信号。

- HSEL 是指 Master 设备选择 Slave 设备；
- HREADY 是指 Slave 设备准备好信号；
- HTRANS 是指总线交互类型，包括 IDLE、BUSY、NONSEQ 和 SEQ 等四种交互类型；
- HRESP 是指交互过程中的反应信号，包括 OKAY、ERROR、RETRY 和 SPLIT；
- HBURST 是指突发类型，共有 8 种不同的突发交互，可分为单个交互

SINGLE、不定长突发交互 INCR 和固定长突发交互 3 类；

- HMASTER 是指允许 Master 设备使用总线译码，只有此信号有效时，Master 设备才可以使用总线译码；
- HMASTERLOCK 有效是指此时的交互是锁定序列的交互。

图 3-2 AHB 总线仲裁机制



4 信号定义

Gowin AHB Bus Arbiter 信号定义，如表 4-1 所示。

表 4-1 Gowin AHB Bus Arbiter 信号定义

序号	信号名称	方向	描述	备注
1	HCLK	input	System clock signal	-
2	HRESETn	input	System reset signal	-
3	SHRDATAM0	input	Slave read data bus	Slave Slave IF（默认配置）
4	SHREADYOUTM0	input	Slave HREADY feedback to master	
5	SHRESPM0	input	Slave transfer response	
6	SHSELM0	output	Slave select	
7	SHADDRM0	output	Slave address bus	
8	SHTRANSM0	output	Slave transfer type	
9	SHWRITEM0	output	Slave transfer direction	
10	SHSIZEM0	output	Slave transfer size	
11	SHBURSTM0	output	Slave burst type	
12	SHPROTM0	output	Slave protection control	
13	SHMASTERM0	output	Slave master select	
14	SHWDATAM0	output	Slave write data bus	
15	SHMASTLOCKM0	output	Slave locked sequence	
16	SHREADYMUXM0	output	Slave transfer done	
17	MHSELS0	input	Master IF_0 slave select	Arbiter Master IF 0
18	MHADDRS0	input	Master IF_0 address bus	
19	MHTRANSS0	input	Master IF_0 transfer type	
20	MHWITES0	input	Master IF_0 transfer direction	
21	MHSIZES0	input	Master IF_0 transfer size	
22	MHBURSTS0	input	Master IF_0 burst type	
23	MHPROTS0	input	Master IF_0 protection control	
24	MHMASTERS0	input	Master IF_0 master select	
25	MHWDATAS0	input	Master IF_0 write data bus	

序号	信号名称	方向	描述	备注
26	MHMASTLOCKS0	input	Master IF_0 locked sequence	
27	MHREADYS0	input	Master IF_0 transfer done	
28	MHRDATAS0	output	Master IF_0 read data bus	
29	MHREADYOUTS0	output	Master IF_0 HREADY feedback from slave	
30	MHRESPS0	output	Master IF_0 transfer response	
31	MHSELS1	input	Master IF_1 slave select	Arbiter Master IF 1
32	MHADDRS1	input	Master IF_1 address bus	
33	MHTRANS1	input	Master IF_1 transfer type	
34	MHWRTS1	input	Master IF_1 transfer direction	
35	MHSIZES1	input	Master IF_1 transfer size	
36	MHBURSTS1	input	Master IF_1 burst type	
37	MHPROTS1	input	Master IF_1 protection control	
38	MHMASTERS1	input	Master IF_1 master select	
39	MHWDTAS1	input	Master IF_1 write data bus	
40	MHMASTLOCKS1	input	Master IF_1 locked sequence	
41	MHREADYS1	input	Master IF_1 transfer done	
42	MHRDATAS1	output	Master IF_1 read data bus	
43	MHREADYOUTS1	output	Master IF_1 HREADY feedback from slave	
44	MHRESPS1	output	Master IF_1 transfer response	
45	MHSELS2	input	Master IF_2 slave select	Arbiter Master IF 2
46	MHADDRS2	input	Master IF_2 address bus	
47	MHTRANS2	input	Master IF_2 transfer type	
48	MHWRTS2	input	Master IF_2 transfer direction	
49	MHSIZES2	input	Master IF_2 transfer size	
50	MHBURSTS2	input	Master IF_2 burst type	
51	MHPROTS2	input	Master IF_2 protection control	
52	MHMASTERS2	input	Master IF_2 master select	
53	MHWDTAS2	input	Master IF_2 write data bus	
54	MHMASTLOCKS2	input	Master IF_2 locked sequence	
55	MHREADYS2	input	Master IF_2 transfer done	
56	MHRDATAS2	output	Master IF_2 read data bus	
57	MHREADYOUTS2	output	Master IF_2 HREADY feedback from slave	
58	MHRESPS2	output	Master IF_2 transfer response	
59	MHSELS3	input	Master IF_3 slave select	Arbiter Master IF 3
60	MHADDRS3	input	Master IF_3 address bus	
61	MHTRANS3	input	Master IF_0 transfer type	
62	MHWRTS3	input	Master IF_3 transfer direction	

序号	信号名称	方向	描述	备注
63	MHSIZES3	input	Master IF_3 transfer size	
64	MHBURSTS3	input	Master IF_3 burst type	
65	MHPROTS3	input	Master IF_3 protection control	
66	MHMASTERS3	input	Master IF_3 master select	
67	MHWDATAS3	input	Master IF_3 write data bus	
68	MHMASTLOCKS3	input	Master IF_3 locked sequence	
69	MHREADYS3	input	Master IF_3 transfer done	
70	MHRDATAS3	output	Master IF_3 read data bus	
71	MHREADYOUTS3	output	Master IF_3 HREADY feedback from slave	
72	MHRESPS3	output	Master IF_3 transfer response	
73	MHSELS4	input	Master IF_4 slave select	Arbiter Master IF 4
74	MHADDRS4	input	Master IF_4 address bus	
75	MHTRANS4	input	Master IF_4 transfer type	
76	MHWWRITES4	input	Master IF_4 transfer direction	
77	MHSIZES4	input	Master IF_4 transfer size	
78	MHBURSTS4	input	Master IF_4 burst type	
79	MHPROTS4	input	Master IF_4 protection control	
80	MHMASTERS4	input	Master IF_4 master select	
81	MHWDATAS4	input	Master IF_4 write data bus	
82	MHMASTLOCKS4	input	Master IF_4 locked sequence	
83	MHREADYS4	input	Master IF_4 transfer done	
84	MHRDATAS4	output	Master IF_4 read data bus	
85	MHREADYOUTS4	output	Master IF_4 HREADY feedback from slave	
86	MHRESPS4	output	Master IF_4 transfer response	
87	MHSELS5	input	Master IF_5 slave select	Arbiter Master IF 5
88	MHADDRS5	input	Master IF_5 address bus	
89	MHTRANS5	input	Master IF_5 transfer type	
90	MHWWRITES5	input	Master IF_5 transfer direction	
91	MHSIZES5	input	Master IF_5 transfer size	
92	MHBURSTS5	input	Master IF_5 burst type	
93	MHPROTS5	input	Master IF_5 protection control	
94	MHMASTERS5	input	Master IF_5 master select	
95	MHWDATAS5	input	Master IF_5 write data bus	
96	MHMASTLOCKS5	input	Master IF_5 locked sequence	
97	MHREADYS5	input	Master IF_5 transfer done	
98	MHRDATAS5	output	Master IF_5 read data bus	
99	MHREADYOUTS5	output	Master IF_5 HREADY feedback from slave	

序号	信号名称	方向	描述	备注
100	MHRESPS5	output	Master IF_5 transfer response	
101	MHSELS6	input	Master IF_6 slave select	Arbiter Master IF 6
102	MHADDRS6	input	Master IF_6 address bus	
103	MHTRANSS6	input	Master IF_6 transfer type	
104	MHWITES6	input	Master IF_6 transfer direction	
105	MHSIZES6	input	Master IF_6 transfer size	
106	MHBURSTS6	input	Master IF_6 burst type	
107	MHPROTS6	input	Master IF_6 protection control	
108	MHMASTERS6	input	Master IF_6 master select	
109	MHWDATAS6	input	Master IF_6 write data bus	
110	MHMASTLOCKS6	input	Master IF_6 locked sequence	
111	MHREADYS6	input	Master IF_6 transfer done	
112	MHRDATAS6	output	Master IF_6 read data bus	
113	MHREADYOUTS6	output	Master IF_6 HREADY feedback from slave	
114	MHRESPS6	output	Master IF_6 transfer response	
115	MHSELS7	input	Master IF_7 slave select	Arbiter Master IF 7
116	MHADDRS7	input	Master IF_7 address bus	
117	MHTRANSS7	input	Master IF_7 transfer type	
118	MHWITES7	input	Master IF_7 transfer direction	
119	MHSIZES7	input	Master IF_7 transfer size	
120	MHBURSTS7	input	Master IF_7 burst type	
121	MHPROTS7	input	Master IF_7 protection control	
122	MHMASTERS7	input	Master IF_7 master select	
123	MHWDATAS7	input	Master IF_7 write data bus	
124	MHMASTLOCKS7	input	Master IF_7 locked sequence	
125	MHREADYS7	input	Master IF_7 transfer done	
126	MHRDATAS7	output	Master IF_7 read data bus	
127	MHREADYOUTS7	output	Master IF_7 HREADY feedback from slave	
128	MHRESPS7	output	Master IF_7 transfer response	
129	MHSELS8	input	Master IF_8 slave select	Arbiter Master IF 8
130	MHADDRS8	input	Master IF_8 address bus	
131	MHTRANSS8	input	Master IF_8 transfer type	
132	MHWITES8	input	Master IF_8 transfer direction	
133	MHSIZES8	input	Master IF_8 transfer size	
134	MHBURSTS8	input	Master IF_8 burst type	
135	MHPROTS8	input	Master IF_8 protection control	
136	MHMASTERS8	input	Master IF_8 master select	
137	MHWDATAS8	input	Master IF_8 write data bus	

序号	信号名称	方向	描述	备注
138	MHMASTLOCKS8	input	Master IF_8 locked sequence	
139	MHREADYS8	input	Master IF_8 transfer done	
140	MHRDATAS8	output	Master IF_8 read data bus	
141	MHREADYOUTS8	output	Master IF_8 HREADY feedback from slave	
142	MHRESPS8	output	Master IF_8 transfer response	
143	MHSELS9	input	Master IF_9 slave select	Arbiter Master IF 9
144	MHADDRS9	input	Master IF_9 address bus	
145	MHTRANS9	input	Master IF_9 transfer type	
146	MHWRTS9	input	Master IF_9 transfer direction	
147	MHSIZES9	input	Master IF_9 transfer size	
148	MHBURSTS9	input	Master IF_9 burst type	
149	MHPROTS9	input	Master IF_9 protection control	
150	MHMASTERS9	input	Master IF_9 master select	
151	MHWDTAS9	input	Master IF_9 write data bus	
152	MHMASTLOCKS9	input	Master IF_9 locked sequence	
153	MHREADYS9	input	Master IF_9 transfer done	
154	MHRDATAS9	output	Master IF_9 read data bus	
155	MHREADYOUTS9	output	Master IF_9 HREADY feedback from slave	
156	MHRESPS9	output	Master IF_9 transfer response	
157	MHSELS10	input	Master IF_10 slave select	Arbiter Master IF 10
158	MHADDRS10	input	Master IF_10 address bus	
159	MHTRANS10	input	Master IF_10 transfer type	
160	MHWRTS10	input	Master IF_10 transfer direction	
161	MHSIZES10	input	Master IF_10 transfer size	
162	MHBURSTS10	input	Master IF_10 burst type	
163	MHPROTS10	input	Master IF_10 protection control	
164	MHMASTERS10	input	Master IF_10 master select	
165	MHWDTAS10	input	Master IF_10 write data bus	
166	MHMASTLOCKS10	input	Master IF_10 locked sequence	
167	MHREADYS10	input	Master IF_10 transfer done	
168	MHRDATAS10	output	Master IF_10 read data bus	
169	MHREADYOUTS10	output	Master IF_10 HREADY feedback from slave	
170	MHRESPS10	output	Master IF_10 transfer response	
171	MHSELS11	input	Master IF_11 slave select	Arbiter Master IF 11
172	MHADDRS11	input	Master IF_11 address bus	
173	MHTRANS11	input	Master IF_0 transfer type	
174	MHWRTS11	input	Master IF_11 transfer direction	

序号	信号名称	方向	描述	备注
175	MHSIZES11	input	Master IF_11 transfer size	
176	MHBURSTS11	input	Master IF_11 burst type	
177	MHPROTS11	input	Master IF_11 protection control	
178	MHMASTERS11	input	Master IF_11 master select	
179	MHWDATAS11	input	Master IF_11 write data bus	
180	MHMASTLOCKS11	input	Master IF_11 locked sequence	
181	MHREADYS11	input	Master IF_11 transfer done	
182	MHRDATAS11	output	Master IF_11 read data bus	
183	MHREADYOUTS11	output	Master IF_11 HREADY feedback from slave	
184	MHRESPS11	output	Master IF_11 transfer response	
185	MHSELS12	input	Master IF_12 slave select	Arbiter Master IF 12
186	MHADDRS12	input	Master IF_12 address bus	
187	MHTRANS12	input	Master IF_12 transfer type	
188	MHWWRITES12	input	Master IF_12 transfer direction	
189	MHSIZES12	input	Master IF_12 transfer size	
190	MHBURSTS12	input	Master IF_12 burst type	
191	MHPROTS12	input	Master IF_12 protection control	
192	MHMASTERS12	input	Master IF_12 master select	
193	MHWDATAS12	input	Master IF_12 write data bus	
194	MHMASTLOCKS12	input	Master IF_12 locked sequence	
195	MHREADYS12	input	Master IF_12 transfer done	
196	MHRDATAS12	output	Master IF_12 read data bus	
197	MHREADYOUTS12	output	Master IF_12 HREADY feedback from slave	
198	MHRESPS12	output	Master IF_12 transfer response	
199	MHSELS13	input	Master IF_13 slave select	Arbiter Master IF 13
200	MHADDRS13	input	Master IF_13 address bus	
201	MHTRANS13	input	Master IF_13 transfer type	
202	MHWWRITES13	input	Master IF_13 transfer direction	
203	MHSIZES13	input	Master IF_13 transfer size	
204	MHBURSTS13	input	Master IF_13 burst type	
205	MHPROTS13	input	Master IF_13 protection control	
206	MHMASTERS13	input	Master IF_13 master select	
207	MHWDATAS13	input	Master IF_13 write data bus	
208	MHMASTLOCKS13	input	Master IF_13 locked sequence	
209	MHREADYS13	input	Master IF_13 transfer done	
210	MHRDATAS13	output	Master IF_13 read data bus	
211	MHREADYOUTS13	output	Master IF_13 HREADY feedback from slave	

序号	信号名称	方向	描述	备注
212	MHRESPS13	output	Master IF_13 transfer response	
213	MHSELS14	input	Master IF_14 slave select	Arbiter Master IF 14
214	MHADDRS14	input	Master IF_14 address bus	
215	MHTRANSS14	input	Master IF_14 transfer type	
216	MHWITES14	input	Master IF_14 transfer direction	
217	MHSIZES14	input	Master IF_14 transfer size	
218	MHBURSTS14	input	Master IF_14 burst type	
219	MHPROTS14	input	Master IF_14 protection control	
220	MHMASTERS14	input	Master IF_14 master select	
221	MHWDATAS4	input	Master IF_14 write data bus	
222	MHMASTLOCKS14	input	Master IF_14 locked sequence	
223	MHREADYS14	input	Master IF_14 transfer done	
224	MHRDATAS14	output	Master IF_14 read data bus	
225	MHREADYOUTS14	output	Master IF_14 HREADY feedback from slave	
226	MHRESPS14	output	Master IF_14 transfer response	
227	MHSELS15	input	Master IF_15 slave select	Arbiter Master IF 15
228	MHADDRS15	input	Master IF_15 address bus	
229	MHTRANSS15	input	Master IF_15 transfer type	
230	MHWITES15	input	Master IF_15 transfer direction	
231	MHSIZES5	input	Master IF_15 transfer size	
232	MHBURSTS15	input	Master IF_15 burst type	
233	MHPROTS15	input	Master IF_15 protection control	
234	MHMASTERS15	input	Master IF_15 master select	
235	MHWDATAS15	input	Master IF_15 write data bus	
236	MHMASTLOCKS15	input	Master IF_15 locked sequence	
237	MHREADYS15	input	Master IF_15 transfer done	
238	MHRDATAS15	output	Master IF_15 read data bus	
239	MHREADYOUTS15	output	Master IF_15 HREADY feedback from slave	
240	MHRESPS15	output	Master IF_15 transfer response	

5参数定义

Gowin AHB Bus Arbiter 参数定义如表 5-1 所示。

表 5-1 Gowin AHB Bus Arbiter 参数定义

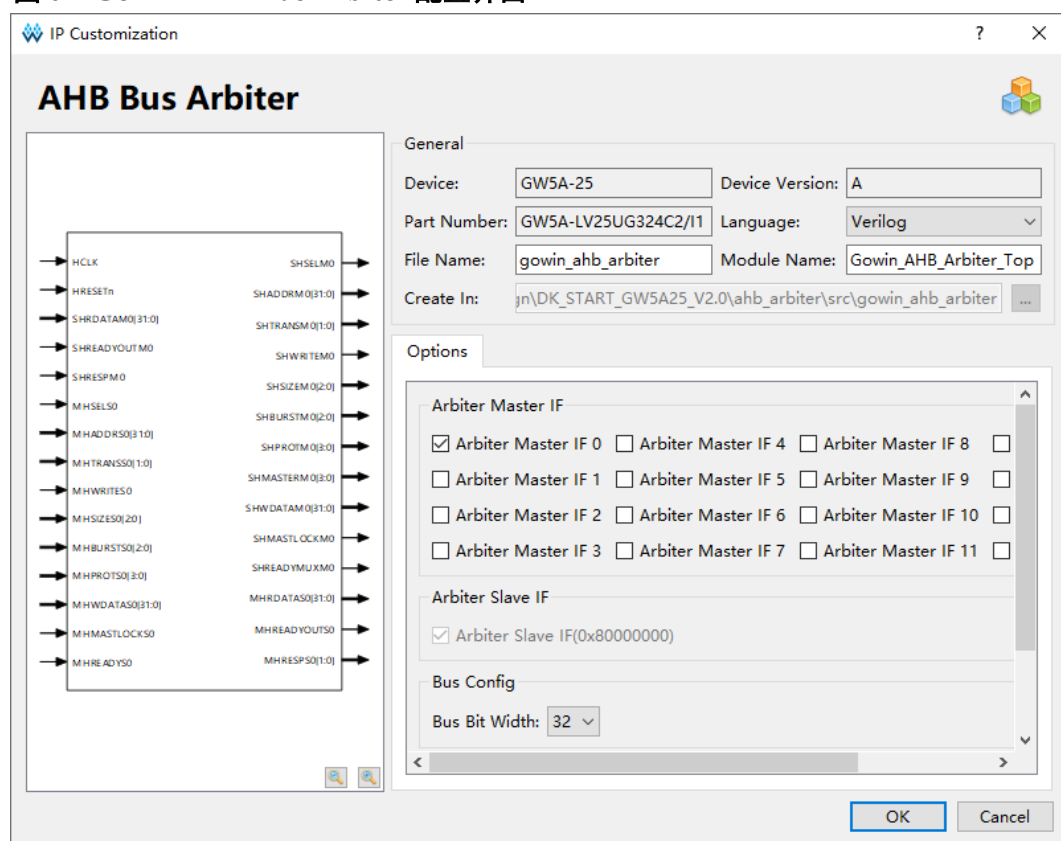
序号	名称	描述	值
1	Arbiter Master IF 0	配置第一个 Arbiter Master interface	Enable/Disable
2	Arbiter Master IF 1	配置第二个 Arbiter Master interface	Enable/Disable
3	Arbiter Master IF 2	配置第三个 Arbiter Master interface	Enable/Disable
4	Arbiter Master IF 3	配置第四个 Arbiter Master interface	Enable/Disable
5	Arbiter Master IF 4	配置第五个 Arbiter Master interface	Enable/Disable
6	Arbiter Master IF 5	配置第六个 Arbiter Master interface	Enable/Disable
7	Arbiter Master IF 6	配置第七个 Arbiter Master interface	Enable/Disable
8	Arbiter Master IF 7	配置第八个 Arbiter Master interface	Enable/Disable
9	Arbiter Master IF 8	配置第九个 Arbiter Master interface	Enable/Disable
10	Arbiter Master IF 9	配置第十个 Arbiter Master interface	Enable/Disable
11	Arbiter Master IF 10	配置第十一个 Arbiter Master interface	Enable/Disable
12	Arbiter Master IF 11	配置第十二个 Arbiter Master interface	Enable/Disable
13	Arbiter Master IF 12	配置第十三个 Arbiter Master interface	Enable/Disable
14	Arbiter Master IF 13	配置第十四个 Arbiter Master interface	Enable/Disable
15	Arbiter Master IF 14	配置第十五个 Arbiter Master interface	Enable/Disable
16	Arbiter Master IF 15	配置第十六个 Arbiter Master interface	Enable/Disable
17	Arbiter Slave IF	配置 Arbiter Slave interface	Enable
18	Bus Bit Width	配置 AHB 总线位宽	32/64

6 界面配置

用户可在高云半导体云源软件中的 IP 内核生成器工具调用和配置 Gowin AHB Bus Arbiter IP。使用菜单栏 “Tools > IP Core Generator” 或工具栏 “”，打开 IP Core Generator，选择 “Soft IP Core > Microprocessor System > Bus Interconnect > AHB Bus Arbiter 1.2”。

Gowin AHB Bus Arbiter 配置界面如图 6-1 所示。

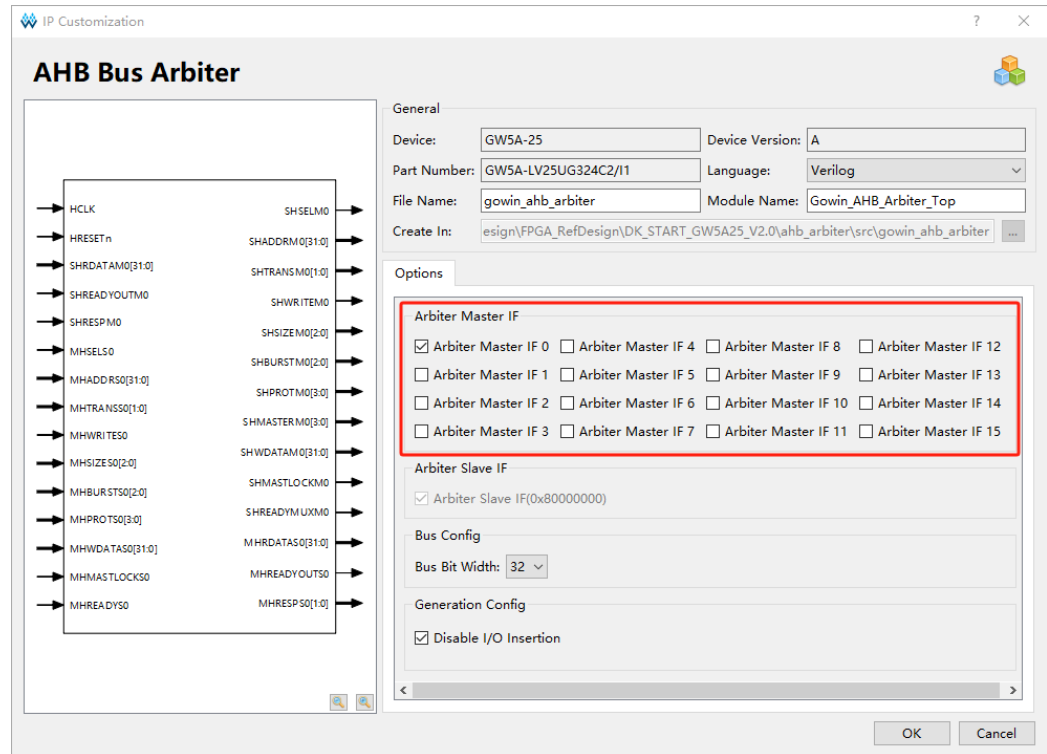
图 6-1 Gowin AHB Bus Arbiter 配置界面



6.1 Arbiter Master IF 配置

Arbiter Master IF 配置，如图 6-2 所示。

图 6-2 Aribter Master IF 配置



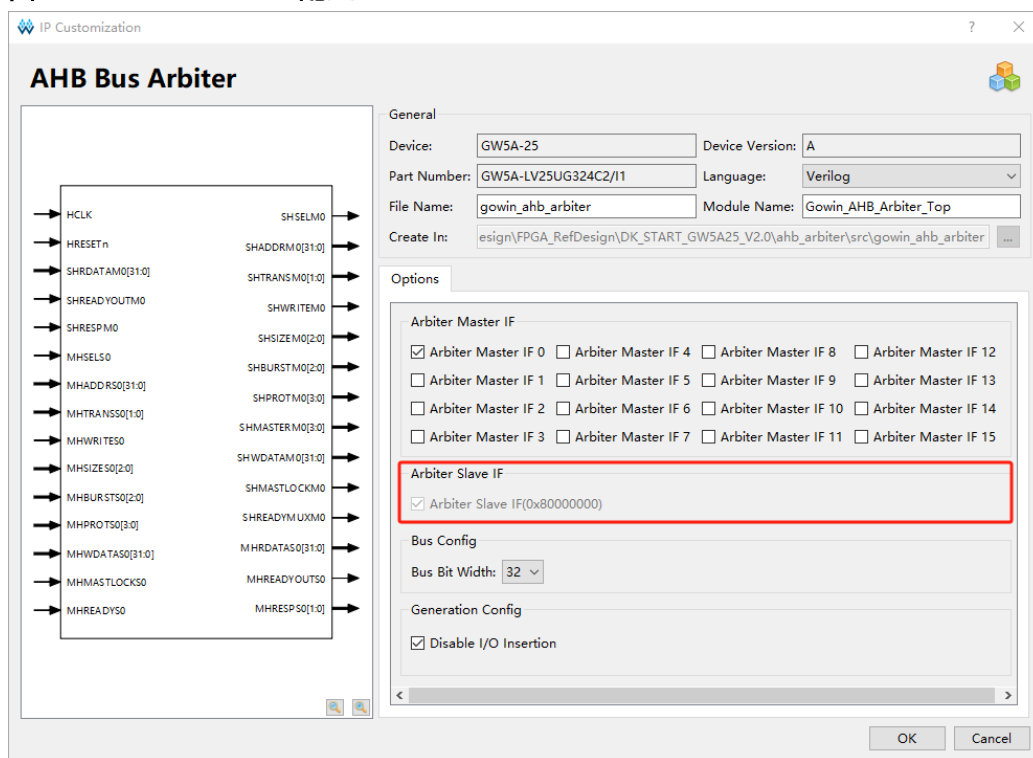
- 如果选择 “Arbiter Master IF 0”，则配置输出第一个 Master interface；
- 如果选择 “Arbiter Master IF 1”，则配置输出第二个 Master interface；
- 如果选择 “Arbiter Master IF 2”，则配置输出第三个 Master interface；
- 如果选择 “Arbiter Master IF 3”，则配置输出第四个 Master interface；
- 如果选择 “Arbiter Master IF 4”，则配置输出第五个 Master interface；
- 如果选择 “Arbiter Master IF 5”，则配置输出第六个 Master interface；
- 如果选择 “Arbiter Master IF 6”，则配置输出第七个 Master interface；
- 如果选择 “Arbiter Master IF 7”，则配置输出第八个 Master interface；
- 如果选择 “Arbiter Master IF 8”，则配置输出第九个 Master interface；
- 如果选择 “Arbiter Master IF 9”，则配置输出第十个 Master interface；
- 如果选择 “Arbiter Master IF 10”，则配置输出第十一个 Master interface；
- 如果选择 “Arbiter Master IF 11”，则配置输出第十二个 Master interface；
- 如果选择 “Arbiter Master IF 12”，则配置输出第十三个 Master interface；
- 如果选择 “Arbiter Master IF 13”，则配置输出第十四个 Master interface；

- 如果选择“Arbiter Master IF 14”，则配置输出第十五個 Master interface；
- 如果选择“Arbiter Master IF 15”，则配置输出第十六個 Master interface；

6.2 Arbiter Slave IF 配置

AHB Bus Arbiter 支持 1 个 Slave 设备，默认选择基地址 0x80000000，Arbiter Slave IF 配置，如图 6-3 所示。

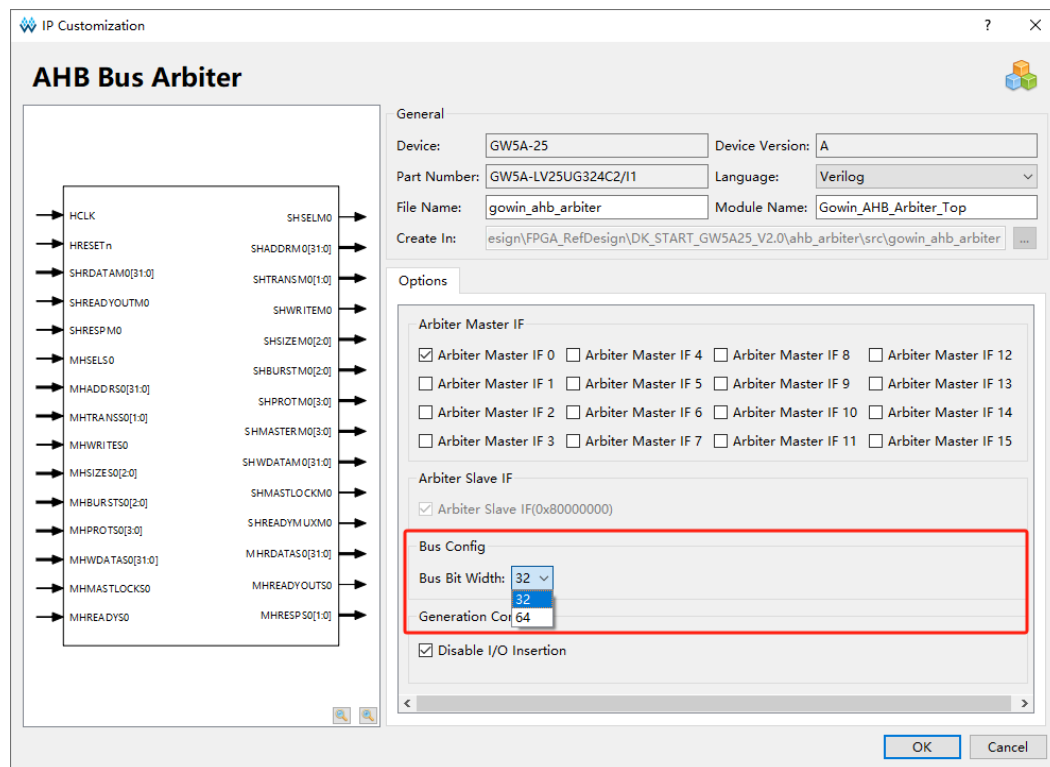
图 6-3 Arbiter Slave IF 配置



6.3 Bus Bit Width 配置

AHB Bus Arbiter bus bit width 配置，如图 6-4 所示。

图 6-4 Bus Bit Width 配置



- 如果选择 32 位，则 AHB Bus Arbiter 总线位宽为标准 32 位；
- 如果选择 64 位，则 AHB Bus Arbiter 总线位宽为增强型 64 位；
- AHB Bus Arbiter 总线位宽，默认为 32 位。

7 参考设计

详细信息请参见高云半导体网站 Gowin AHB Bus Arbiter 相关[参考设计](#):

- 硬件参考设计: ...\\ref_design\FPGA_RefDesign\DK_START_GW5A25_V2.0\ahb_arbiter
- 软件编程参考设计: ...\\ref_design\MCU_RefDesign\ahb_arbiter

