




# Gowin DVI TX RX IP 用户指南

IPUG938-2.4, 2025-01-17

**版权所有 © 2025 广东高云半导体科技股份有限公司**

**GOWIN**高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、Arora-V、GowinPnR、GoBridge 均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其所有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

## **免责声明**

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

## 版本信息

日期	版本	说明
2020/04/15	1.0	初始版本。
2020/10/30	2.0	<ul style="list-style-type: none"><li>● DVI TX IP 增加 TLVDS_OBUF 和 ELVDS_OBUF 选项；</li><li>● DVI RX IP 增加 Use External PLL 选项。</li></ul>
2021/02/26	2.1	增加新支持器件。
2021/09/18	2.2	DVI RX IP 增加 Phase Search Mode 选项和 Debug 选项。
2023/10/31	2.3	增加 Phase Search Mode 说明。
2025/01/17	2.4	<ul style="list-style-type: none"><li>● 增加 O_pll_lock 输出端口；</li><li>● Auto 模式代码更新。</li></ul>

# 目录

图目录.....	iii
表目录.....	iv
<b>1 关于本手册.....</b>	<b>1</b>
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语.....	2
1.4 技术支持与反馈.....	2
<b>2 概述.....</b>	<b>3</b>
2.1 概述.....	3
2.2 主要特征.....	3
2.3 资源利用.....	4
<b>3 功能描述.....</b>	<b>5</b>
3.1 系统框图.....	5
3.2 实现框图.....	6
3.2.1 DVI TX.....	6
3.2.2 DVI RX.....	8
3.3 端口列表.....	9
3.3.1 DVI TX 端口.....	9
3.3.2 DVI RX 端口.....	11
3.4 参数配置.....	13
3.4.1 DVI TX 参数.....	13
3.4.2 DVI RX 参数.....	13
3.5 时序说明.....	14
<b>4 界面配置.....</b>	<b>17</b>
4.1 DVI TX IP 配置.....	17
4.2 DVI RX IP 配置.....	20
<b>5 参考设计.....</b>	<b>23</b>
5.1 设计实例一.....	23
5.2 设计实例二.....	24
<b>6 文件交付.....</b>	<b>25</b>

---

6.1 文档.....	25
6.2 设计源代码（加密）.....	25
6.3 参考设计.....	25
<b>7 附录.....</b>	<b>27</b>
7.1 DVI 和 HDMI 兼容性.....	27
7.2 DVI 针脚分配.....	27
7.3 HDMI 针脚分配.....	29

# 图目录

图 3-1 系统框图.....	5
图 3-2 实现框图.....	6
图 3-3 TMDS 编码算法流程图.....	7
图 3-4 TMDS 解码算法流程图.....	9
图 3-5 DVI TX IO 端口示意图.....	10
图 3-6 DVI RX IO 端口示意图.....	11
图 3-7 DVI 视频接口时序示意图.....	14
图 3-8 TMDS 接口时序图.....	14
图 3-9 DVI RX 串行数据采样示意图.....	15
图 3-10 DVI RX 内部时钟树示意图.....	15
图 4-1 打开 IP Core Generator.....	17
图 4-2 打开 DVI TX IP 核.....	18
图 4-3 DVI TX IP 核接口示意图.....	18
图 4-4 基本信息配置界面.....	19
图 4-5 Options 选项卡.....	19
图 4-6 打开 IP Core Generator.....	20
图 4-7 打开 DVI RX IP 核.....	21
图 4-8 DVI RX IP 核接口示意图.....	21
图 4-9 基本信息配置界面.....	22
图 4-10 Options 选项卡.....	22
图 5-1 参考设计实例一基本结构框图.....	23
图 5-2 参考设计实例二基本结构框图.....	24
图 7-1 DVI-D 连接器示意图.....	27
图 7-2 A 类 HDMI 连接器示意图.....	29

# 表目录

表 1-1 术语、缩略语.....	2
表 2-1 Gowin DVI TX RX IP.....	3
表 2-2 DVI TX 占用资源.....	4
表 2-3 DVI RX 占用资源.....	4
表 3-1 编码算法定义.....	8
表 3-2 Gowin DVI TX IP 的端口列表.....	10
表 3-3 Gowin DVI RX IP 的端口列表.....	11
表 3-4 DVI TX 参数.....	13
表 3-5 DVI RX 参数.....	13
表 6-1 文档列表.....	25
表 6-2 DVI TX 设计源代码列表.....	25
表 6-3 DVI RX 设计源代码列表.....	25
表 6-4 Gowin DVI RX RefDesign 文件夹内容列表.....	26
表 6-5 Gowin DVI TX RefDesign 文件夹内容列表.....	26
表 7-1 DVI-D 连接器引脚分配.....	27
表 7-2 A 类 HDMI 连接器引脚分配.....	29

# 1 关于本手册

## 1.1 手册内容

Gowin DVI TX RX IP 用户指南主要内容包括产品概述、功能描述、配置调用、参考设计等，旨在帮助用户快速了解 Gowin DVI TX RX IP 的特性及使用方法。本手册中的软件界面截图参考的是 V 1.9.11 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

## 1.2 相关文档

通过登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可以下载、查看以下相关文档：

- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [DS117, GW1NR 系列 FPGA 产品数据手册](#)
- [DS821, GW1NS 系列 FPGA 产品数据手册](#)
- [DS861, GW1NSR 系列 FPGA 产品数据手册](#)
- [DS881, GW1NSER 系列安全 FPGA 产品数据手册](#)
- [DS891, GW1NRF 系列蓝牙 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [DS961, GW2ANR 系列 FPGA 产品数据手册](#)
- [DS976, GW2AN-55 器件数据手册](#)
- [DS971, GW2AN-18X\\_&\\_9X 器件数据手册](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [DS1105, GW5AS 系列 FPGA 产品数据手册](#)
- [DS1108, GW5AR 系列 FPGA 产品数据手册](#)
- [DS1118, GW5ART 系列 FPGA 产品数据手册](#)



- [DS1239, GW5AST 系列 FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

## 1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
DDWG	Digital Display Working Group	数字显示工作组
DE	Data Enable	数据使能
DVI	Digital Visual Interface	数字视频接口
FPGA	Field Programmable Gate Array	现场可编程门阵列
HS	Horizontal Sync	水平同步
IP	Intellectual Property	知识产权
RGB	R(Red) G(Green) B(Blue)	红绿蓝颜色空间
SRAM	Static Random Access Memory	静态随机存储器
TMDS	Transition Minimized Differential Signaling	最小化传输差分信号
VESA	Video Electronics Standards Association	视频电子标准协会
VS	Vertical Sync	垂直同步

## 1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 概述

## 2.1 概述

DVI (Digital Visual Interface)，即数字视频接口，是基于 TMDS(Transition Minimized Differential Signaling，最小化传输差分信号)技术来传输数字信号。DVI TX IP 用于接收并行视频信号，然后根据 DVI 协议编码成 TMDS 信号输出。DVI RX IP 用于接收 TMDS 信号，然后根据 DVI 协议解码成并行视频信号。

表 2-1 Gowin DVI TX RX IP

Gowin DVI TX RX IP	
逻辑资源	请参见表 2-2 和表 2-3。
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software (V1.9.5.02beta 及以上)

### 注!

可登录 [高云半导体网站](#) 查看芯片支持信息。

## 2.2 主要特征

- 支持 DVI 1.0 标准
- 支持 DVI-D 接口
- 支持 Single-link TMDS 传输
- 采用低电压差分信号
- 单个差分通道数据速率可支持范围为 80Mb/s~800Mb/s

## 2.3 资源利用

通过 Verilog 语言实现 DVI TX 和 RX。因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。以高云 GW1N-4 系列 FPGA 为例，DVI TX 和 RX 资源利用情况如表 2-2 和表 2-3 所示。

表 2-2 DVI TX 占用资源

器件系列	速度等级	器件名称	资源利用	备注
GW1N-4	-6	LUT	335	配置内部 PLL
		REG	91	
		PLL	1	
		OSER10	4	

表 2-3 DVI RX 占用资源

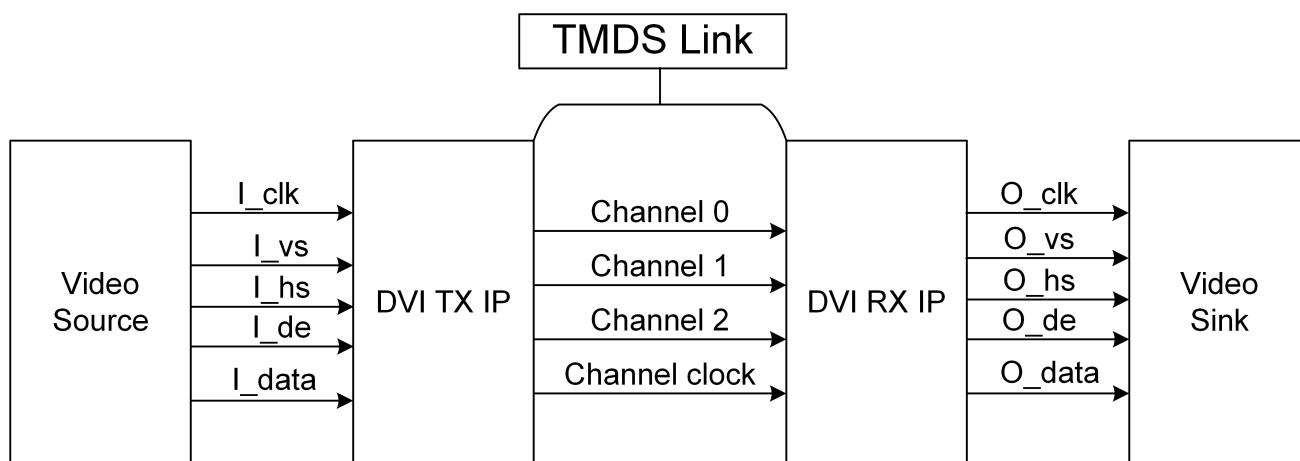
器件系列	速度等级	器件名称	资源利用	备注
GW1N-4	-6	LUT	902	配置内部 PLL
		REG	427	
		PLL	1	
		CLKDIV	1	
		IODELAY	3	
		IDES10	3	

# 3 功能描述

## 3.1 系统框图

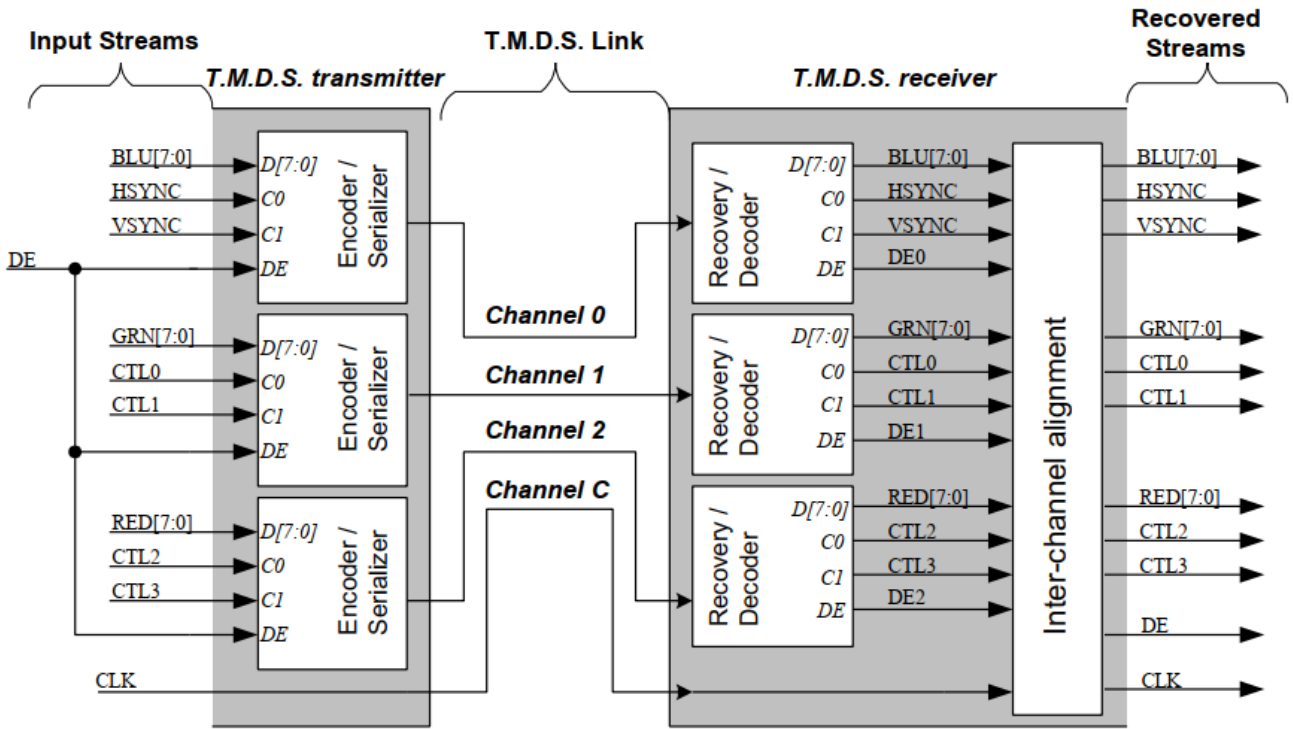
Gowin DVI IP 分为 DVI TX IP 和 DVI RX IP，其系统框图如图 3-1 所示。

图 3-1 系统框图



### 3.2 实现框图

图 3-2 实现框图



DVI TX IP 主要包括编码模块，串行化模块。DVI RX IP 主要包括解码模块，解串行化模块和数据对齐模块。

#### 3.2.1 DVI TX

根据 DVI 协议标准，在单 link 的 TMDS 发送端包含 3 个独立的编码模块。各个模块与视频信号各个分量的对应关系如图 3-2。通道 0 对应蓝色分量，且包含行同步信号 HSYNC，场同步信号 VSYNC，通道 1 对应绿色分量，通道 2 对应红色分量。控制信号 CTL0，CTL1，CTL2 和 CTL3 必须设为 0。

编码模块所使用的算法如图 3-3 所示，图中各信号定义如表 3-1 所示。

图 3-3 TMDS 编码算法流程图

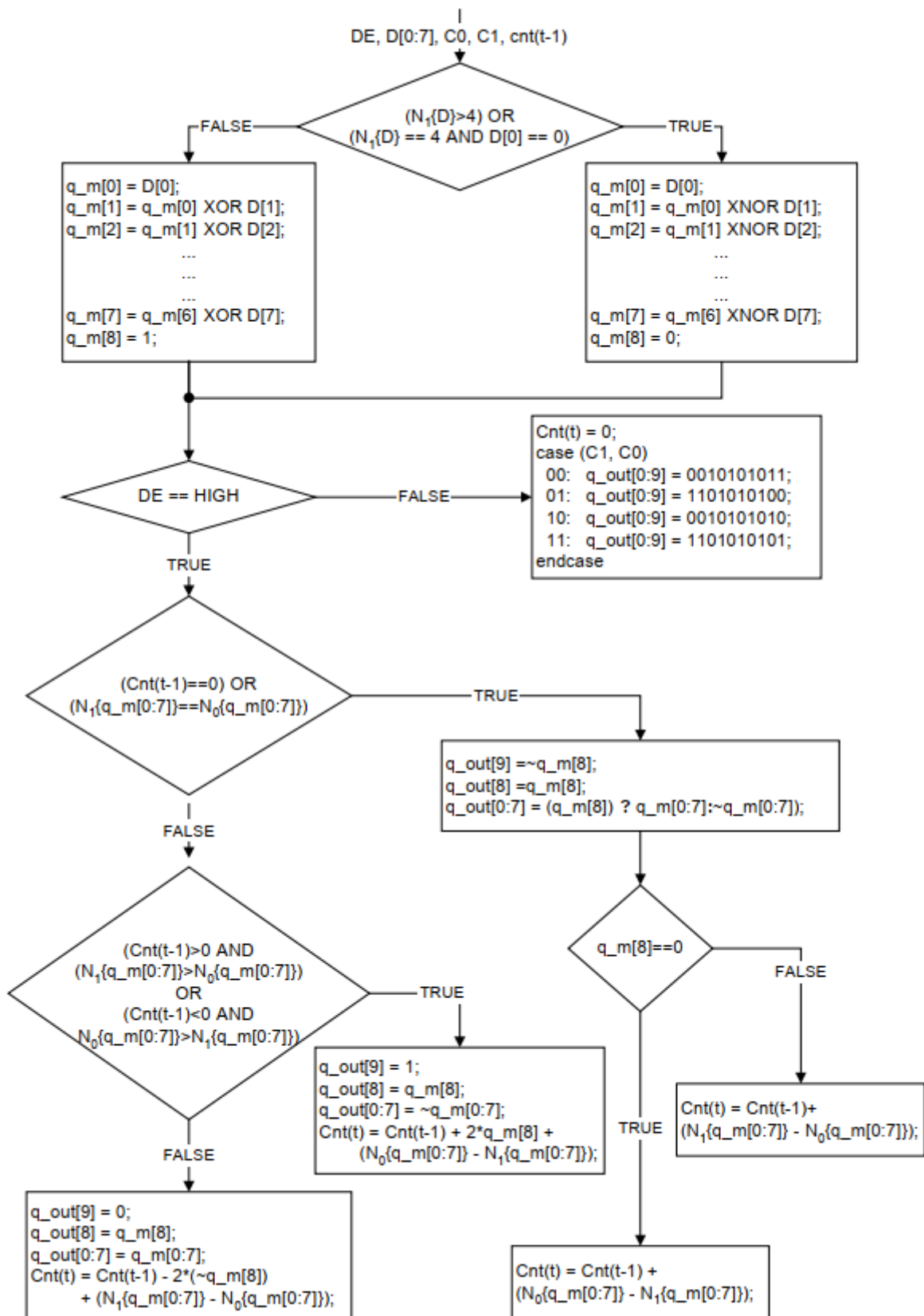


表 3-1 编码算法定义

信号	描述
D,C0,C1,DE	编码模块输入数据。D 是 8 bits 像素数据，C0 和 C1 是对应通道的控制数据，DE 是数据使能信号。
cnt	该寄存器用于跟踪数据流的差异。正值表示已传输的“1”的多余数量。负值表示已传输的“0”的多余数量。表达式 cnt{t-1} 表示前一组输入数据的前一个差异值。表达式 cnt{t} 表示当前输入数据的新差异值。
q_out	q_out 是 10 bits 的编码输出值。
$N_1\{x\}$	该运算符返回数组 x 中“1”的个数。
$N_0\{x\}$	该运算符返回数组 x 中“0”的个数。

经过编码后，8 bits 的视频数据转换成 10 bits 数据，然后利用串行器 OSER10 将并行数据转成串行数据传输，最低位 bit 0 优先传输。

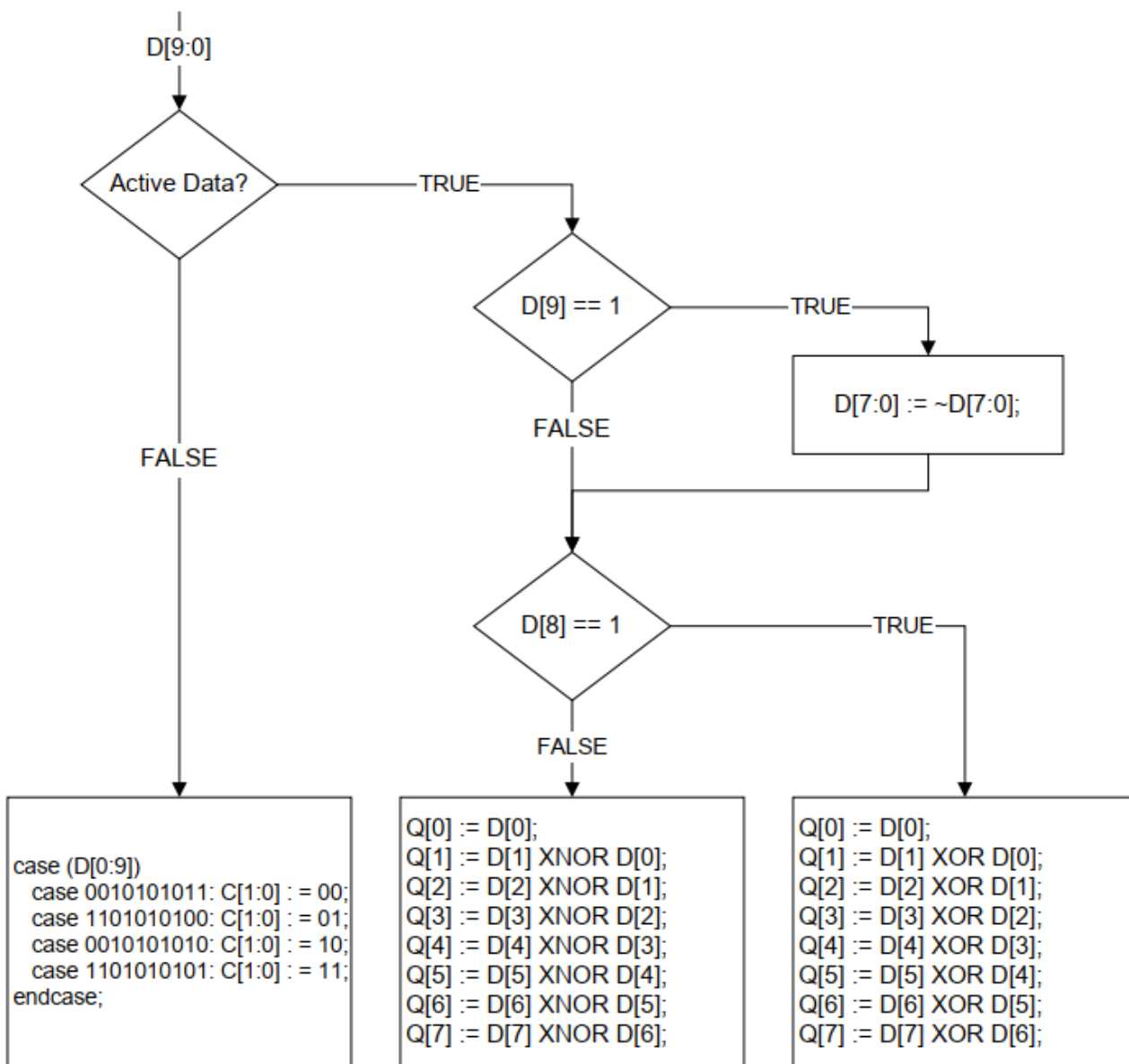
### 3.2.2 DVI RX

DVI RX 首先从时钟通道中恢复出像素时钟，并产生 5 倍串行时钟。然后利用解串器 IDES10 将串行数据转成 10 bits 并行数据。

根据在视频信号消隐期间 HS 和 VS 的编码值，进行数据同步对齐，要求每个消隐期的长度都至少大于 128 的字符周期。

在数据对齐之后，进行解码，解码的算法如图 3-4 所示。各通道解码后与 R, G, B 分量的对应关系如图 3-2 所示。

图 3-4 TMDS 解码算法流程图



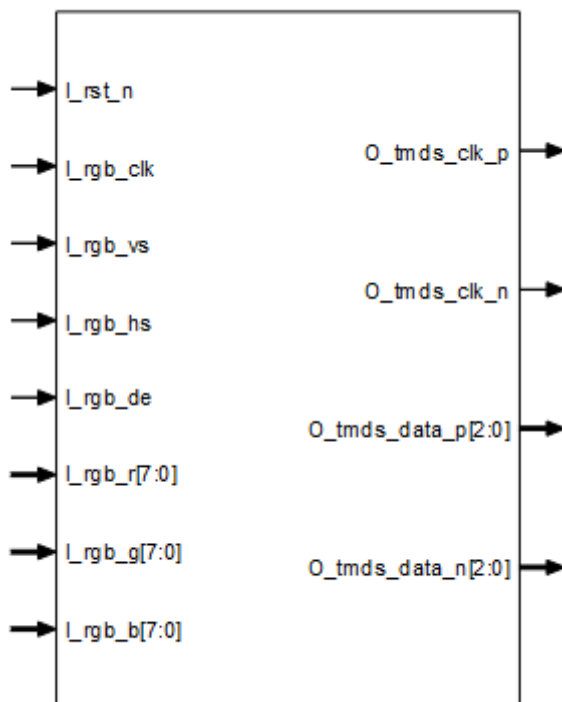
### 3.3 端口列表

#### 3.3.1 DVI TX 端口

Gowin DVI TX IP 的 IO 端口如图 3-5 所示。



图 3-5 DVI TX IO 端口示意图



根据配置参数不同，端口会略有不同。

Gowin DVI TX IP 的 IO 端口详细描述如表 3-2 所示。

表 3-2 Gowin DVI TX IP 的端口列表

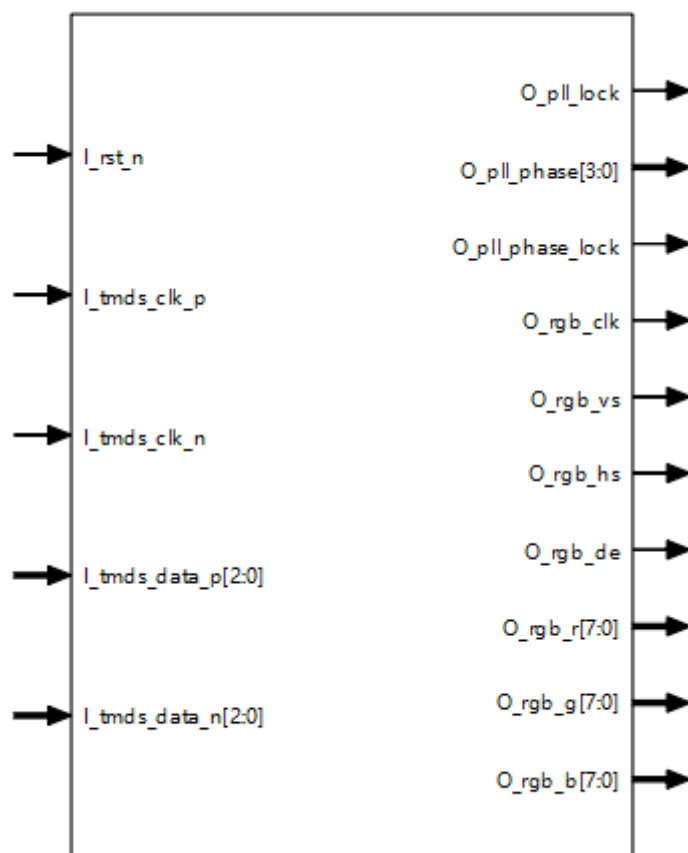
序号	信号名称	方向	描述	备注
1	<code>l_rst_n</code>	I	复位信号，低有效。	所有信号输入输出方向均以 DVI TX IP 为参考。
2	<code>l_serial_clk</code>	I	使用外部时钟时此信号有效 $l\_serial\_clk = l\_rgb\_clk * 5$	
3	<code>l_rgb_clk</code>	I	视频输入像素时钟	
4	<code>l_rgb_vs</code>	I	视频输入场同步 vs 信号	
5	<code>l_rgb_hs</code>	I	视频输入行同步 hs 信号	
6	<code>l_rgb_de</code>	I	视频输入数据使能 de 信号	
7	<code>l_rgb_r</code>	I	视频输入数据 R 分量	
8	<code>l_rgb_g</code>	I	视频输入数据 G 分量	
9	<code>l_rgb_b</code>	I	视频输入数据 B 分量	
10	<code>O_tmds_clk_p</code>	O	输出 TMDS 差分信号时钟正端	
11	<code>O_tmds_clk_n</code>	O	输出 TMDS 差分信号时钟负端	
12	<code>O_tmds_data_p</code>	O	输出 TMDS 差分信号数据正端 <ul style="list-style-type: none"> <li>通道 0 对应蓝色分量；</li> <li>通道 1 对应绿色分量；</li> <li>通道 2 对应红色分量。</li> </ul>	

序号	信号名称	方向	描述	备注
13	O_tmds_data_n	O	输出 TMDS 差分信号数据负端 <ul style="list-style-type: none"> <li>通道 0 对应蓝色分量;</li> <li>通道 1 对应绿色分量;</li> <li>通道 2 对应红色分量。</li> </ul>	所有信号输入输出方向均以 DVI TX IP 为参考。

### 3.3.2 DVI RX 端口

Gowin DVI RX IP 的 IO 端口如图 3-6 所示。

图 3-6 DVI RX IO 端口示意图



根据配置参数不同，端口会略有不同。

Gowin DVI RX IP 的 IO 端口详细描述如表 3-3 所示。

表 3-3 Gowin DVI RX IP 的端口列表

序号	信号名称	方向	描述	备注
1	I_rst_n	I	复位信号，低有效。	所有信号输入输出方向均以 DVI RX IP 为参考。
2	I_tmds_clk_p	I	输入 TMDS 差分信号时钟正端	
3	I_tmds_clk_n	I	输入 TMDS 差分信号时钟负端	

序号	信号名称	方向	描述	备注
4	I_tmds_data_p	I	输入 TMDS 差分信号数据正端。 <ul style="list-style-type: none"> <li>通道 0 对应蓝色分量</li> <li>通道 1 对应绿色分量</li> <li>通道 2 对应红色分量</li> </ul>	所有信号输入输出方向均以 DVI RX IP 为参考。
5	I_tmds_data_n	I	输入 TMDS 差分信号数据负端。 <ul style="list-style-type: none"> <li>通道 0 对应蓝色分量</li> <li>通道 1 对应绿色分量</li> <li>通道 2 对应红色分量</li> </ul>	
6	O_tmds_clk	O	<ul style="list-style-type: none"> <li>使用外部时钟时此信号有效；</li> <li>TMDS 时钟差分转单端信号。</li> </ul>	
7	I_serial_clk	I	使用外部时钟时此信号有效： <ul style="list-style-type: none"> <li><math>I\_serial\_clk = O\_tmds\_clk * 5</math>；</li> <li>此时钟相位需根据实际调整，默认 90 度。</li> </ul>	
8	O_pll_lock		<ul style="list-style-type: none"> <li>不使用外部时钟时此信号有效；</li> <li>内部 PLL 锁定信号。</li> </ul>	
9	O_pll_phase	O	<ul style="list-style-type: none"> <li>不使用外部时钟时此信号有效；</li> <li>内部 PLL 输出时钟相位。</li> <li>数值与相位对应关系：0:0.0, 1:22.5, 2:45, 3:67.5, 4:90, 5:112.5, 6:135, 7:157.5, 8:180, 9:202.5, 10:225, 11:247.5, 12:270, 13:292.5, 14:315, 15:337.5</li> </ul>	
10	O_pll_phase_lock	O	<ul style="list-style-type: none"> <li>不使用外部时钟时此信号有效；</li> <li>内部 PLL 输出时钟相位锁定。</li> </ul>	
11	O_datar_bf	O	使用 Debug 选项时有效，字对齐前数据，红色分量。	
12	O_datag_bf	O	使用 Debug 选项时有效，字对齐前数据，绿色分量。	
13	O_datab_bf	O	使用 Debug 选项时有效，字对齐前数据，蓝色分量。	
14	O_rgb_clk	O	视频输出像素时钟	
15	O_rgb_vs	O	视频输出场同步 vs 信号	
16	O_rgb_hs	O	视频输出行同步 hs 信号	
17	O_rgb_de	O	视频输出数据使能 de 信号	
18	O_rgb_r	O	视频输出数据 R 分量	
19	O_rgb_g	O	视频输出数据 G 分量	
20	O_rgb_b	O	视频输出数据 B 分量	

## 3.4 参数配置

### 3.4.1 DVI TX 参数

表 3-4 DVI TX 参数

序号	参数名称	允许范围	默认值	描述
1	Using External Clock	Yes/No	No	如果定义该参数，则使用外部串行时钟 I_serial_clk；否则，在 IP 内部通过 PLL 产生。
2	TX Clock In Frequency	10.0~80.0	40.000MHz	输入像素时钟频率值
3	IO Setting	TLVDS/ELVDS	TLVDS	IO Buffer 类型

### 3.4.2 DVI RX 参数

表 3-5 DVI RX 参数

序号	参数名称	允许范围	默认值	描述
1	Using External Clock	Yes/No	No	如果定义该参数，则使用外部串行时钟 I_serial_clk；否则，在 IP 内部通过 PLL 产生。
2	RX Clock In Frequency	10.0~80.0	40.000MHz	输入像素时钟频率值
3	Phase Search Mode	Auto/Manual	Auto	PLL 输出串行时钟相位搜索模式 <ul style="list-style-type: none"> <li>• Auto: 自动模式</li> <li>• Manual: 手动模式，需输入 RX Clock Out Phase 相位值</li> </ul>
4	RX Clock Out Phase	0.0/22.5/45/67.5/90/ 112.5/135/157.5/180/ 202.5/225/247.5/270/ 292.5/315/337.5	90	Phase Search Mode 为手动模式时，输出串行时钟相位值。
5	IO Delay Enable	Yes/No	No	IO Delay 使能控制
6	Channel0 IO Delay Value	0~127	0ps	IO 延时控制
7	Channel1 IO Delay Value	0~127	0ps	IO 延时控制
8	Channel2 IO Delay Value	0~127	0ps	IO 延时控制
9	Simulation Acceleration	Yes/No	No	Debug 选项，仿真加速，如需要仿真可打开此选项，如不需要仿真，请关闭此选项。

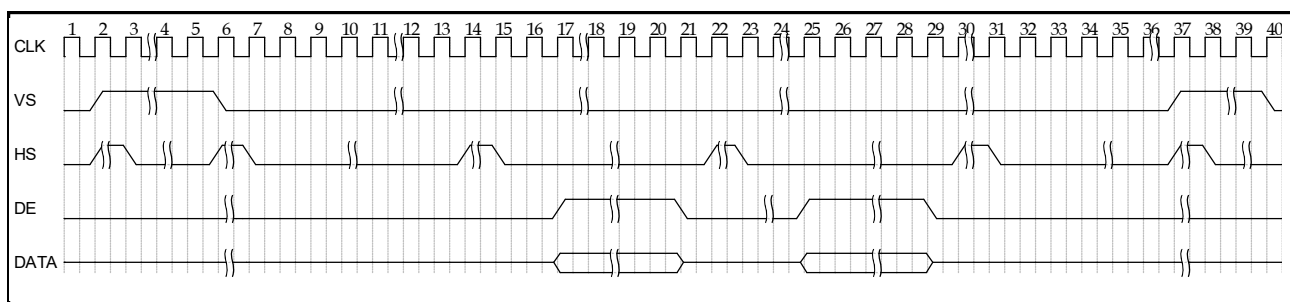
序号	参数名称	允许范围	默认值	描述
10	Data Before Align Enable	Yes/No	No	Debug 选项，字对齐前数据使能。

## 3.5 时序说明

本节介绍 Gowin DVI TX RX IP 的时序情况。

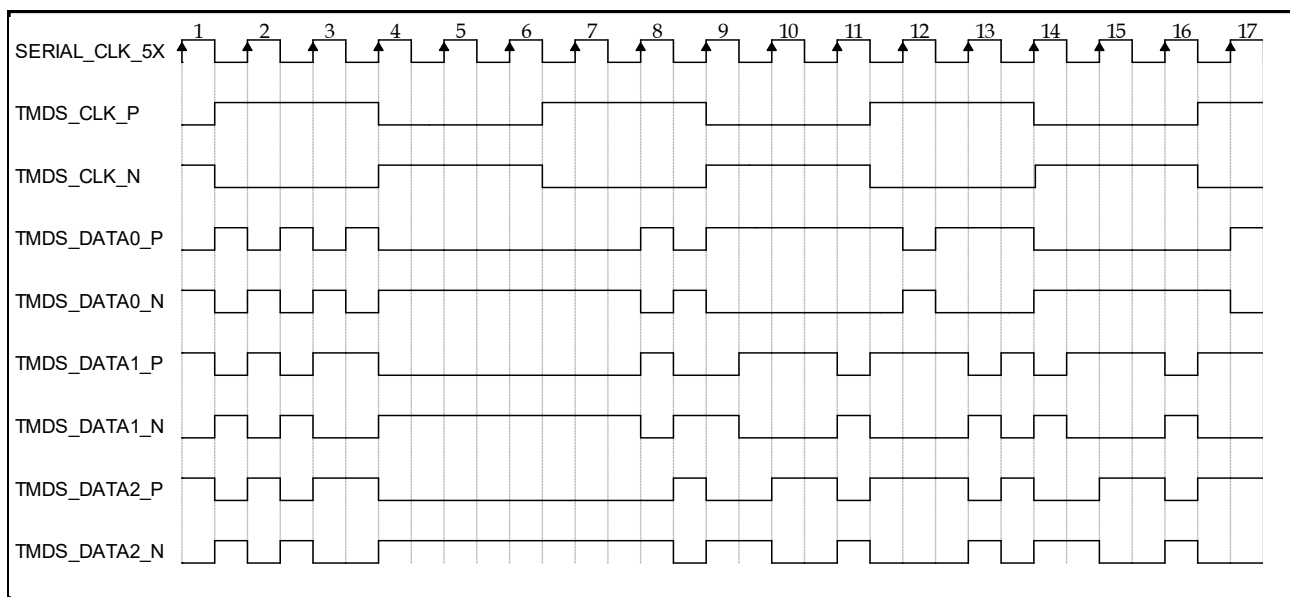
DVI 视频接口时序图如图 3-7 所示。

图 3-7 DVI 视频接口时序示意图



TMDS 接口时序图如图 3-8 所示。

图 3-8 TMDS 接口时序图



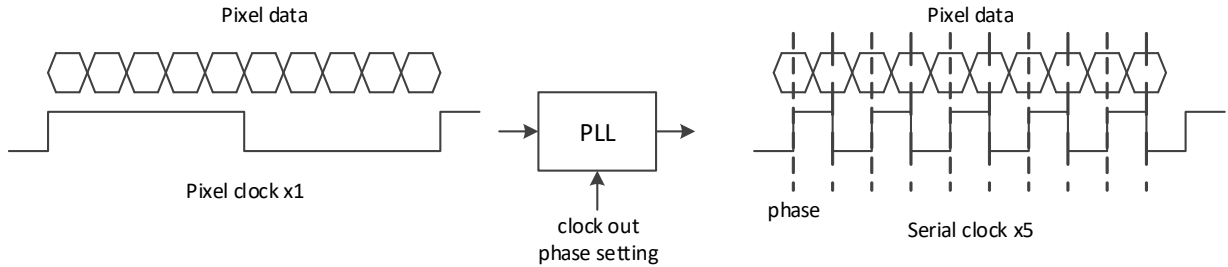
在 DVI RX IP 中需要利用 TMDS\_CLK 即像素时钟产生 5 倍串行时钟，用于对串行数据进行采样，只有设置合适的相位才能正确采样数据，如图 3-9 所示。

Phase Search Mode 选项分为 Auto 和 Manual 两种。

- **Auto:** 无需用户设置，代码自动搜索适合的相位。
- **Manual:** 用户自己设 PLL 相位，在 GUI 界面中可以设置。

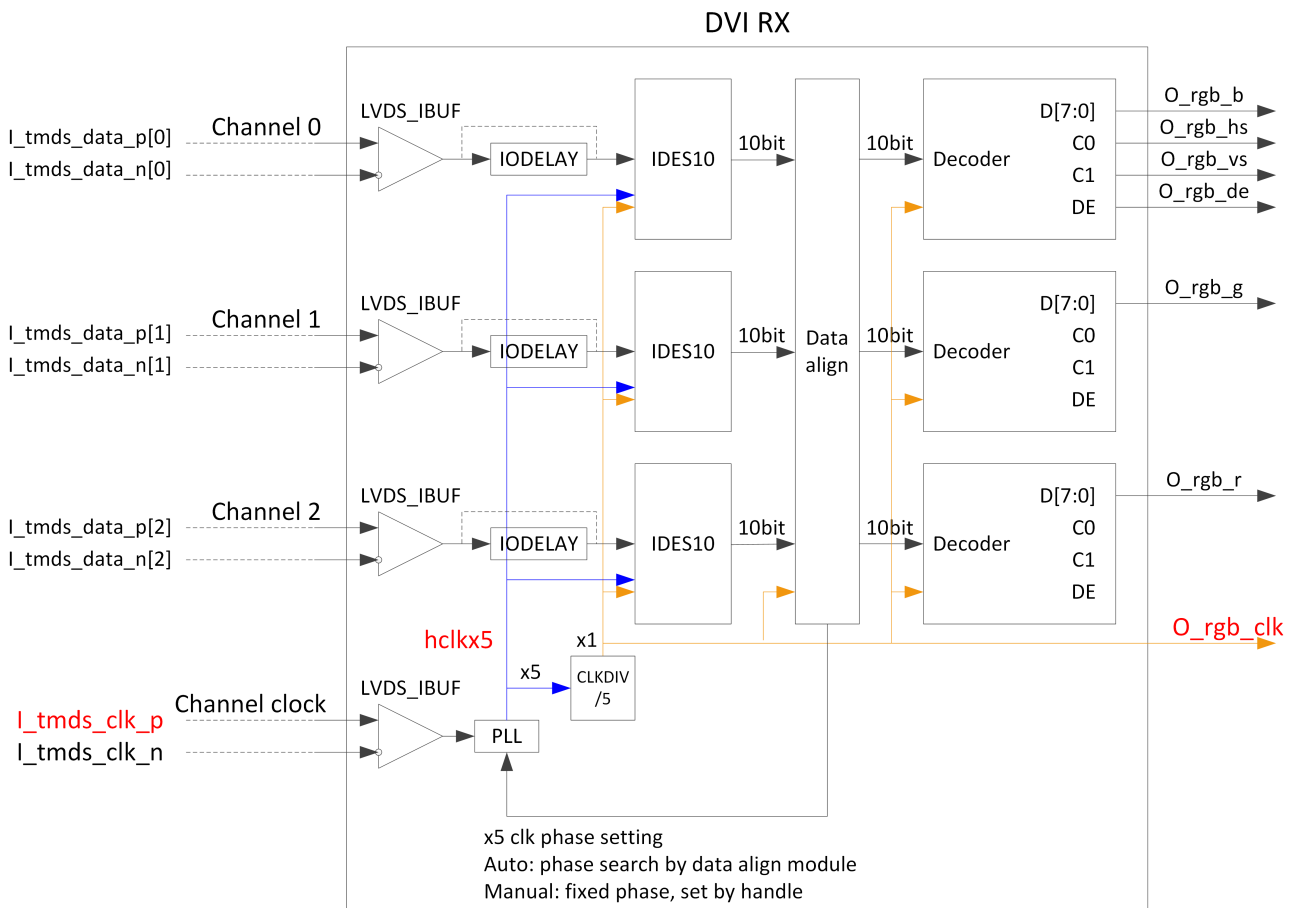
Manual 模式 PLL Lock 的速度最快，上电即 lock，前提是客户已知哪个相位数据采样最佳。Auto 模式 PLL lock 较慢，可能要搜索几秒，如果线缆不好，信号质量差，甚至会搜索不到合适相位。

图 3-9 DVI RX 串行数据采样示意图



在 DVI RX IP 中，如果使用内部 PLL 产生串行时钟，其时钟树如图 3-10 所示。其中输入差分时钟 I\_tmds\_clk 频率即为像素时钟频率，经过差分转单端后由 PLL 进行 5 倍频得到 hclkx5，最后由 CLKDIV 进行 5 分频产生输出像素时钟 O\_rgb\_clk。

图 3-10 DVI RX 内部时钟树示意图



建议在时序约束文件.sdc 种对相关时钟进行时序约束。例如像素时钟频率是 79.5 MHz，对相关时钟做如下约束（时钟信号名称和模块名称取决于实际工程种名称）。

```
create_clock -name l_tmds_clk_p -period 12.579 -waveform {0 6.29} [get_ports
{l_tmds_clk_p}] -add
create_clock -name O_rgb_clk -period 12.579 -waveform {0 6.29} [get_nets
{O_rgb_clk}] -add
create_clock -name hclkx5 -period 2.516 -waveform {0 1.258} [get_nets
{DVI_RX_Top_inst/dvi2rgb_inst/hclkx5}] -add
set_clock_groups -exclusive -group [get_clocks {O_rgb_clk}] -group [get_clocks
{hclkx5}] -group [get_clocks {l_tmds_clk_p}]
```

# 4 界面配置

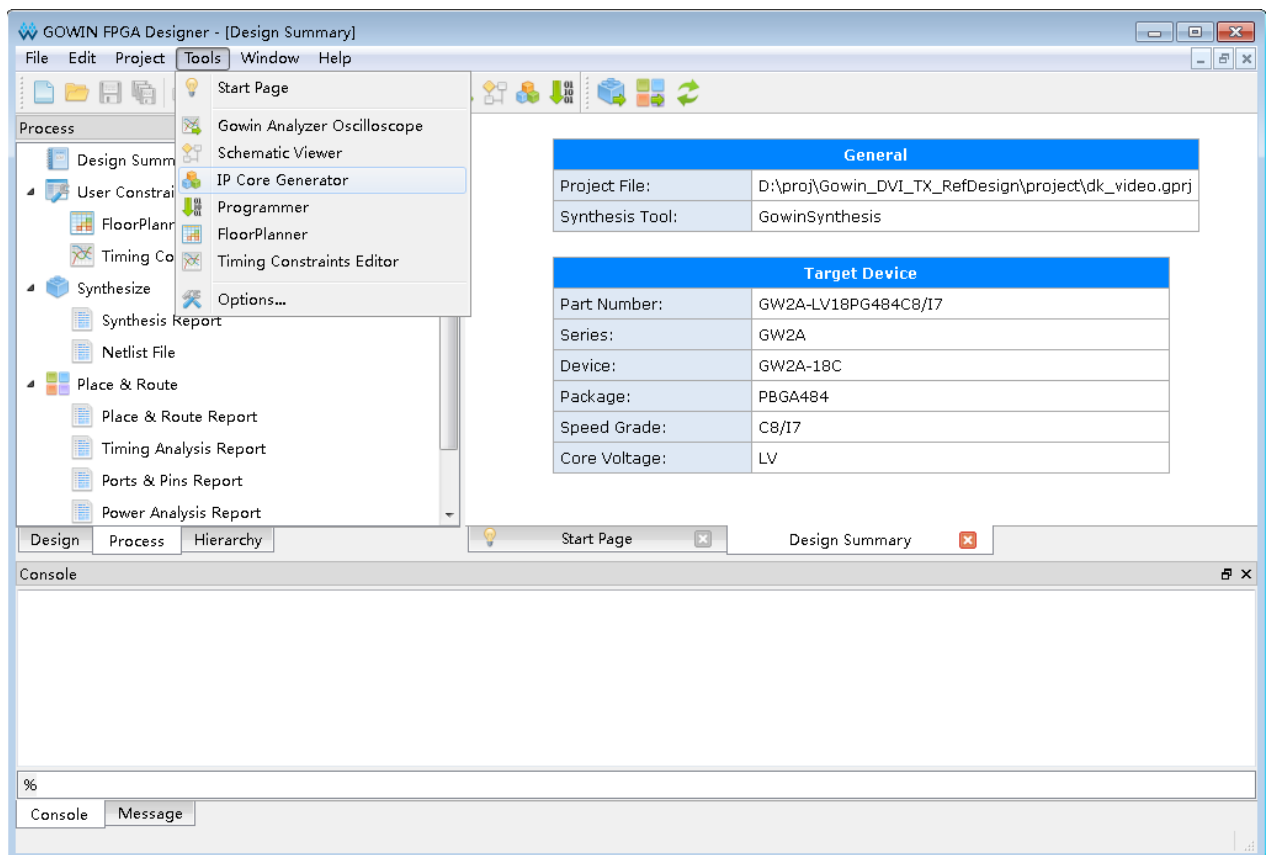
用户可用高云半导体云源软件中的 IP 内核生成器工具调用和配置高云 DVI TX 和 RX IP。

## 4.1 DVI TX IP 配置

### 1. 打开 IP Core Generator

用户建立工程后，单击左上角“Tools”选项卡，下拉单击“IP Core Generator”选项，即可打开 Gowin IP Core Generator，如图 4-1 所示。

图 4-1 打开 IP Core Generator

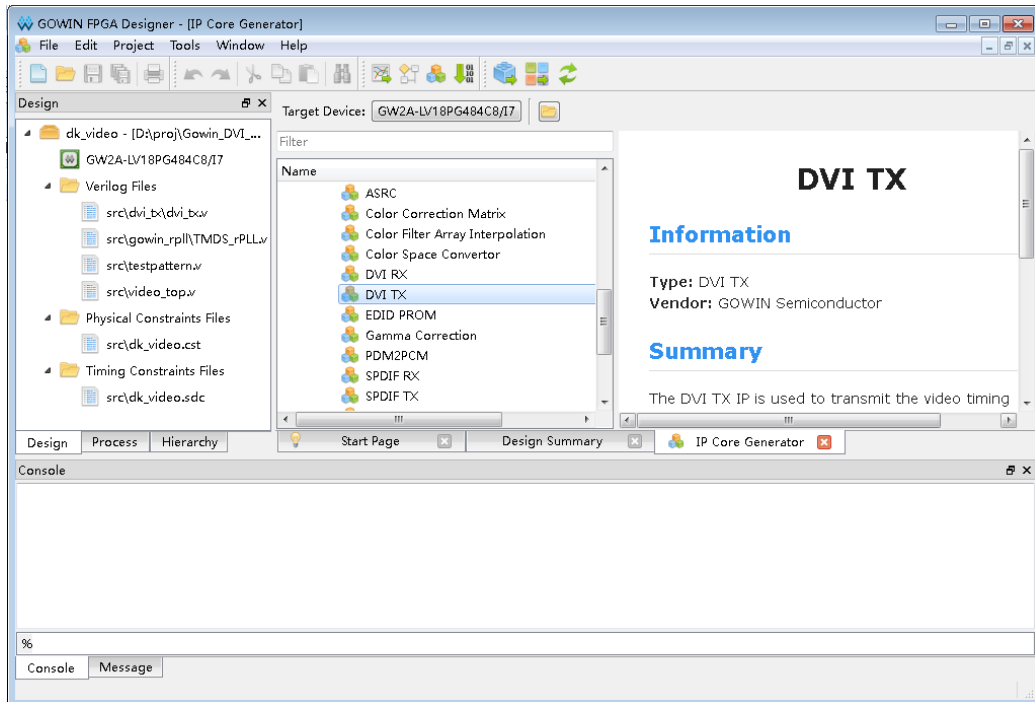




## 2. 打开 DVI TX IP 核

单击“Multimedia”选项，双击“DVI TX”，打开 DVI TX IP 核的配置界面，如图 4-2 所示。

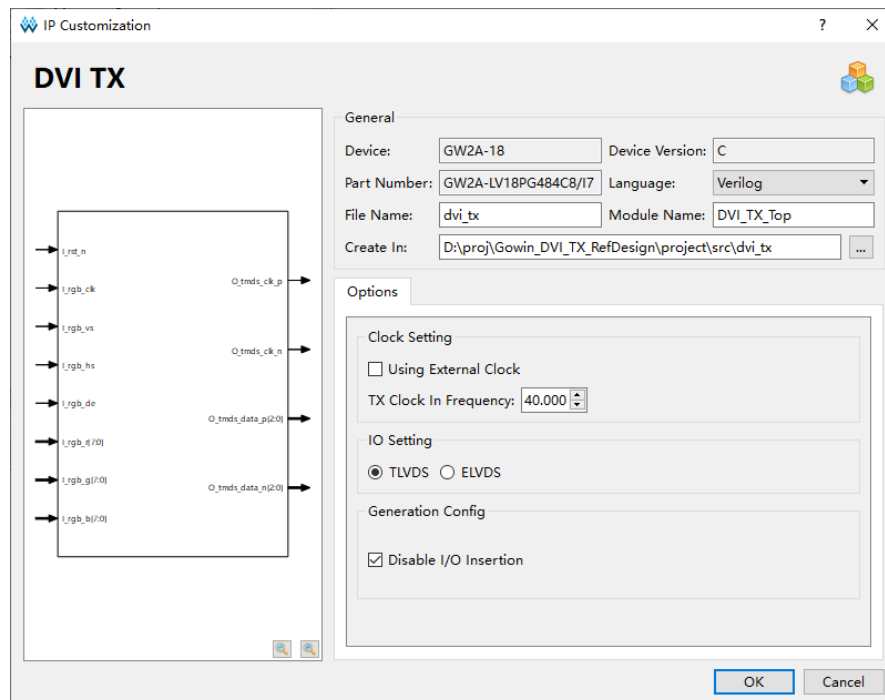
图 4-2 打开 DVI TX IP 核



## 3. DVI TX IP 核端口界面

配置界面左侧为 DVI TX IP 核的接口示意图，如图 4-3 所示。

图 4-3 DVI TX IP 核接口示意图



#### 4. 配置基本信息

在配置界面的上部分是工程基本信息配置界面，以 GW2A-18C 为例，封装选择 PBGA484。Module Name 选项后面是工程产生后顶层文件的名称，默认为“DVI\_TX\_Top”，用户可自行修改。“File Name”是 IP 核文件产生的文件夹，存放 DVI TX IP 核所需文件，默认为“dvi\_tx”，用户可自行修改路径。Create In 选项是 IP 核文件夹产生路径，默认为“\工程路径\src\dvi\_tx”，用户可自行修改路径。

图 4-4 基本信息配置界面

General			
Device:	GW2A-18	Device Version:	C
Part Number:	GW2A-LV18PG484C8/I7	Language:	Verilog
File Name:	dvi_tx	Module Name:	DVI_TX_Top
Create In:	D:\proj\Gowin_DVI_TX_RefDesign\project\src\dvi_tx		

#### 5. Options 选项卡

在“Clock Setting”选项卡中，用户需要配置 DVI TX 所使用时钟等参数信息。

图 4-5 Options 选项卡

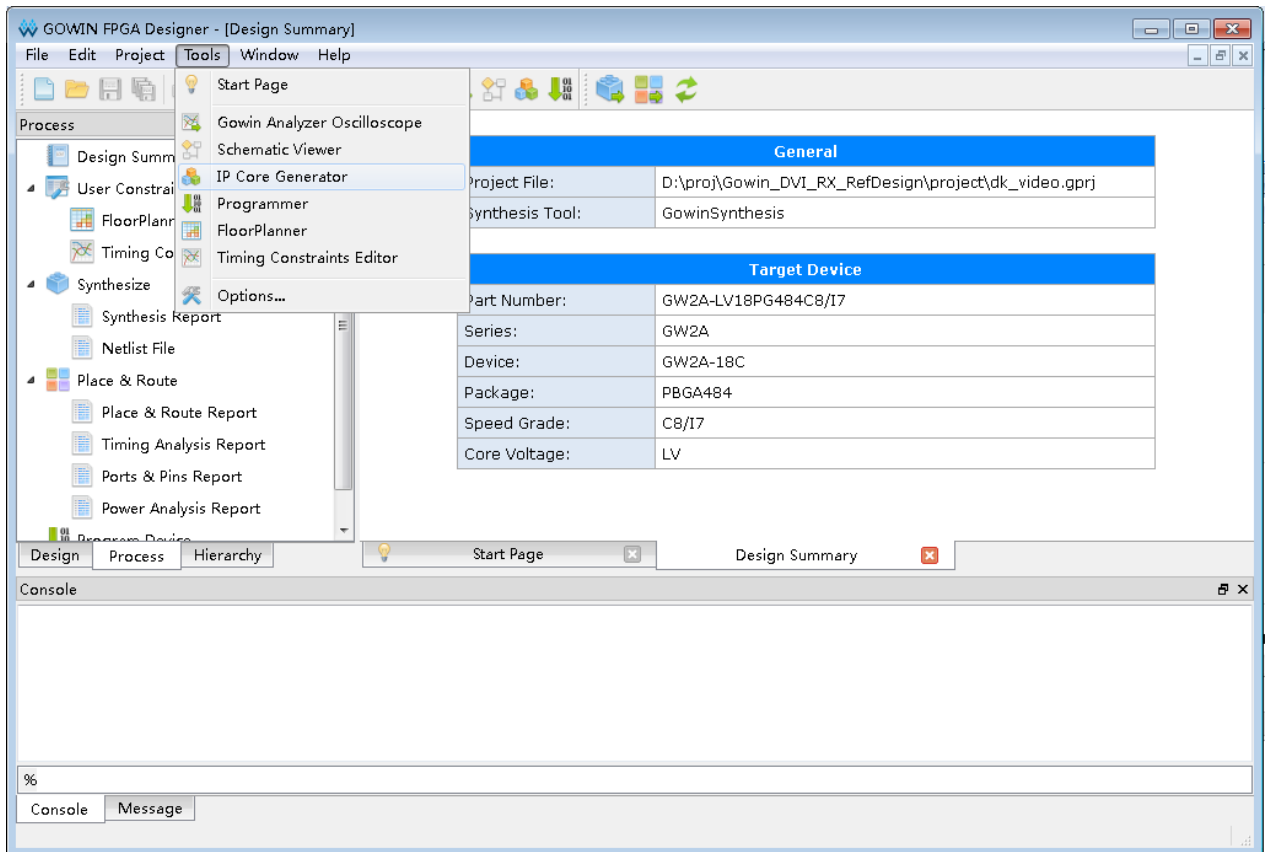
Options	
Clock Setting	
<input type="checkbox"/> Using External Clock	
TX Clock In Frequency:	40.000
IO Setting	
<input checked="" type="radio"/> TLVDS	<input type="radio"/> ELVDS
Generation Config	
<input checked="" type="checkbox"/> Disable I/O Insertion	

## 4.2 DVI RX IP 配置

### 1. 打开 IP Core Generator

用户建立工程后，单击左上角“Tools”选项卡，下拉单击“IP Core Generator”选项，即可打开 Gowin IP Core Generator，如图 4-6 所示。

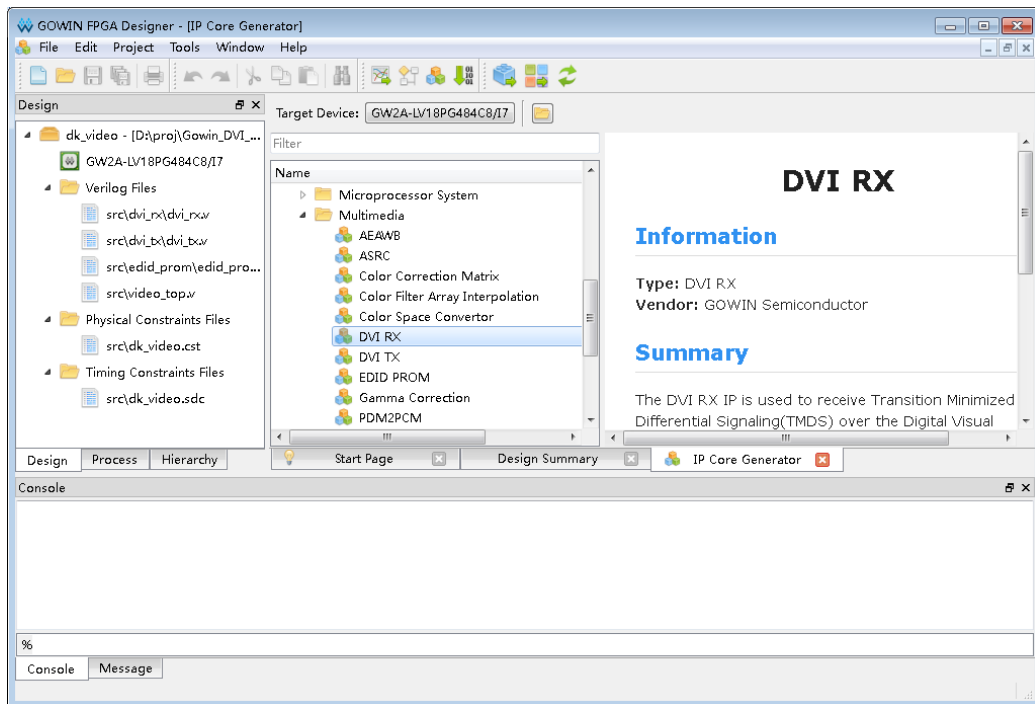
图 4-6 打开 IP Core Generator



### 2. 打开 DVI RX IP 核

单击“Multimedia”选项，双击“DVI RX”，打开 DVI RX IP 核的配置界面，如图 4-7 所示。

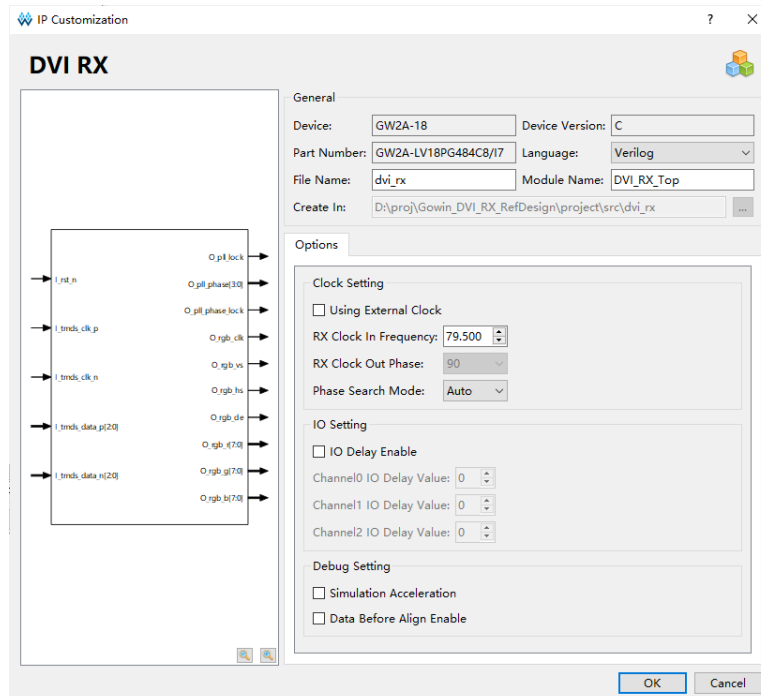
图 4-7 打开 DVI RX IP 核



### 3. DVI RX IP 核端口界面

配置界面左侧为 DVI RX IP 核的接口示意图，如图 4-8 所示。

图 4-8 DVI RX IP 核接口示意图



### 4. 配置基本信息

在配置界面的上部分是工程基本信息配置界，以 GW2A-18C 为例，封装选择 PBGA484。Module Name 选项后面是工程产生后顶层文件的名字，默认为

“DVI\_RX\_Top”，用户可自行修改。“File Name”是 IP 核文件产生的文件夹，存放 DVI RX IP 核所需文件，默认为“dvi\_rx”，用户可自行修改路径。Create In 选项是 IP 核文件夹产生路径，默认为“\工程路径\src\dvi\_rx”，用户可自行修改路径。

图 4-9 基本信息配置界面

General

Device: GW2A-18 Device Version: C

Part Number: GW2A-LV18PG484C8/I7 Language: Verilog

File Name: dvi\_rx Module Name: DVI\_RX\_Top

Create In: D:\proj\Gowin\_DVI\_RX\_RefDesign\project\src\dvi\_rx

## 5. Options 选项卡

在“Clock Setting”选项卡中，用户需要配置 DVI RX 所使用时钟等参数信息。在“Data Setting”选项卡中，用户可以配置各通道延时参数信息。

图 4-10 Options 选项卡

Options

**Clock Setting**

Using External Clock

RX Clock In Frequency: 79.500

RX Clock Out Phase: 90

Phase Search Mode: Auto

**IO Setting**

IO Delay Enable

Channel0 IO Delay Value: 0

Channel1 IO Delay Value: 0

Channel2 IO Delay Value: 0

**Debug Setting**

Simulation Acceleration

Data Before Align Enable

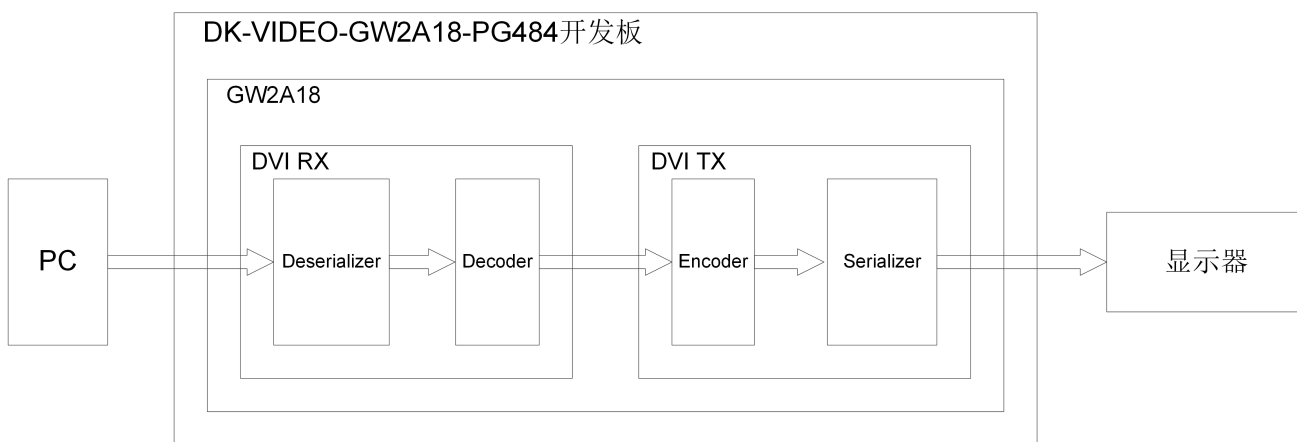
# 5 参考设计

本节主要介绍 DVI IP 的参考设计实例的搭建及使用方法。详细信息请参见高云半导体官网给出的 DVI 相关[参考设计](#)。

## 5.1 设计实例一

本参考设计以 DK-VIDEO-GW2A18-PG484 开发板为例，参考设计基本结构框图如图 5-1 所示。DK-VIDEO-GW2A18-PG484 开发板相关信息参考[官方网站](#)。

图 5-1 参考设计实例一基本结构框图



在参考设计实例一中，包含有 DVI RX IP 和 DVI TX IP，其步骤如下所示：

1. 在工程中已包含 EDID\_PROM 模块，并已存入 128 Bytes 的 EDID 文件，推荐分辨率为 1280x768。
2. 通过 HDMI3 RX 接口利用 HDMI 线缆与电脑 PC 相连，电脑检测到连接到显示设备且识别到 EDID 信息后，会输出 1280x768 分辨率的 DVI 格式视频。
3. 利用 DVI RX IP 模块，实现 DVI 的 TMDS 信号的解码，解码后的数据为并行视频数据。
4. 再利用 DVI TX IP 模块，将并行视频数据进行编码，编码为 TMDS 信号。
5. 然后通过 HDMI4 TX 接口输出，利用 HDMI 线缆与显示器相连，可以在显示器上显示电脑输出的画面。

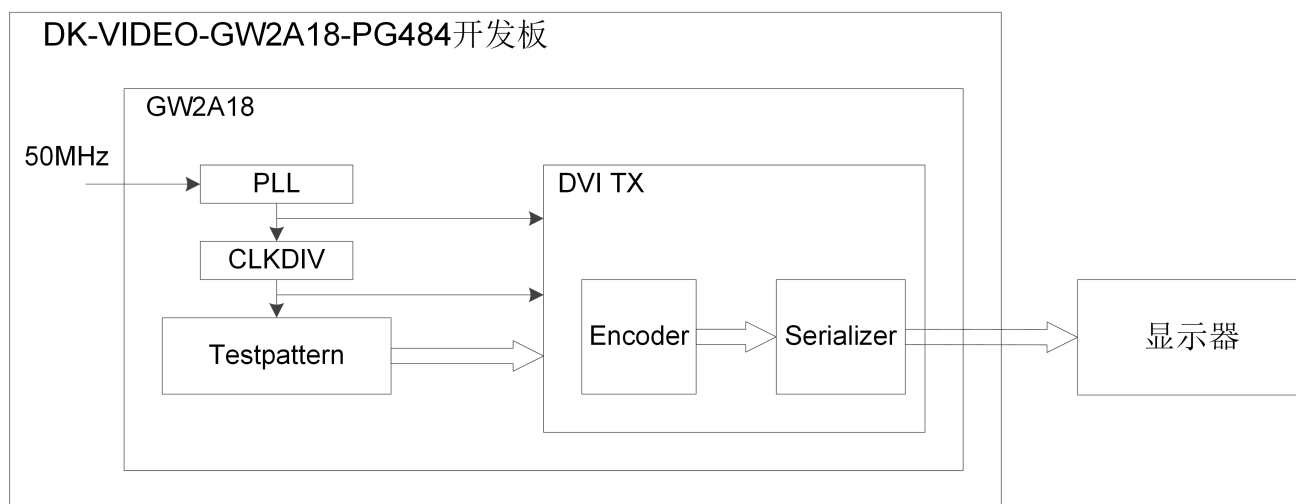
当参考设计应用于板级测试时，用户可将编码后信号输出给显示器显示，也可配合在线逻辑分析仪或示波器对数据进行观测。

在参考设计提供的仿真工程中，以 **bmp** 位图作为测试激励源，**tb** 是仿真工程顶层模块。可通过仿真后输出的图片作对比。

## 5.2 设计实例二

本参考设计以 DK-VIDEO-GW2A18-PG484 开发板为例，参考设计基本结构框图如图 5-2 所示。

图 5-2 参考设计实例二基本结构框图



在参考设计实例二中，只包含有 DVI TX IP，其步骤如下所示：

1. 由 50MHz 参考时钟产生 DVI TX IP 所需的像素时钟和串行时钟。
2. 由 Testpattern 模块输出 1280x720 分辨率的 DVI 格式视频。
3. 利用 DVI TX IP 模块，将并行视频数据进行编码，编码为 TMDS 信号。
4. 然后通过 HDMI4 TX 接口输出，利用 HDMI 线缆与显示器相连，可以在显示器上显示电脑输出的画面。

当参考设计应用于板级测试时，用户可将编码后信号输出给显示器显示，也可配合在线逻辑分析仪或示波器对数据进行观测。

在参考设计提供的仿真工程中，以 **bmp** 位图作为测试激励源，**tb** 是仿真工程顶层模块。可通过仿真后输出的图片作对比。

# 6 文件交付

Gowin DVI TX RX IP 交付文件主要包含三个部分，分别为：文档、设计源代码和参考设计。

## 6.1 文档

文件夹主要包含用户指南 PDF 文档。

表 6-1 文档列表

名称	描述
IPUG938, Gowin DVI TX RX IP 用户指南	高云 DVI TX RX IP 用户手册，即本手册。

## 6.2 设计源代码（加密）

加密代码文件夹包含 Gowin DVI TX RX IP 的 RTL 加密代码，供 GUI 使用，以配合高云云源软件产生用户所需的 IP 核。

表 6-2 DVI TX 设计源代码列表

名称	描述
dvi_tx.v	IP 核顶层文件，给用户接口信息，加密。

表 6-3 DVI RX 设计源代码列表

名称	描述
dvi_rx.v	IP 核顶层文件，给用户接口信息，加密。

## 6.3 参考设计

Gowin DVI RX RefDesign 文件夹主要包含 Gowin DVI TX RX IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。



表 6-4 Gowin DVI RX RefDesign 文件夹内容列表

名称	描述
video_top.v	参考设计的顶层 module
dk_video.cst	工程物理约束文件
dk_video.sdc	工程时序约束文件
dvi_tx	DVI TX IP 工程文件夹
dvi_tx.v	生成 DVI TX IP 顶层文件，加密
dvi_tx.vo	生成 DVI TX IP 网表文件
dvi_rx	DVI RX IP 工程文件夹
dvi_rx.v	生成 DVI RX IP 顶层文件，加密
dvi_rx.vo	生成 DVI RX IP 网表文件

Gowin DVI TX RefDesign 文件夹主要包含 Gowin DVI TX IP 的网表文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 6-5 Gowin DVI TX RefDesign 文件夹内容列表

名称	描述
video_top.v	参考设计的顶层 module
dk_video.cst	工程物理约束文件
dk_video.sdc	工程时序约束文件
testpattern.v	参考设计文件
dvi_tx	DVI TX IP 工程文件夹
dvi_tx.v	生成 DVI TX IP 顶层文件，加密
dvi_tx.vo	生成 DVI TX IP 网表文件
gowin_rpll	锁相环工程文件夹
TMDS_rPLL.v	生成锁相环顶层文件

# 7 附录

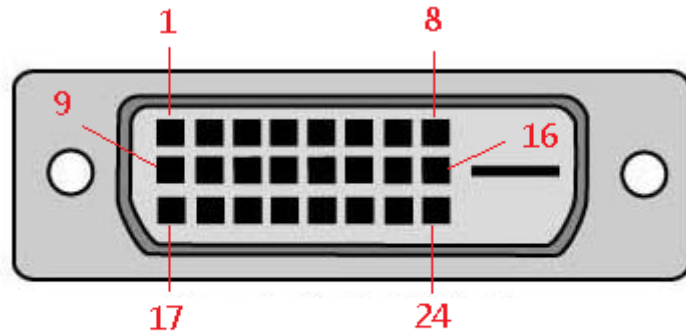
## 7.1 DVI 和 HDMI 兼容性

HDMI (High Definition Multimedia Interface, 高清多媒体接口), 是在 DVI 的基础上发展起来的, 继承了 *DVI* 的核心技术“最小化传输差分信号 TMDS”, 从本质上来说仍然是 DVI 的扩展, 所以 HDMI 在除去音频和相关控制信号时, DVI 和 HDMI 在接口上具有兼容性。

## 7.2 DVI 针脚分配

DVI-D 连接器示意图及针脚分配。DVI 信号为单 link 时, 不使用 TMDS 数据 3±, TMDS 数据 4±, TMDS 数据 5±。

图 7-1 DVI-D 连接器示意图



## DVI-D连接器

表 7-1 DVI-D 连接器针脚分配

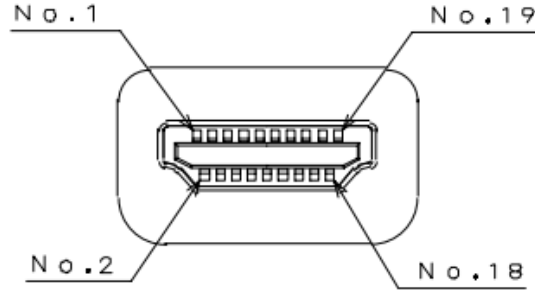
针脚	信号定义
1	TMDS 数据 2-
2	TMDS 数据 2+
3	TMDS 数据 2/4 屏蔽

引脚	信号定义
4	TMDS 数据 4-
5	TMDS 数据 4+
6	DDC 时钟
7	DDC 数据
8	无连接
9	TMDS 数据 1-
10	TMDS 数据 1+
11	TMDS 数据 1/3 屏蔽
12	TMDS 数据 3-
13	TMDS 数据 3+
14	+5V 直流电源
15	接地 (+5V 回路)
16	热插拔检测
17	TMDS 数据 0-
18	TMDS 数据 0+
19	TMDS 数据 0/5 屏蔽
20	TMDS 数据 5-
21	TMDS 数据 5+
22	TMDS 时钟屏蔽
23	TMDS 时钟+
24	TMDS 时钟-

## 7.3 HDMI 引脚分配

A 类 HDMI 连接器示意图及引脚分配。

图 7-2 A 类 HDMI 连接器示意图



### A类HDMI连接器

表 7-2 A 类 HDMI 连接器引脚分配

引脚	信号定义
1	TMDS 数据 2+
2	TMDS 数据 2 屏蔽
3	TMDS 数据 2-
4	TMDS 数据 1+
5	TMDS 数据 1 屏蔽
6	TMDS 数据 1-
7	TMDS 数据 0+
8	TMDS 数据 0 屏蔽
9	TMDS 数据 0-
10	TMDS 时钟+
11	TMDS 时钟屏蔽
12	TMDS 时钟-
13	CEC
14	保留
15	SCL
16	SDA
17	DDC/CEC Ground
18	+5V 直流电源
19	热插拔检测

