




Gowin ASRC IP

# 用户指南

IPUG939-1.0.1,2024-02-02

版权所有 © 2024 广东高云半导体科技股份有限公司

**GOWIN高云**、、Gowin、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

## 版本信息

日期	版本	说明
2020/04/15	1.0	初始版本。
2024/02/02	1.0.1	新增时钟频率注释。

# 目录

<b>目录</b> .....	<b>i</b>
<b>图目录</b> .....	<b>iii</b>
<b>表目录</b> .....	<b>iv</b>
<b>1 关于本手册</b> .....	<b>1</b>
1.1 手册内容 .....	1
1.2 相关文档 .....	1
1.3 术语、缩略语 .....	1
1.4 技术支持与反馈 .....	2
<b>2 概述</b> .....	<b>3</b>
2.1 Gowin ASRC IP 介绍 .....	3
2.2 ASRC 算法简介 .....	3
2.2.1 采样率计算 .....	3
2.2.2 传统 SRC 算法 .....	4
2.2.3 ASRC 算法 .....	4
2.2.4 拉格朗日插值滤波器 (Lagrange Interpolation) 设计 .....	5
<b>3 特征与性能</b> .....	<b>6</b>
3.1 主要特征 .....	6
3.2 最大频率 .....	6
3.3 延迟 Latency .....	6
3.4 资源利用 .....	7
<b>4 功能描述</b> .....	<b>8</b>
4.1 ASRC 结构与功能 .....	8
4.2 端口描述 .....	9
4.3 时序说明 .....	10
4.3.1 ASRC 自动检测采样率时序 .....	10

4.3.2 ASRC 自设采样率时序 ..... 10

4.3.3 不同转换所需时钟频率 ..... 11

**5 ASRC 界面配置 ..... 12**

**6 参考设计 ..... 14**

# 图目录

图 2-1 传统 SRC 算法.....	4
图 2-2 ASRC 算法分数延迟示意图 .....	4
图 2-3 阶拉格朗日插值对滤波器系数处理示意图 .....	5
图 4-1 ASRC 实现框图 .....	8
图 4-2 ASRC IP 端口图 .....	9
图 4-3 ASRC 自动检测采样率模式时序图 .....	10
图 4-4 ASRC 自设采样率模式时序图.....	11
图 5-1 IP Core Generator 界面 .....	12
图 5-2 ASRC IP 界面 .....	13
图 6-1 参考设计结构框图.....	14

# 表目录

表 1-1 术语、缩略语 .....	1
表 2-1 Gowin ASRC IP .....	3
表 3-1 Gowin ASRC IP 占用资源.....	7
表 4-1 ASRC 的 IO 端口列表 .....	9
表 4-2 不同转换所需时钟频率 (Mhz) .....	11

# 1 关于本手册

## 1.1 手册内容

Gowin ASRC IP 用户指南主要包括产品概述、特征性能、功能描述、配置调用、参考设计等，旨在帮助用户快速了解 Gowin ASRC IP 的产品特点及使用方法。

## 1.2 相关文档

通过登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可以下载、查看以下相关文档：

- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [DS117, GW1NR 系列 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

## 1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
ASRC	Asynchronous Sample Rate Converter	异步采样率转换器
DSP	Digital Signal Processing	数字信号处理
FD Filter	Fractional Delay Filter	分数延迟滤波器
FIR Filter	Finite Impulse Response Filter	有限脉冲响应滤波器
IP	Intellectual Property	知识产权
Lagrange Interpolator	Lagrange Interpolator	拉格朗日插值滤波器



术语、缩略语	全称	含义
LUT	Look-up Table	查找表
RAM	Random Access Memory	随机存取存储器
Ratio	Ratio	采样率
SRC	Sample Rate Conversion	采样率转换

## 1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

E-mail: [support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 概述

## 2.1 Gowin ASRC IP 介绍

Gowin ASRC IP 主要是实现将音频数据从一种采样频率转换到另一种采样频率的设计。

**表 2-1 Gowin ASRC IP**

Gowin ASRC IP	
逻辑资源	请参见表 3-1。
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis®
应用软件	Gowin Software

注！

可登录[高云半导体网站](#)查看芯片支持信息。

## 2.2 ASRC 算法简介

### 2.2.1 采样率计算

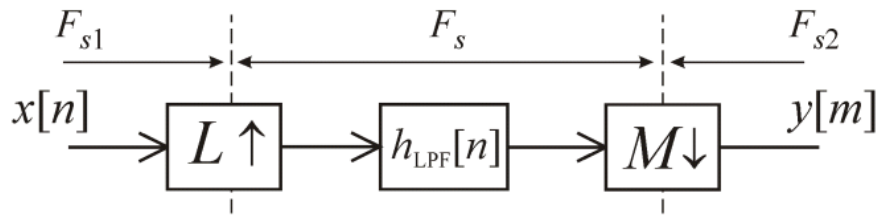
采样率公式如下所示：

$$Ratio = \frac{f_{s-out}}{f_{s-in}} = \frac{t_{s-in}}{t_{s-out}}$$

其中  $f_{s-in}$  为输入采样频率， $f_{s-out}$  为输出采样频率， $t_{s-in}$  输入采样时间周期， $t_{s-out}$  输出采样时间周期

## 2.2.2 传统 SRC 算法

图 2-1 传统 SRC 算法



传统 SRC 算法有两个弊端。

首先传统 SRC 算法，采样数据通过上采样处理，接着低通滤波处理，最后下采样处理，得到最后转换后的数据。其中上采样比率和下采样比率需要满足以下公式：

$$L = F_{s2} / \gcd(F_{s1}, F_{s2})$$

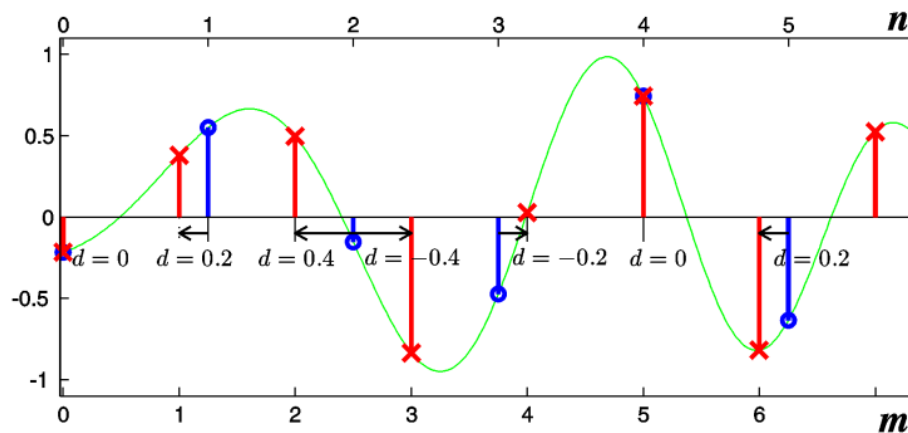
$$M = F_{s1} / \gcd(F_{s1}, F_{s2})$$

即 L 和 M 需要满足一定的公倍数，当 L 和 M 的值出现很大数值，如 L=160 和 M=147，较大数值的 L 和 M 将需要更窄的带系以及插入更多数值的插值滤波器(Interpolator)设计，但同时滤波器还需要更小的延迟，更快的响应设计，这将会导致设计难度加大。

其次，L 和 M 是固定数值，一旦出现输入采样时钟和输出采样时钟变化（即采样率发生变化），将无法满足最后的输出。

## 2.2.3 ASRC 算法

图 2-2 ASRC 算法分数延迟示意图



ASRC 算法使用分数延迟滤波器(Fractional Delay Filter)，通过计算输出

采样点与最近输入采样点位置的分数延迟，通过重新采样转换，输出采样数据。

分数延迟计算如下所示：

$$D[m] = D[m - 1] - F_{s1}/F_{s2} + \Delta n[m] \in$$

其中  $F_{s1}/F_{s2} = M/L$ ，而  $\Delta n[m]$  是输入缓冲区计算下一个样本所需的新样本数。

与传统 SRC 算法比较，通过计算  $F_{s1}/F_{s2} = M/L$  比率，当  $M=1$  时，FD 滤波器只需要较小  $L$  即可满足设计需要。

同时 ASRC 算法通过计算位置延迟处理采样数据，所以输入采样时钟和输出采样时钟的变化，处理也将随之变化。

## 2.2.4 拉格朗日插值滤波器 (Lagrange Interpolation) 设计

FD 滤波器可通过拉格朗日插值滤波器 (Lagrange Interpolation) 实现。

$N$  阶拉格朗日插值法计算公式如下，

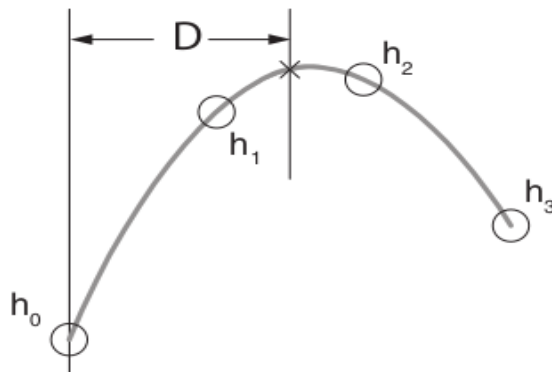
$$y(x) = \sum_{k=0}^N l_k(x) f(x_k)$$

其中，

$$l_k(x) = \frac{(x-x_0)\dots(x-x_{k-1})(x-x_{k+1})\dots(x-x_N)}{(x_k-x_0)\dots(x_k-x_{k-1})(x_k-x_{k+1})\dots(x_k-x_N)}$$

拉格朗日插值滤波器，通过对滤波系数进行拉格朗日插值计算出采样滤波系数，通过滤波重新采样转换得到输出采样数据。如图 2-3 所示，一阶拉格朗日插值，通过两个采样点可获得输出采样点，而三阶拉格朗日插值，通过四点获得输出采样点。

图 2-3 三阶拉格朗日插值对滤波器系数处理示意图



三阶拉格朗日插值滤波计算公式如下：

$$H = \frac{(D-2)(D-3)}{2} \left( \frac{-(D-1)h_0}{3} + Dh_1 \right) + \frac{D(D-1)}{2} \left( -(D-3)h_2 + \frac{(D-2)h_3}{3} \right)$$

其中  $D$  为系数间延迟， $h_0, h_1, h_2, h_3$  为滤波系数。

# 3 特征与性能

## 3.1 主要特征

- 完全异步
- 支持 4 通道，24 bit 音频数据输入和输出
- 自动转换比率检测
- 输入采样频率从 8KHz 到 96KHz 的连续范围
- 输出采样频率从 8KHz 到 96KHz 的连续范围
- 连续的转换比：1:7.5（下变频）到 8:1（上变频）
- 低延迟

## 3.2 最大频率

ASRC 的最大频率主要根据所用器件的速度等级（speed grade of the devices）以及配置参数决定确定。

## 3.3 延迟 Latency

ASRC 的延迟主要由配置参数来确定。

- 如果是升频，主要取决于输入的采样频率，延迟=相位延迟（32）+ FIFO 延迟（16）= 48 输入采样周期。
- 如果是降频，延迟=相位延迟  $(32 * \frac{f_{Sout}}{f_{Sin}})$  + FIFO 延迟（16）

举例如下：

- 若 48KHz 转为 48KHz，延迟=32 + 16 = 48 输入采样周期。
- 若 48KHz 转为 96KHz，延迟=32 + 16 = 48 输入采样周期。
- 若 48KHz 转为 44.1KHz，延迟=  $32 * 48 / 44.1 + 16 = 50.83$  输入采样周期。

## 3.4 资源利用

通过 Verilog 语言实现 ASRC。因使用器件的密度、速度、等级不同以及 IP 配置模式不同，其性能和资源利用情况可能不同。

以高云 GW2A-18 系列 FPGA 为例，ASRC 其资源利用情况如表 3-1 所示，有关在其他高云 FPGA 上的应用验证，请关注后期发布信息。

**表 3-1 Gowin ASRC IP 占用资源**

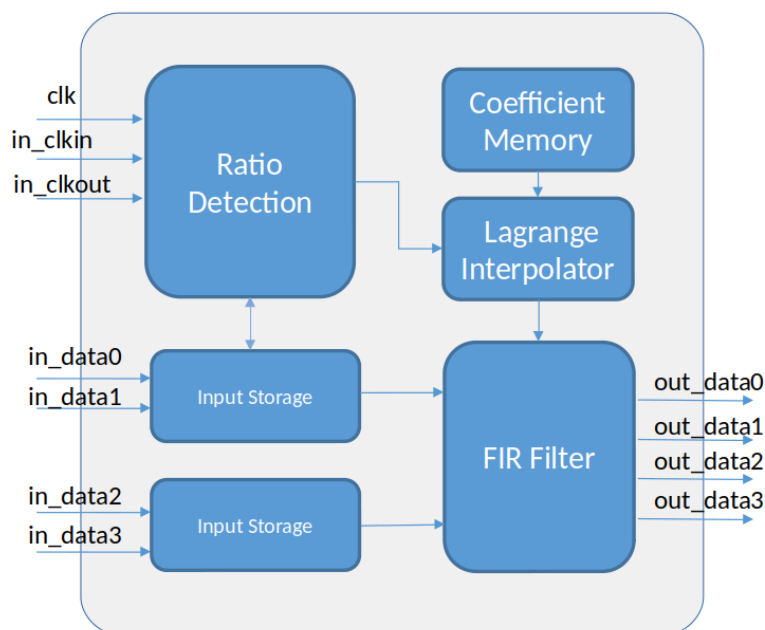
器件系列	速度等级	器件名称	资源利用	备注
GW2A18	-7	LUT	2170	-
		ALU	949	
		REG	1773	
		BSRAM	8	
		DSP	3	

# 4 功能描述

## 4.1 ASRC 结构与功能

在 FPGA 中通过以下结构处理，最终实现 ASRC，实现框图如图 4-1 所示：

图 4-1 ASRC 实现框图



主要由以下几个模块组成：

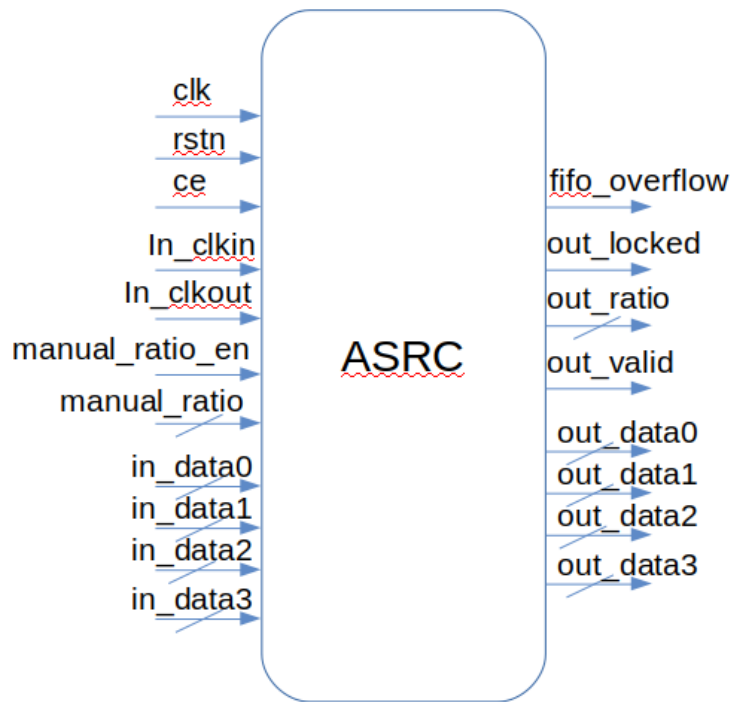
1. **Ratio Detection:** 通过输入采样时钟和输出采样时钟进行采样率的计算。当降频率时， $ratio = f_{s-out}/f_{s-in}$ ，当升频时， $ratio=1$ 。
2. **Input Storage:** 存储输入数据，通过 FIFO 结构控制。
3. **Coefficient Memory:** 存储滤波系数。
4. **Lagrange Interpolator:** 通过采样率进行位置延迟计算，通过对滤波系数进行拉格朗日计算，最终获得所需采样滤波系数。

5. FIR Filter: 对数据进行滤波处理, 实现重新采样转换, 得到最后采样数据。

## 4.2 端口描述

ASRC IP 的 IO 端口如图 4-2 所示。

图 4-2 ASRC IP 端口图



有关 ASRC 的 IO 端口详情, 如表 4-1 所示。

表 4-1 ASRC 的 IO 端口列表

信号	方向	位宽	描述
clk	输入	1	时钟信号
ce	输入	1	使能信号
rstn	输入	1	复位信号 (低电平有效)
in_clkkin	输入	1	输入采样时钟
in_clkout	输入	1	输出采样时钟
in_data0,... in_data3	输入	24	输入采样数据
manual_ratio_en	输入	1	自设采样率使能信号
manual_ratio	输入	26	自设采样率 (整数位4bit, 小数位22bit)
fifo_overflow	输出	1	FIFO数据溢出信号



信号	方向	位宽	描述
out_locked	输出	1	采样率锁信号
out_ratio	输出	26	输出采样率信号 (整数位4bit, 小数位22bit)
out_valid	输出	1	数据输出有效信号
out_data0, ... out_data3	输出	24	输出数据

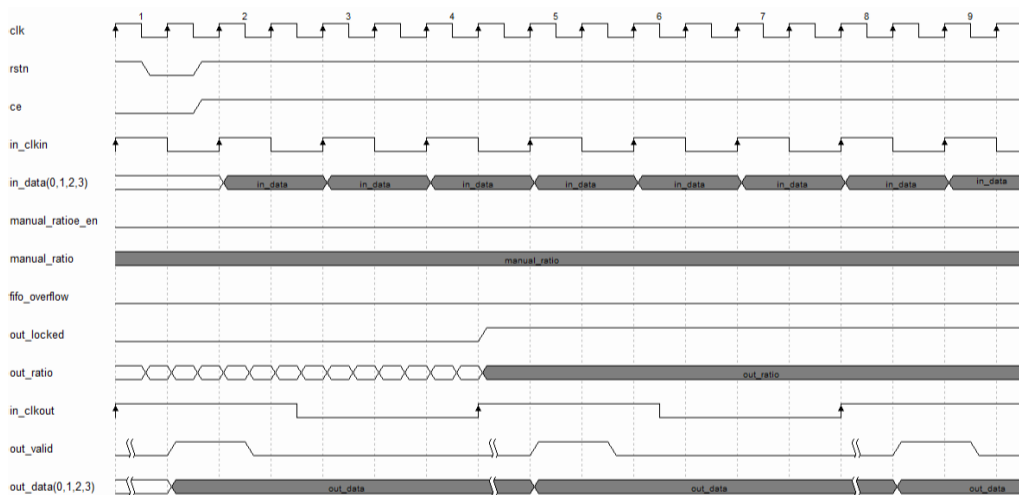
## 4.3 时序说明

本节旨在介绍 ASRC 的时序情况。

### 4.3.1 ASRC 自动检测采样率时序

ASRC 自动检测采样率模式的时序图如图 4-3 所示。

图 4-3 ASRC 自动检测采样率模式时序图



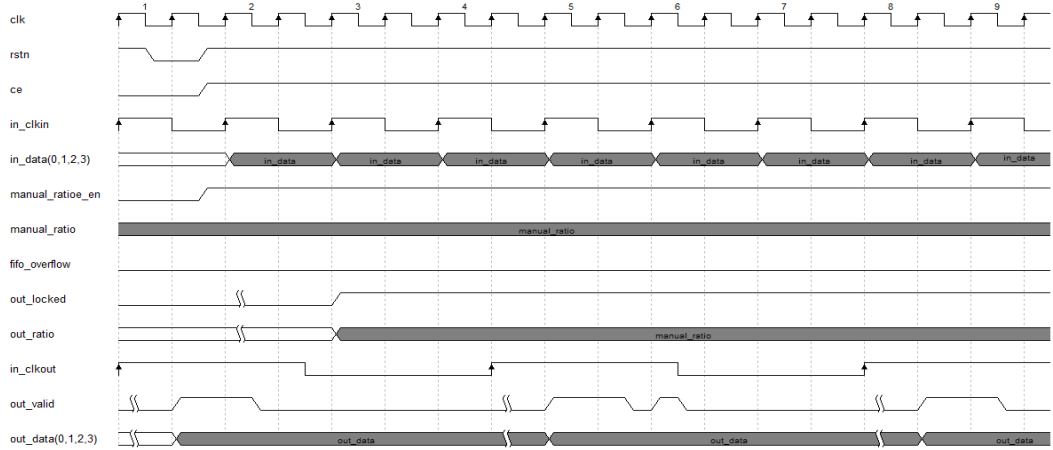
自动检测采样，是通过输入采样时钟(in\_clkln)和输出采样时钟(in\_clkout)进行采样率计算，处理后得到输出采样率(out\_ratio)。当锁信号(out\_locked)为高电平，输出采样率稳定。

输入采样数据(in\_data)，可以通过四个通道输入，经一段时间处理后，分别得到各通道的输出采样数据(out\_data)。

### 4.3.2 ASRC 自设采样率时序

ASRC 自设采样率模式的时序图如图 4-4 所示。

图 4-4 ASRC 自设采样率模式时序图



当 manual\_ratio\_en = 1，为自设采样率。通过固定的采样率进行转化，输出固定的采样率，而此时的锁信号将无意义。

输入采样数据(in\_data)，可以通过四个通道输入，经一段时间处理后，分别各通道的输出采样数据(out\_data)。

### 4.3.3 不同转换所需时钟频率

表 4-2 不同转换所需时钟频率 (Mhz)

输入时钟频率	输出时钟频率			
	32 KHz	44.1KHz	48KHz	96KHz
32 KHz	45	60	65	130
44.1 KHz	55	60	65	130
48 KHz	60	65	65	130
96 KHz	110	115	115	130

注!

现有器件最高时钟频率为 100MHz,支持 96 KHz 以下频率。

对于升频来说，最小需要的系统处理频率为：

$$f_{clk} = f_{S_{out}} \times 1350$$

对于降频来说，最小需要的系统处理频率为：

$$f_{clk} = f_{S_{in}} \times 1030 + f_{S_{out}} \times 295$$

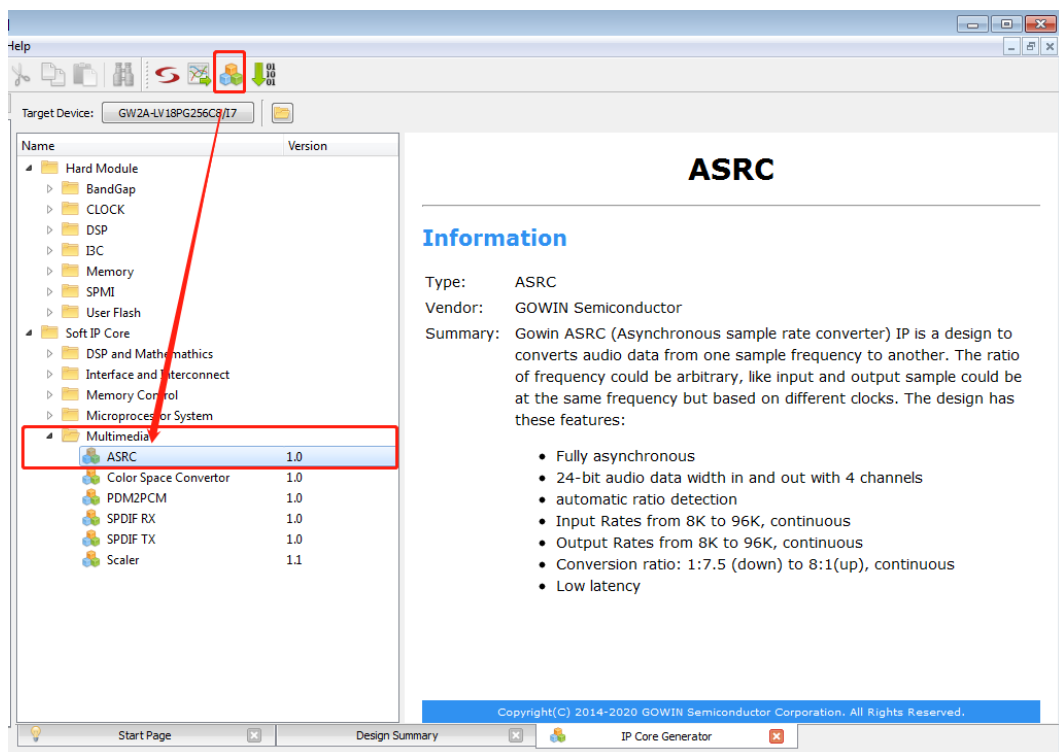
# 5 ASRC 界面配置

在高云半导体云源®软件界面菜单栏 Tools 下,可启动 IP Core Generator 工具,完成调用并配置 ASRC。

## 1. 打开 IP Core Generator

用户建立工程后,点击“IP Core Generator”按钮,就可打开 Gowin 的 IP 核产生工具,如图 5-1 所示。

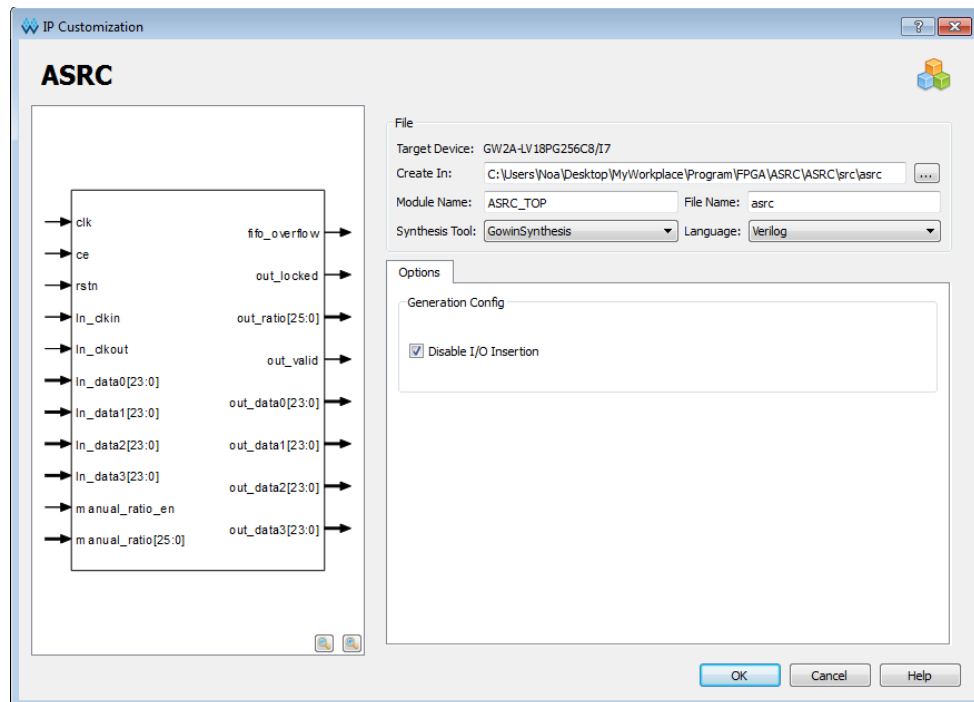
图 5-1 IP Core Generator 界面



## 2. 打开 IP 核 ASRC

单击“Multimedia”选项,双击“ASRC”,打开 ASRC IP 核的界面,如图 5-2 所示。

图 5-2 ASRC IP 界面



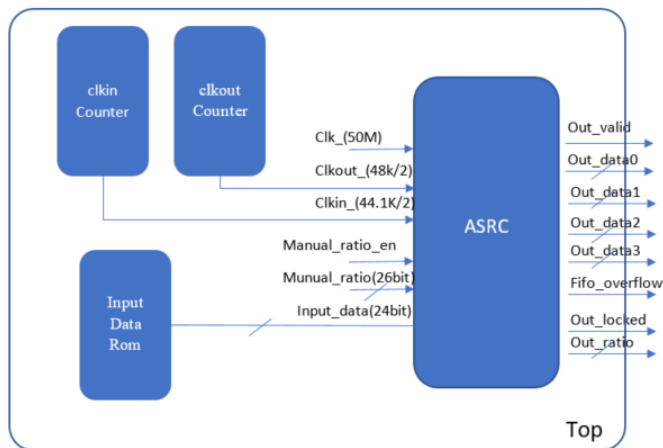
# 6 参考设计

本节主要介绍 ASRC 的参考设计实例的搭建及其使用方法。ASRC 的设计实例只有一个模块，详细信息见 ASRC 的 [reference design](#)。

参考设计基本结构框图如图 6-1 所示。在设计实例中，其步骤如下所示：

1. 通过 `clkin_counter` 产生(48/2)KHz 的输入时钟频率。。
2. 通过 `clkout_counter` 产生(44.1/2)KHz 的输出时钟频率。
3. 输入数据通过 ROM 存储，然后输入给 ASRC 模块。
4. 经过 ASRC 模块处理后，得到输出结果。

图 6-1 参考设计结构框图



利用该设计实例能够快速验证 ASRC 的功能。当该参考设计应用于板级测试时，用户需为参考设计提供合适的激励，信号的观测可配合在线逻辑分析仪或示波器进行。

