




Gowin PSRAM Memory Interface HS & HS 2CH IP

用户指南

IPUG943-1.3, 2024-11-22

版权所有 © 2024 广东高云半导体科技股份有限公司

GOWIN高云、GOWIN、、GOWINSEMI、GOWIN、Gowin、高云、晨熙、小蜜蜂、LittleBee、Arora-V、GowinPnR、GoBridge 均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其所有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2020/8/18	1.0	初始版本。
2021/03/04	1.1	更新第 5 章端口列表。
2021/06/30	1.2	新增 GUI 选项。
2024/11/22	1.3	<ul style="list-style-type: none">• 新增数据掩码 (data_mask) 描述。• 删除“Help”选项。

目录

图目录.....	iii
表目录.....	iv
1 关于本手册.....	1
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语.....	2
1.4 技术支持与反馈.....	2
2 概述.....	3
3 主要特征与性能.....	4
3.1 主要特征.....	4
3.2 工作频率与带宽效率.....	4
3.3 资源利用.....	5
4 功能描述.....	6
4.1 整体结构.....	6
4.2 Memory Controller Logic.....	6
4.3 PHY.....	7
4.3.1 初始化单元.....	8
4.3.2 数据通路单元.....	8
4.3.3 命令/地址控制通路单元.....	8
4.3.4 I/O 逻辑单元.....	8
4.4 主要功能.....	8
4.4.1 初始化.....	8
4.4.2 发送地址与命令.....	9
4.4.3 写数据.....	10
4.4.4 读数据.....	12
5 端口列表.....	14
6 参数配置.....	20
7 界面配置.....	22
8 参考设计.....	28

9 文件交付	30
9.1 文档.....	30
9.2 设计源代码（加密）.....	30
9.3 参考设计.....	31

图目录

图 4-1 Gowin PSRAM Memory Interface HS IP 结构图.....	6
图 4-2 PSRAM Memory Controller Logic 基本结构图.....	7
图 4-3 PSRAM PHY 基本结构图.....	7
图 4-4 初始化完成信号时序图.....	8
图 4-5 Row-Column 顺序的寻址方案.....	9
图 4-6 命令、地址与使能信号时序图.....	9
图 4-7 写数据端口时序图.....	10
图 4-8 突发长度为 32 时写数据时序图.....	11
图 4-9 突发长度为 64 时写数据时序图.....	11
图 4-10 突发长度为 128 时写数据时序图.....	11
图 4-11 data_mask 与读/写数据关系时序.....	12
图 4-12 读数据端口时序图.....	12
图 4-13 突发长度为 32 时读数据时序图.....	13
图 4-14 突发长度为 64 时读数据时序图.....	13
图 4-15 突发长度为 128 时读数据时序图.....	13
图 7-1 打开 IP Core Generator.....	22
图 7-2 打开 PSRAM Memory Interface HS IP 核.....	23
图 7-3 IP 核接口示意图.....	24
图 7-4 基本信息配置界面.....	25
图 7-5 Type 选项卡.....	26
图 7-6 Options 选项卡.....	27
图 8-1 参考设计基本结构框图.....	28
图 8-2 psram_test 部分端口信号仿真波形.....	29

表目录

表 1-1 术语、缩略语.....	2
表 2-1 Gowin PSRAM Memory Interface HS IP.....	3
表 3-1 资源利用情况.....	5
表 4-1 cmd 命令.....	9
表 4-2 Tcmd 周期与突发长度关系.....	10
表 5-1 Gowin PSRAM Memory Interface HS IP 的 IO 端口列表.....	14
表 5-2 Gowin PSRAM Memory Interface HS IP V2.0 的 IO 端口列表.....	15
表 5-3 Gowin PSRAM Memory Interface HS 2CH IP 的 IO 端口列表.....	16
表 5-4 Gowin PSRAM Memory Interface HS 2CH V2.0 IP 的 IO 端口列表.....	18
表 6-1 Gowin PSRAM Memory Interface 的静态参数选项.....	20
表 8-1 psram_syn_top 模块输入端口列表.....	28
表 9-1 文档列表.....	30
表 9-2 设计源代码列表.....	30
表 9-3 Ref. Design 文件夹内容列表.....	31

1 关于本手册

1.1 手册内容

Gowin PSRAM Memory Interface HS & HS 2CH IP 用户指南主要内容包括该 IP 的结构与功能描述、端口说明、时序说明、配置调用、参考设计等。主要用于帮助用户快速了解 Gowin PSRAM Memory Interface HS IP 的产品特性、特点及使用方法。PSRAM HS 和 PSRAM HS 2CH 用法基本相同，本手册以 PSRAM HS 为主体介绍用法，对 PSRAM HS 2CH 相关内容增加相关备注信息。本手册中的软件界面截图参考的是 1.9.10.03 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS117, GW1NR 系列 FPGA 产品数据手册](#)
- [DS861, GW1NSR 系列 FPGA 产品数据手册](#)
- [DS821, GW1NS 系列 FPGA 产品数据手册](#)
- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
2CH	2 Channels	两通道
GSR	Global System Reset	全局系统复位
HS	Horizontal Sync	水平同步
IP	Intellectual Property	知识产权
LUT	Look-up Table	查找表
PSRAM	Pseudo Static Random Access Memory	伪静态随机存储器
RAM	Random Access Memory	随机存取存储器

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

Gowin PSRAM Memory Interface HS & HS 2CH IP 是一个通用的 PSRAM 高速内存接口 IP，符合 PSRAM 标准协议。该 IP 包含 PSRAM 内存控制逻辑（Memory Controller Logic）与对应的物理层接口（Physical Interface, PHY）设计。Gowin PSRAM Memory Interface HS IP 为用户提供一个通用的命令接口，使其与 PSRAM 内存芯片进行互连，完成用户的访存需求。

表 2-1 Gowin PSRAM Memory Interface HS IP

Gowin PSRAM Memory Interface HS IP	
逻辑资源	请参见表 3-1。
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software (V1.9.8Beta 及以上)

注!

可登录[高云半导体网站](#)查看芯片支持信息。

3 主要特征与性能

3.1 主要特征

- 能与标准的 PSRAM 器件接口兼容
- 支持存储器数据路径宽度为 8、16、24、32、40、48、56 和 64 位
- 支持 x8 数据宽度的内存芯片
- 可编程突发长度 16、32、64、128
- 时钟比例为 1:2
- 支持初始延时为 6
- 支持固定延时模式
- 支持电源关闭选项
- 可配置的驱动强度
- 可配置的自刷新区域
- 可配置的刷新速率
- 单通道双通道两种操作模式 IP 可选

3.2 工作频率与带宽效率

Gowin PSRAM Memory Interface HS IP 可支持的数据速率与效率为:

- 稳定工作频率 166MHz，最高工作频率可达 200MHz；
- 稳定工作数据速率 333Mbps，最高工作数据速率可达 400Mbps；
- 突发长度 128，带宽效率为 76%；
- 突发长度 64，带宽效率为 61%；
- 突发长度 32，带宽效率为 44%；
- 突发长度 16，带宽效率为 28%。

3.3 资源利用

Gowin PSRAM Memory Interface HS IP 通过 Verilog 语言实现，应用于高云 GW1N-4、GW1NR-4 等系列 FPGA，其资源利用情况如表 3-1 所示，有关在其他高云 FPGA 上的应用验证，请关注后期发布信息。

表 3-1 资源利用情况

DQ_WIDTH	LOGICs	REGs	I/O	f_{MAX}	器件系列	速度等级
8(x8)	700	541	16	333Mbps/	GW1N-4	C6/I5
16(x8)	947	898	29	400Mbps	GW1NR-4	C5/I4

注!

在表 3-1 中，Gowin PSRAM Memory Interface HS IP 配置用户地址宽度为 21 位，PSRAM WITDH 为 x8，突发长度为 32; 突发长度增加会使资源使用率增加，使用双通道 PSRAM IP 资源使用会稍有增加。

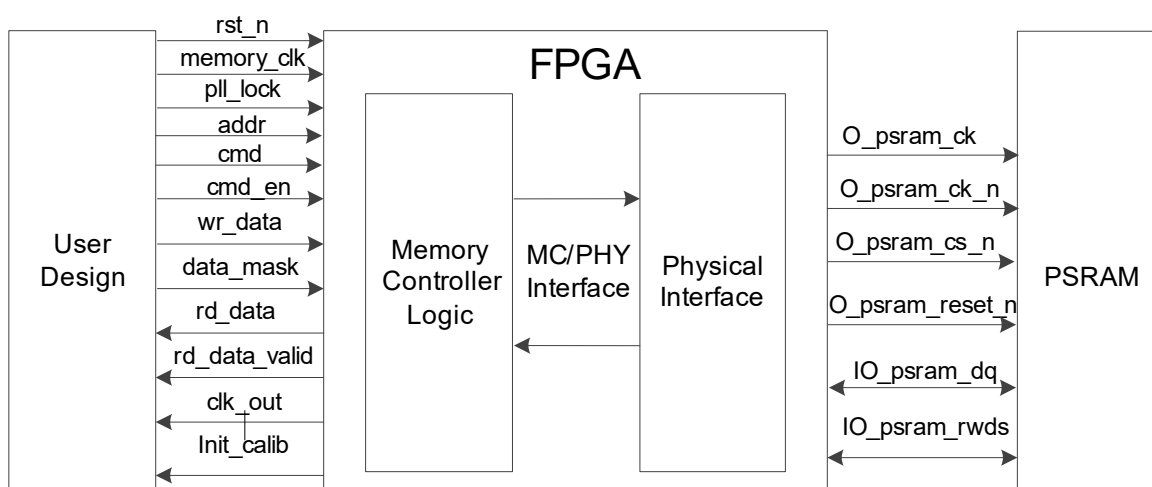
4 功能描述

4.1 整体结构

Gowin PSRAM Memory Interface HS IP 基本结构如图 4-1 所示，主要包含 Memory Controller Logic、Physical Interface 等模块。

图 4-1 中的 User Design 是 FPGA 中需要与外部 PSRAM 芯片所连接的用户设计。

图 4-1 Gowin PSRAM Memory Interface HS IP 结构图



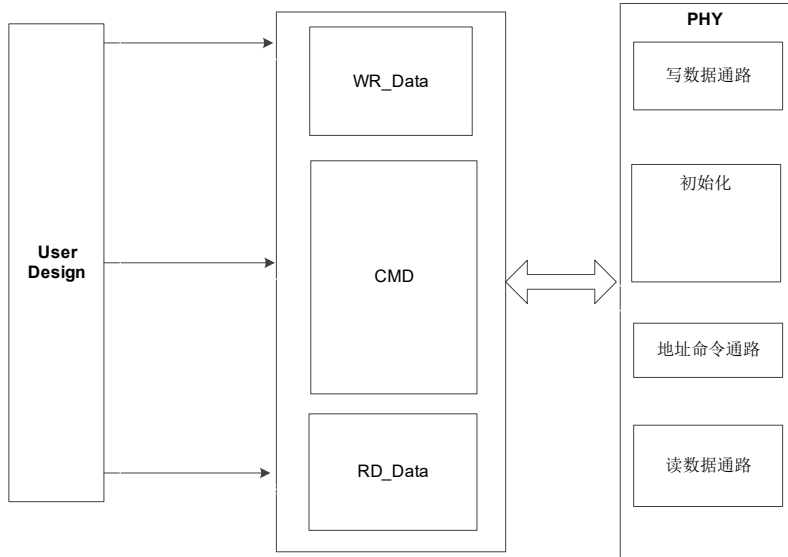
4.2 Memory Controller Logic

Memory Controller Logic 是 Gowin PSRAM Interface HS IP 的逻辑模块，位于 User Design 与 PHY 之间。Memory Controller Logic 接收来自用户接口的命令、地址与数据，并按照一定逻辑顺序进行存储。

用户发送的写、读等命令和地址在 Memory Controller Logic 中进行排序重组，组合成满足 PSRAM 协议的数据格式。同时，写数据时 Memory Controller Logic 会对数据进行重组和缓存，以满足命令和数据之间的初始延时值，读数据时，Memory Controller Logic 会对读回的数据进行采样和重组，恢复成正确数据。

PSRAM Memory Controller 主要由以下几个模块组成：CMD 单元、WR_Data 单元、RD_Data 单元等，主要结构如图 4-2 所示。

图 4-2 PSRAM Memory Controller Logic 基本结构图

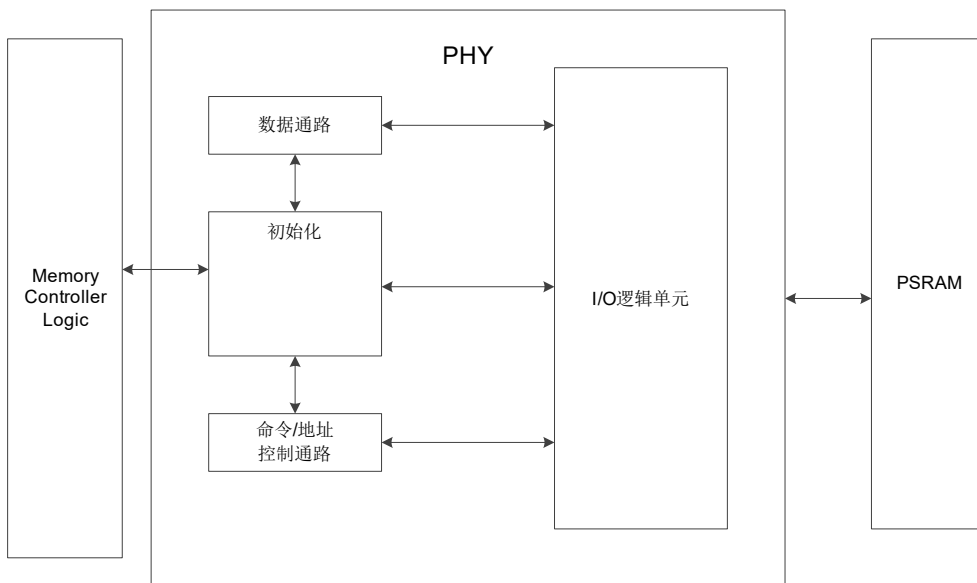


4.3 PHY

PHY 提供了 Memory Controller Logic 与外部 PSRAM 之间的物理层定义与接口，接收来自 Memory Controller Logic 的命令地址和数据，并向 PSRAM 接口提供满足时序与顺序要求的信号。

PHY 的基本结构如图 4-3 所示，主要包括四个模块，分别为初始化模块、数据通路、命令地址控制通路和 I/O 逻辑模块。

图 4-3 PSRAM PHY 基本结构图



4.3.1 初始化单元

初始化模块主要完成 PSRAM 上电后的初始化和读校准。在完成所有初始化与读校准之后，信号“init_calib”会由低变高，指示整个初始化完成。

上电初始化

按照 PSRAM 协议标准，上电后需对 PSRAM 颗粒进行初始化，包括复位、模式寄存器的配置及读校准等过程。

4.3.2 数据通路单元

数据通路包括写数据和读数据过程。

4.3.3 命令/地址控制通路单元

命令/地址控制通路为单向通路，接收 Memory Controller Logic 发送的命令与地址信号，并与数据通路配合，处理写、读数据时延参数，并将命令发送到 I/O 逻辑模块。

4.3.4 I/O 逻辑单元

I/O 逻辑模块主要是对数据通路和命令/地址通路传递过来的数据、命令、地址信号进行时钟域的转换。

4.4 主要功能

PSRAM Memory Interface HS IP 可实现以下功能：

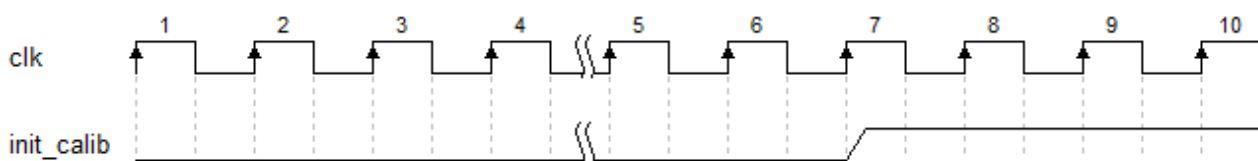
- PSRAM 颗粒的初始化；
- 发送地址、命令；
- 写数据；
- 读数据；

4.4.1 初始化

PSRAM 必须经过读校准操作才能进行正常的写、读操作。因此上电后 PHY 会对 PSRAM 进行初始化读校准操作，初始化完成后返回初始化完成标志 init_calib，单通道 PSRAM IP 会将两颗 PSRAM 颗粒同时初始化，而双通道 IP 则是两颗 PSRAM 颗粒各自初始化，并将两个初始化完成信号分别送出给用户使用。

初始化完成后向用户返回操作完成信号，如图 4-4 所示。

图 4-4 初始化完成信号时序图



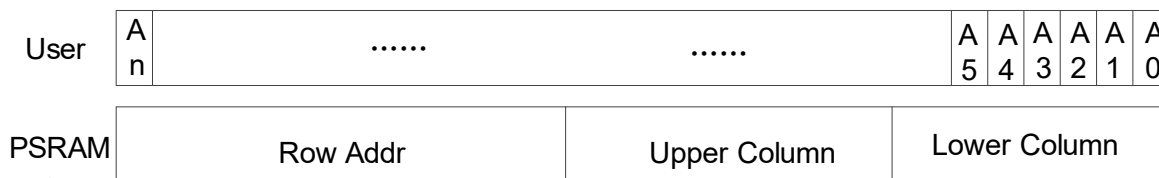
4.4.2 发送地址与命令

用户可通过 addr、cmd、cmd_en 等用户端口发送操作命令与地址。

- addr 为地址数据端口；
- 连续地址写操作和读操作时，相邻两次操作地址自加突发长度/2；
- cmd 为命令数据端口；
- cmd_en 为地址与命令使能信号，高电平有效；
- 双通道 PSRAM HS IP 和单通道 PSRAM HS IP 的操作方式一致，但是双通道 PSRAM HS IP 两个通道的命令和地址是独立的，需要分别给出控制信号。

在应用中，用户接口的地址总线与物理内存的 ROW、Upper Column、Lower Column 之间存在一定的映射关系，在本设计中，按照 ROW-Upper Column-Lower Column 的顺序进行依次排列，其寻址方案如图 4-5 所示。用户在应用中，只需按照需要给出地址，不需要关心映射关系。

图 4-5 Row-Column 顺序的寻址方案



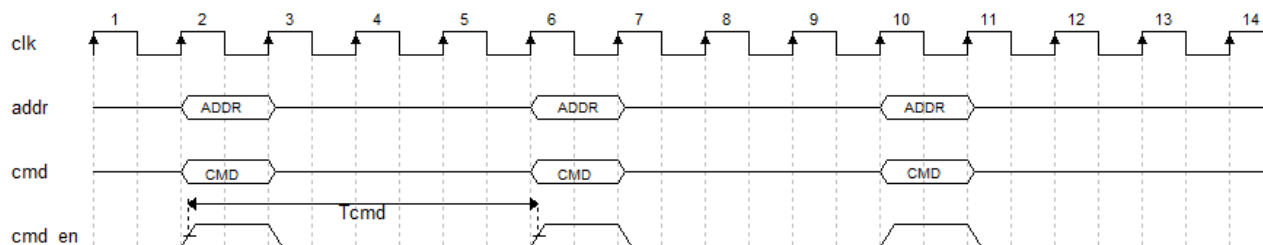
用户通过 cmd 端口可发送的命令如表 4-1 所示：

表 4-1 cmd 命令

命令	cmd
Read	1'b0
Write	1'b1

在用户接口端，命令、地址及使能信号之间的时序如图 4-6 所示，当 cmd_en 为高时，此时的 cmd 与 addr 有效。

图 4-6 命令、地址与使能信号时序图



在用户端实际使用时两个命令（写-读/读-写/写-写/读-读）间隔需满足最小间隔周期（图 4-8 中 Tcmd 周期数），即突发长度为 16 时，命令间隔最小为 14 个时钟周期；突发长度为

32 时，命令间隔最小为 18 个时钟周期；突发长度为 64 时，命令间隔最小为 26 个时钟周期；突发长度为 128 时，命令间隔最小为 42 个时钟周期。如表 4-2 所示。

表 4-2 Tcmd 周期与突发长度关系

突发长度	Tcmd（两个命令之间间隔，不区分读写）
128	42 个用户时钟
64	26 个用户时钟
32	18 个用户时钟
16	14 个用户时钟

4.4.3 写数据

用户可通过用户接口 `wr_data`、`data_mask` 等端口将写数据发送给 Gowin PSRAM Memory Interface HS IP，写数据经过处理后会发送给 PSRAM 颗粒。

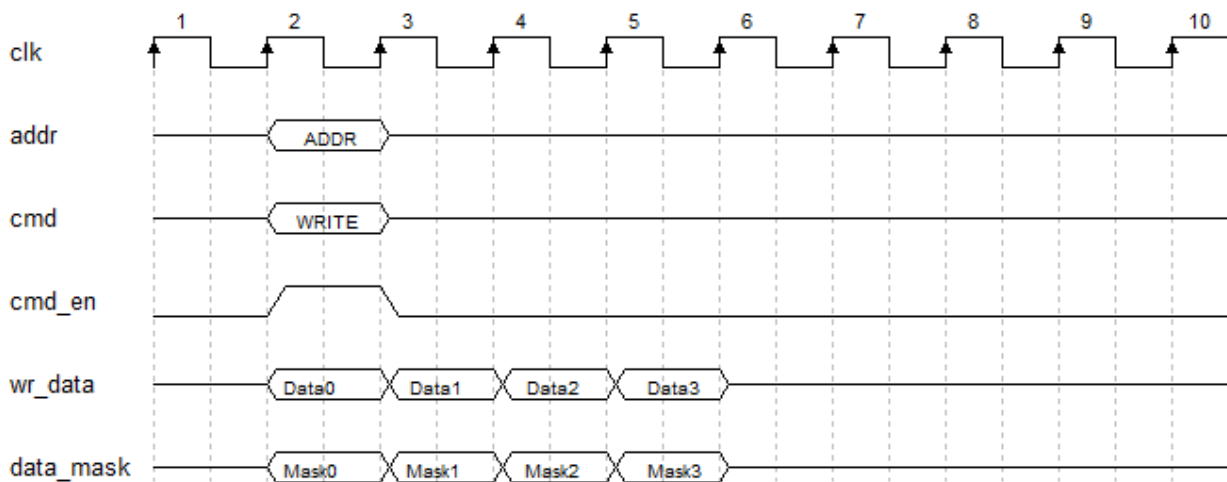
- `wr_data` 为写数据端口。
- `data_mask`^[1]为写遮掩端口。

注！

^[1]`data_mask` 的使用方法见[数据掩码（data_mask）](#)。

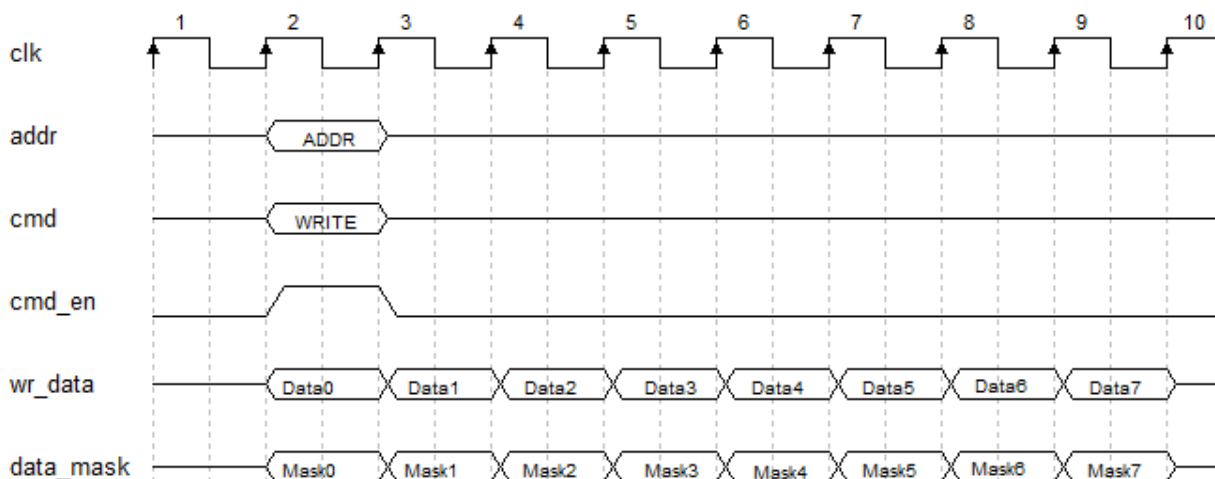
- 写数据通道与命令通道之间存在多种时序情况，下图以突发长度为 16 为例。
- 双通道 PSRAM IP 与单通道 PSRAM IP 写操作模式一致，但是双通道 PSRAM IP 两个通道的数据端口是独立的，需要分别给出写数据。

图 4-7 写数据端口时序图



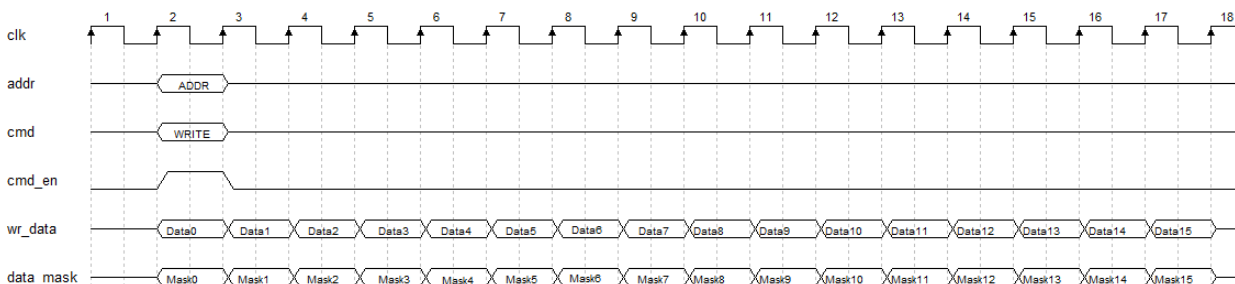
- 用户配置突发长度为 32 时，写数据占用 8 个 `clk` 周期，如图 4-8 所示。
- 如果不使用 `mask` 功能 `data_mask` 可以为 0。

图 4-8 突发长度为 32 时写数据时序图



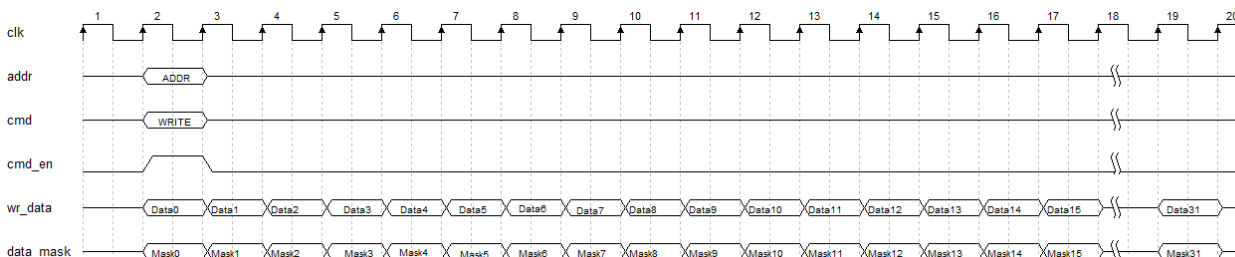
- 用户配置突发长度为 64 时，写数据占用 16 个 clk 周期，如图 4-9 所示。
- 如果不使用 mask 功能 data_mask 可以为 0。

图 4-9 突发长度为 64 时写数据时序图



- 用户配置突发长度为 128 时，写数据占用 32 个 clk 周期，如图 4-10 所示。
- 如果不使用 mask 功能 data_mask 可以为 0。

图 4-10 突发长度为 128 时写数据时序图

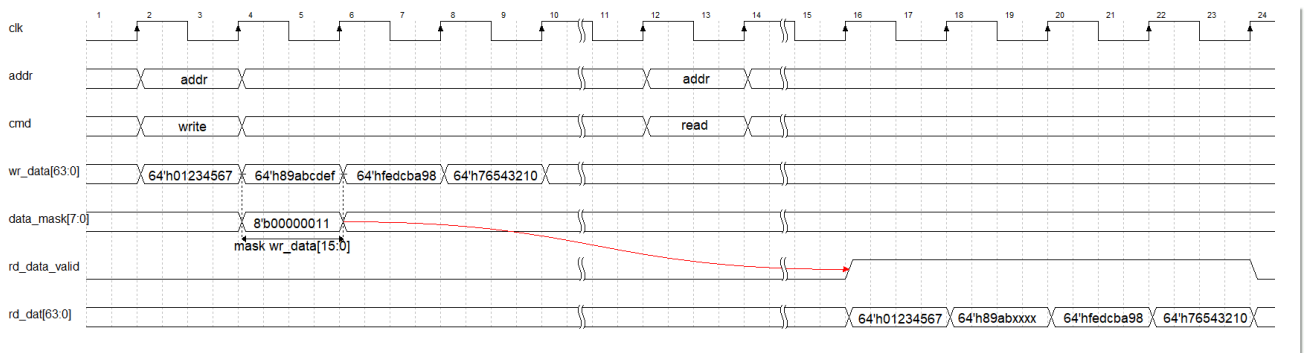


数据掩码 (data_mask)

对于用户不需要的数据，可以采用数据掩码信号(data_mask)进行数据屏蔽，data_mask 每一个 bit 位控制 wr_data 的一个字节，高电平有效。对应关系为 data_mask[0]控制 wr_data[7:0]，data_mask[1]控制 wr_data[15:8]，data_mask[2]控制 wr_data[23:16].....。

如图 4-11 所示，写数据时屏蔽 $wr_data[15:0]=16'hcdef$ ，所以当前帧写入的 $16'hcdef$ 在读取时未被返回，这是由于 $16'hcdef$ 写入 $psram$ 时，未覆盖 $psram$ 相应位置原来的数据， $16'hxxxx$ 为未进行写屏蔽之前的数据。

图 4-11 data_mask 与读/写数据关系时序

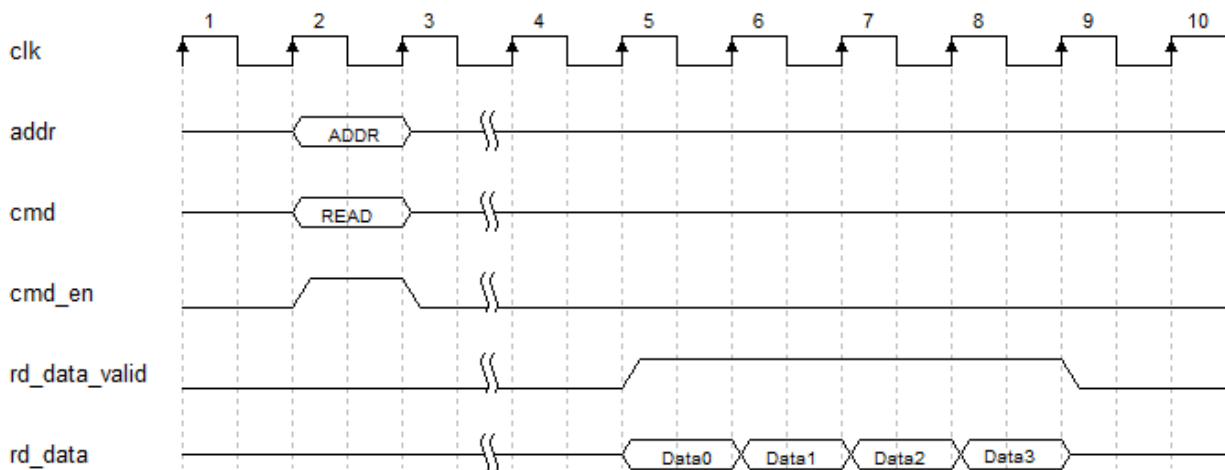


4.4.4 读数据

用户可通过用户端口 rd_data 、 rd_data_valid 读取 PSRAM 返回的数据。

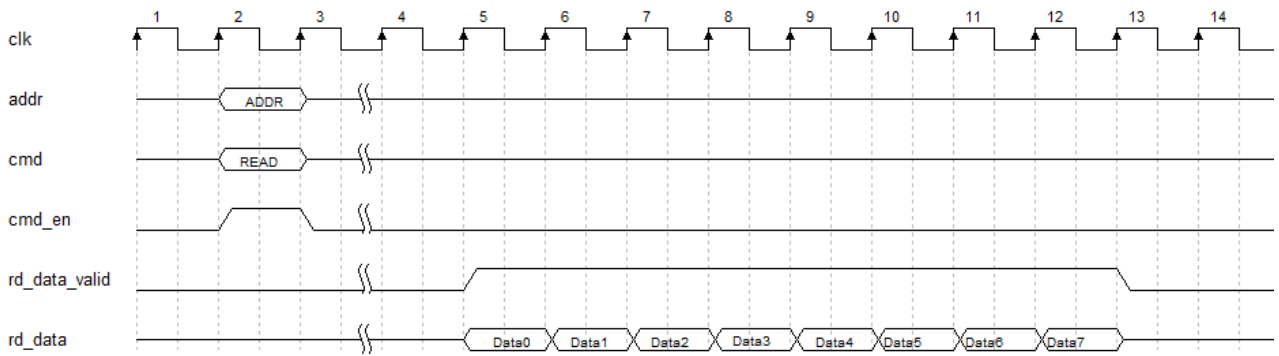
- 端口 rd_data 为返回的读数据端口。
- 端口信号 rd_data_valid 为读数据有效端口，当其为高电平时，指示此时返回的 rd_data 有效。
- 读数据通道与命令通道之间存在多种时序情况，下图以突发长度为 16 为例。
- 双通道 PSRAM IP 与单通道 PSRAM IP 读操作模式一致，但是双通道 PSRAM IP 两个通道的数据端口是独立的，需要分别接收 rd_data_valid 信号和 rd_data 数据。

图 4-12 读数据端口时序图



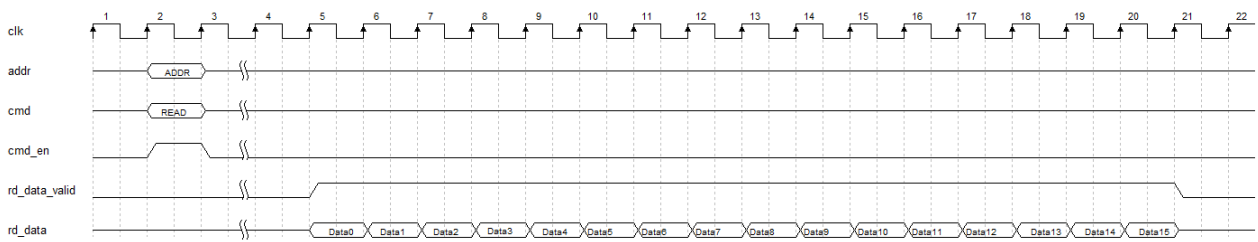
- 用户配置突发长度为 32 时，读数据占用 8 个 clk 周期，如图 4-13 所示。

图 4-13 突发长度为 32 时读数据时序图



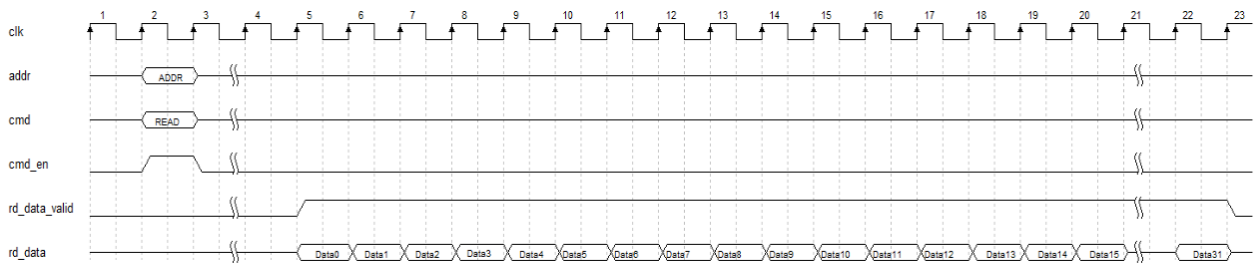
- 用户配置突发长度为 64 时，读数据占用 16 个 clk 周期，如图 4-14 所示。

图 4-14 突发长度为 64 时读数据时序图



- 用户配置突发长度为 128 时，读数据占用 32 个 clk 周期，如图 4-15 所示。

图 4-15 突发长度为 128 时读数据时序图



5 端口列表

Gowin PSRAM Memory Interface HS IP 的 IO 端口如表 5-1 所示。

表 5-1 Gowin PSRAM Memory Interface HS IP 的 IO 端口列表

信号	位宽	方向	描述
User Interface			
addr	ADDR_WIDTH	Input	地址输入
cmd	1	Input	命令通道
cmd_en	1	Input	命令与地址使能信号： 0: 无效 1: 有效
rd_data	4*DQ_WIDTH	Output	读数据通道
rd_data_valid	1	Output	rd_data 有效信号： 0: 无效 1: 有效
wr_data	4*DQ_WIDTH	Input	写数据通道
data_mask	MASK_WIDTH	Input	为 wr_data 提供遮挡信号
clk	1	Input	参考输入时钟，一般为板载晶振时钟
init_calib	1	Output	初始化完成信号
clk_out	1	Output	用户逻辑设计使用时钟，频率为 Memory Clk 的 1/2。
rst_n	1	Input	用户输入复位信号： 0: 有效 1: 无效
memory_clk	1	Input	用户输入颗粒工作时钟，一般为 PLL 倍频出来的高速时钟，也可以不使用 PLL。

信号	位宽	方向	描述
pll_lock	1	Input	如果 memory_clk 为 PLL 倍频输入，此接口接 PLL 的 pll_lock 管脚 如果用户不使用 PLL，此接口接 1'b1。
PSRAM Interface			
O_psram_cs_n	CS_WIDTH	Output	片选，低有效。
O_psram_ck	CS_WIDTH	Output	提供给 PSRAM 的时钟信号
O_psram_ck_n	CS_WIDTH	Output	与 O_psram_ck 组成差分信号
O_psram_reset_n	CS_WIDTH	Output	PSRAM 复位信号
IO_psram_dq	DQ_WIDTH	Bidirection	PSRAM 数据
IO_psram_rwds	RWDS_WIDTH	Bidirection	PSRAM 数据选通信号及掩码信号

Gowin PSRAM Memory Interface HS IP V2.0 的 IO 端口如表 5-2 所示。

表 5-2 Gowin PSRAM Memory Interface HS IP V2.0 的 IO 端口列表

信号	位宽	方向	描述
User Interface			
addr	ADDR_WIDTH	Input	地址输入
cmd	1	Input	命令通道
cmd_en	1	Input	命令与地址使能信号： 0: 无效 1: 有效
rd_data	4*DQ_WIDTH	Output	读数据通道
rd_data_valid	1	Output	rd_data 有效信号： 0: 无效 1: 有效
wr_data	4*DQ_WIDTH	Input	写数据通道
data_mask	MASK_WIDTH	Input	为 wr_data 提供遮挡信号
clk_d	1	Input	与 memory_clk 同一个 PLL 产生的时钟，一般使用 PLL 的 clkoutd 管脚，为 memory_clk 的偶数分频，一般推荐 4 分频。
init_calib	1	Output	初始化完成信号
clk_out	1	Output	用户逻辑设计使用时钟，频率为 Memory Clk 的 1/2。
rst_n	1	Input	用户输入复位信号： 0: 有效 1: 无效

信号	位宽	方向	描述
memory_clk	1	Input	用户输入颗粒工作时钟，一般为 PLL 倍频出来的高速时钟，也可以不使用 PLL。
memory_clk_p	1	Input	与 memory_clk 同一个 PLL 输出的高速时钟，一般为 PLL 的 clkoutp 管脚，memory_clk 的 90° 偏移时钟。
pll_lock	1	Input	如果 memory_clk 为 PLL 倍频输入，此接口接 PLL 的 pll_lock 管脚 如果用户不使用 PLL，此接口接 1'b1。
PSRAM Interface			
O_psram_cs_n	CS_WIDTH	Output	片选，低有效。
O_psram_ck	CS_WIDTH	Output	提供给 PSRAM 的时钟信号
O_psram_ck_n	CS_WIDTH	Output	与 O_psram_ck 组成差分信号
O_psram_reset_n	CS_WIDTH	Output	PSRAM 复位信号
IO_psram_dq	DQ_WIDTH	Bidirection	PSRAM 数据
IO_psram_rwds	RWDS_WIDTH	Bidirection	PSRAM 数据选通信号及掩码信号

Gowin PSRAM Memory Interface HS 2CH IP 的 IO 端口如表 5-3 所示。

表 5-3 Gowin PSRAM Memory Interface HS 2CH IP 的 IO 端口列表

信号	位宽	方向	描述
User Interface			
addr0	ADDR_WIDTH	Input	通道 0 地址输入
addr1	ADDR_WIDTH	Input	通道 1 地址输入
cmd0	1	Input	通道 0 命令通道
cmd1	1	Input	通道 1 命令通道
cmd_en0	1	Input	通道 0 命令与地址使能信号： 0: 无效 1: 有效
cmd_en1	1	Input	通道 1 命令与地址使能信号： 0: 无效 1: 有效
rd_data0	[31:0]	Output	读数据通道 0
rd_data1	[31:0]	Output	读数据通道 1
rd_data_valid0	1	Output	通道 0 rd_data 有效信号： 0: 无效 1: 有效

信号	位宽	方向	描述
rd_data_valid1	1	Output	通道 1rd_data 有效信号： 0: 无效 1: 有效
wr_data0	[31:0]	Input	写数据通道 0
wr_data1	[31:0]	Input	写数据通道 1
data_mask0	[3:0]	Input	为通道 0wr_data 提供遮挡信号
data_mask1	[3:0]	Input	为通道 1wr_data 提供遮挡信号
init_calib0	1	Output	通道 0 初始化完成信号
init_calib1	1	Output	通道 1 初始化完成信号
clk	1	Input	参考输入时钟，一般为板载晶振时钟。
memory_clk	1	Input	用户输入颗粒工作时钟，一般为 PLL 倍频出来的高速时钟，也可以不使用 PLL。
pll_lock	1	Input	如果 memory_clk 为 PLL 倍频输入，此接口接 PLL 的 pll_lock 管脚 如果用户不使用 PLL，此接口接 1'b1。
clk_out	1	Output	用户逻辑设计使用时钟，频率为 Memory Clk 的 1/2。
rst_n	1	Input	用户输入复位信号： 0: 有效 1: 无效
PSRAM Interface			
O_psram_cs_n	[1:0]	Output	片选，低有效。
O_psram_ck	[1:0]	Output	提供给 PSRAM 的时钟信号
O_psram_ck_n	[1:0]	Output	与 O_psram_ck 组成差分信号
O_psram_reset_n	[1:0]	Output	PSRAM 复位信号
IO_psram_dq	[15:0]	Bidirection	PSRAM 数据
IO_psram_rwds	[1:0]	Bidirection	PSRAM 数据选通信号及掩码信号

Gowin PSRAM Memory Interface HS 2CH V2.0 IP 的 IO 端口如表 5-4 所示。

表 5-4 Gowin PSRAM Memory Interface HS 2CH V2.0 IP 的 IO 端口列表

信号	位宽	方向	描述
User Interface			
addr0	ADDR_WIDTH	Input	通道 0 地址输入
addr1	ADDR_WIDTH	Input	通道 1 地址输入
cmd0	1	Input	通道 0 命令通道
cmd1	1	Input	通道 1 命令通道
cmd_en0	1	Input	通道 0 命令与地址使能信号： 0: 无效 1: 有效
cmd_en1	1	Input	通道 1 命令与地址使能信号： 0: 无效 1: 有效
rd_data0	[31:0]	Output	读数据通道 0
rd_data1	[31:0]	Output	读数据通道 1
rd_data_valid0	1	Output	通道 0rd_data 有效信号： 0: 无效 1: 有效
rd_data_valid1	1	Output	通道 1rd_data 有效信号： 0: 无效 1: 有效
wr_data0	[31:0]	Input	写数据通道 0
wr_data1	[31:0]	Input	写数据通道 1
data_mask0	[3:0]	Input	为通道 0wr_data 提供遮挡信号
data_mask1	[3:0]	Input	为通道 1wr_data 提供遮挡信号
init_calib0	1	Output	通道 0 初始化完成信号
init_calib1	1	Output	通道 1 初始化完成信号
clk_d	1	Input	与 memory_clk 同一个 PLL 产生的时钟，一般使用 PLL 的 clkoutd 管脚，为 memory_clk 的偶数分频，一般推荐 4 分频。
memory_clk	1	Input	用户输入颗粒工作时钟，一般为 PLL 倍频出来的高速时钟，也可以不使用 PLL。
memory_clk_p	1	Input	与 memory_clk 同一个 PLL 输出的高速时钟，一般为 PLL 的 clkoutp 管脚，memory_clk 的 90° 偏移时钟。

信号	位宽	方向	描述
pll_lock	1	Input	如果 memory_clk 为 PLL 倍频输入，此接口接 PLL 的 pll_lock 管脚 如果用户不使用 PLL，此接口接 1'b1。
clk_out	1	Output	用户逻辑设计使用时钟，频率为 Memory Clk 的 1/2
rst_n	1	Input	用户输入复位信号： 0: 有效 1: 无效
PSRAM Interface			
O_psram_cs_n	[1:0]	Output	片选，低有效。
O_psram_ck	[1:0]	Output	提供给 PSRAM 的时钟信号
O_psram_ck_n	[1:0]	Output	与 O_psram_ck 组成差分信号
O_psram_reset_n	[1:0]	Output	PSRAM 复位信号
IO_psram_dq	[15:0]	Bidirection	PSRAM 数据
IO_psram_rwds	[1:0]	Bidirection	PSRAM 数据选通信号及掩码信号

6 参数配置

Gowin PSRAM Memory Interface HS IP 可支持 PSRAM 器件，用户需根据设计要求配置 Gowin PSRAM Memory Interface 的各个静态参数与时序参数，具体参数如表 6-1 所示。

表 6-1 Gowin PSRAM Memory Interface 的静态参数选项

名称	描述	选项
Memory TYPE	PSRAM 颗粒型号	W955D8MBYA, Custom
CLk Ratio	PSRAM PHY 与内部逻辑时钟比例，用户不可操作。	1:2
Memory Clock	用户期望的颗粒工作频率	50Mhz~250MHz
Psram Width	PSRAM 颗粒 DQ 宽度	8
Dq Width	用户需要使用的数据位宽	8,16,24,32,40,48,56,64
Addr Width	颗粒的地址位宽，用户根据具体颗粒填写。	21
Data Width	用户数据位宽	4*Dq Width
CS Width	片选位宽	Dq Width/Psram Width
Mask Width	掩码位宽	Data Width/Psram Width
Burst Mode	数据突发长度	16, 32, 64, 128
Burst Num	突发数据数量	Burst Mode/4
Fixed Latency Enable	固定延时使能	"Fixed"
Initial Latency	初始延时值	6
Drive Strength	驱动强度	35, 50, 100,200
Deep Power Down	电源关闭选项	"OFF", "ON"
Hybrid Sleep Mode	睡眠模式	"OFF", "ON"
Refresh Rate	刷新速度	"normal", "faster"
PASR	自刷新区域	full,bottom_1/2,bottom_1/4,bottom_1/8, top_1/2, top_1/4, top_1/8

名称	描述	选项
Shift Delay	采样窗口调整	一般用户用户使用默认值即可，如果高低温测试时有误码可适当调整，调整范围0~255。

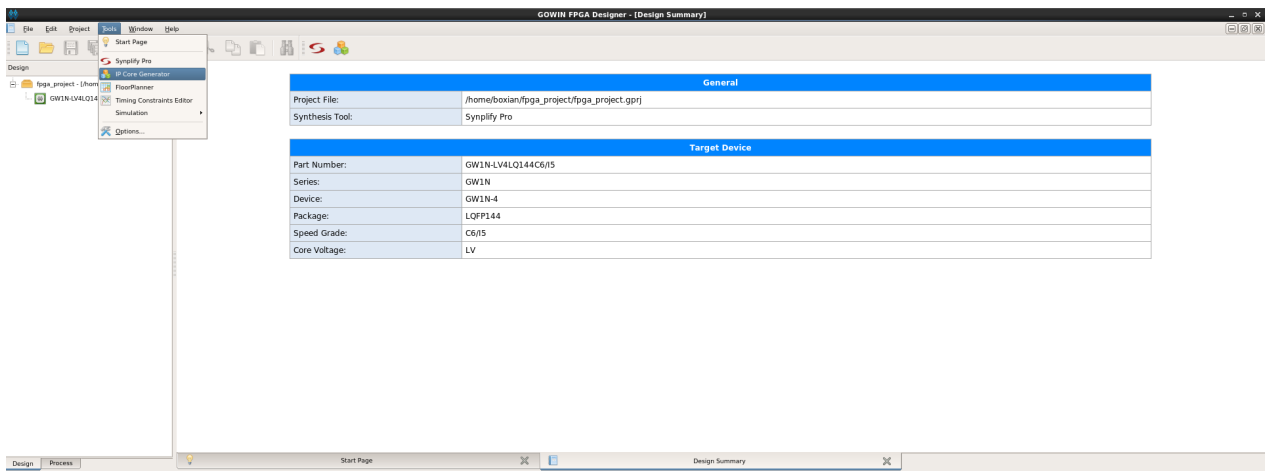
7 界面配置

用户可在高云半导体云源软件中通过 IP Core Generator 工具调用并配置 Gowin PSRAM Memory Interface HS IP。本章节以选择使用 W95D8MBYA PSRAM 内存颗粒为例，介绍了主要配置界面、配置流程以及各配置选项含义。

1. 打开 IP Core Generator

用户建立工程后，点击左上角 **Tools** 选项卡，下拉单击 **IP Core Generator** 选项，就可打开 GOWIN 的 IP 核产生工具，如图 7-1 所示。

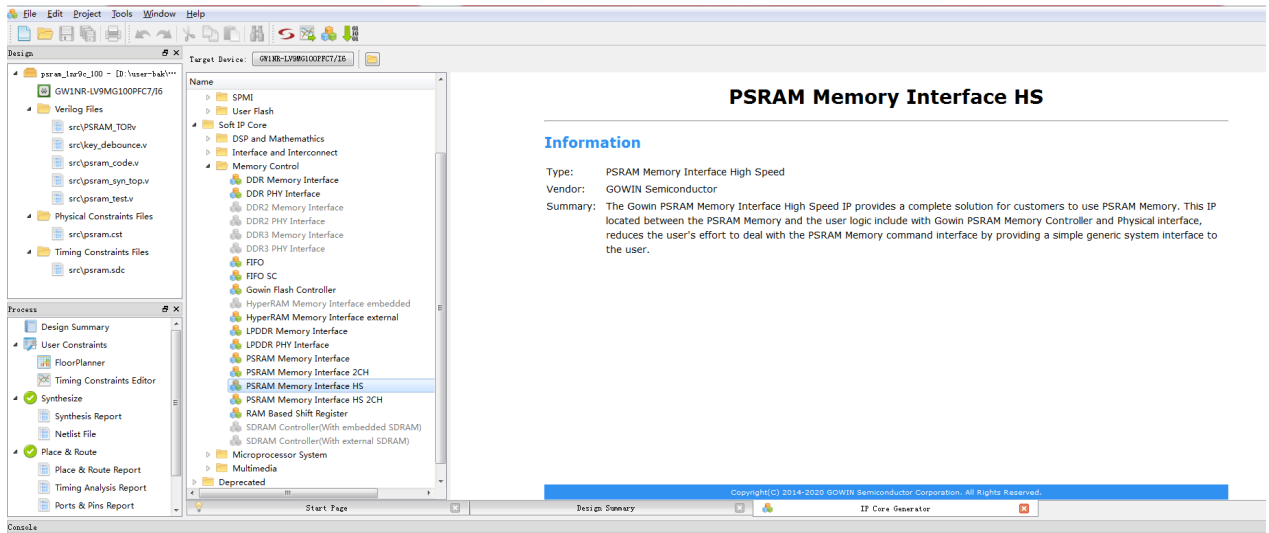
图 7-1 打开 IP Core Generator



2. 打开 PSRAM Memory Interface HS IP 核

点击 Memory Control 选项，双击 PSRAM Memory Interface HS，打开 PSRAM Memory Interface HS IP 核的配置界面，如图 7-2 所示。

图 7-2 打开 PSRAM Memory Interface HS IP 核

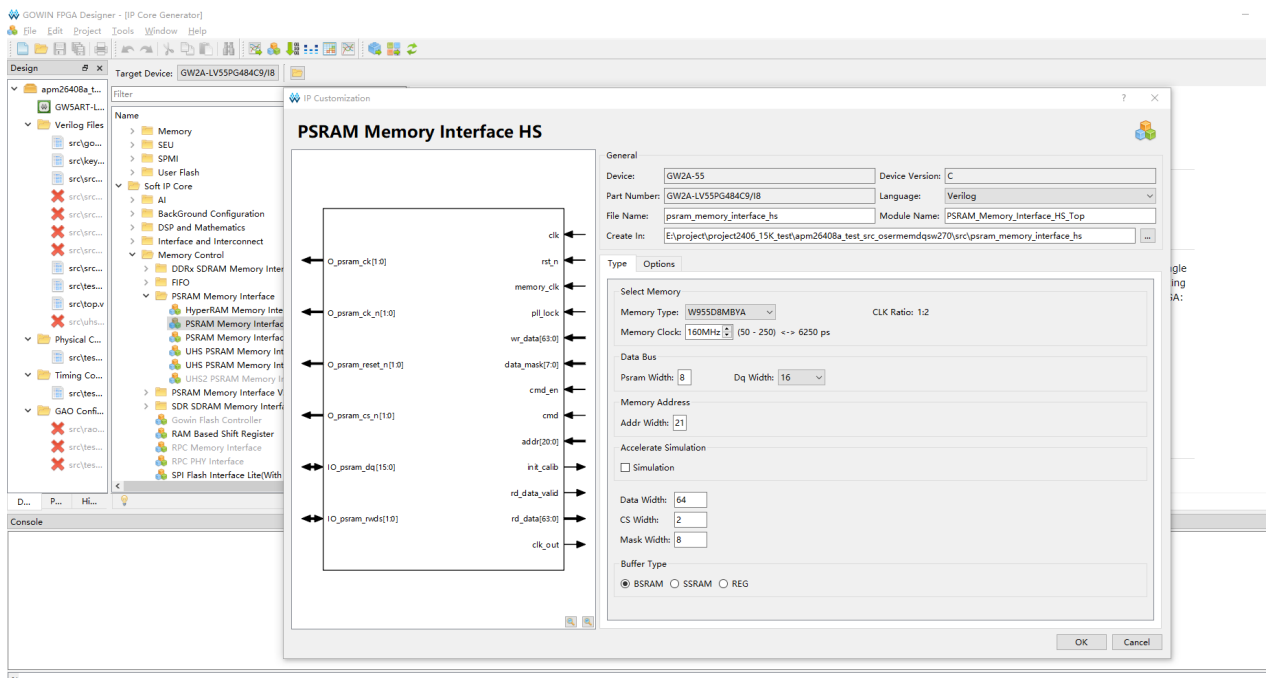


3. PSRAM Memory Interface HS IP 核端口界面

配置界面左端是 PSRAM Memory Interface HS IP 核的接口示意图，如图 7-3 所示。

接口示意图中右端是 PSRAM Memory Controller 与用户端接口，用户通过将自己的用户设计连接到 PSRAM Memory Interface HS IP 中实现命令和数据的收发，左端是 PHY（Physical interface）与内存颗粒的接口，用户通过将自己的 PSRAM Memory Interface HS IP 核与自己所需内存颗粒连接，实现对数据的存取。用户使用不同的配置信息，接口示意图中的信号位宽，信号数量将会随之改变。

图 7-3 IP 核接口示意图

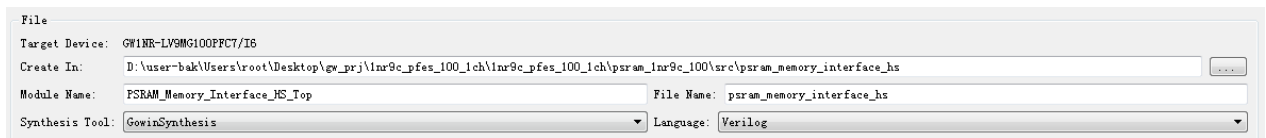


4. 配置基本信息

在配置界面的上部分是工程基本信息配置界面，本文芯片型号选择 GW1NR-9 为例，封装选择 MBGA100PF。

- “Module Name”选项后面是工程产生后顶层文件的名称，默认为“PSRAM_Memory_Interface_HS_Top”，用户可自行修改。
- “File Name”是 IP 核文件产生的文件夹，存放 PSRAM Memory Interface HS IP 核所需文件，默认为“psram_memory_interface_hs”，用户可自行修改路径。
- “Create In”选项是 IP 核文件夹产生路径，用户可自行修改路径。

图 7-4 基本信息配置界面

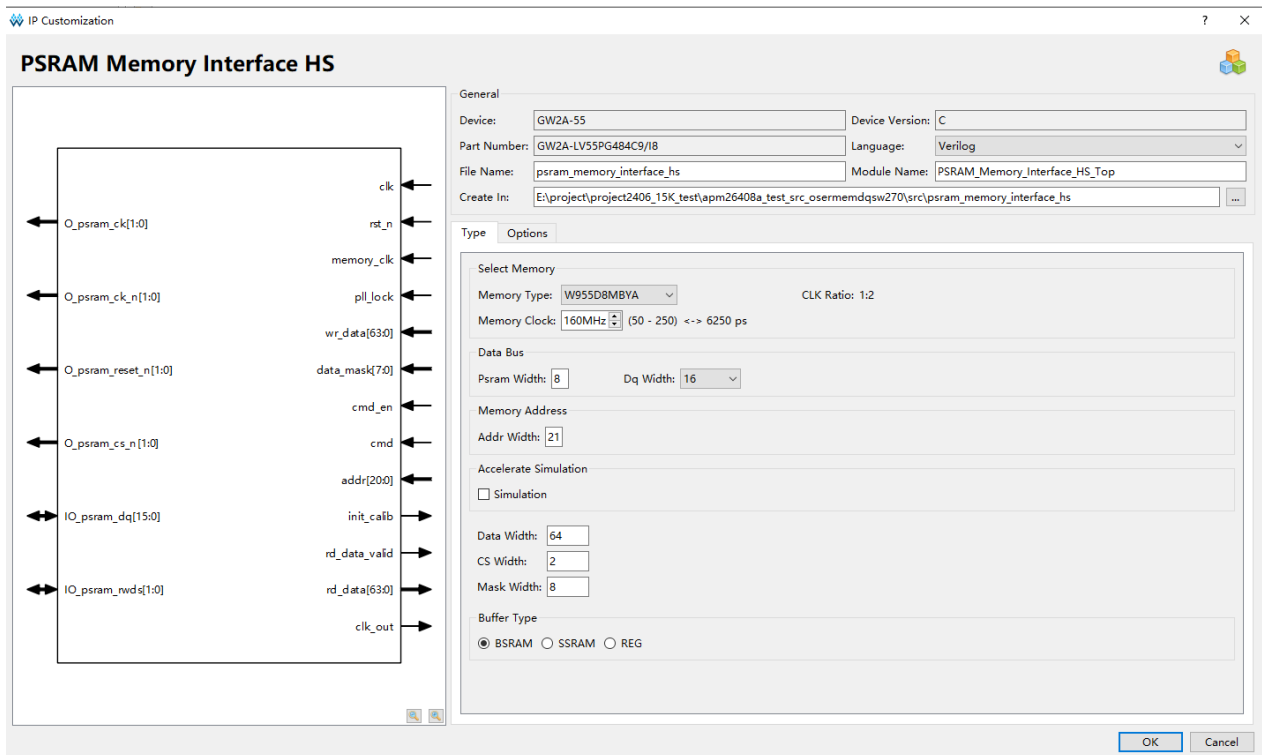


5. Type 选项卡

在 Type 选项卡中，用户需要配置所使用的 PSRAM 内存芯片的基本信息，参数的具体描述可参考表 6-1。

- **Memory Address 选项：**Memory Address 中填写 PSRAM 内存颗粒的地址信息，用户需要知道所用颗粒的地址位宽，填写数据等于颗粒的 ROW +Upper Column+Lower Column，当选择好 PSRAM 内存颗粒类型后，GUI 会自动填写，如果选择 Custom 则需要用户根据自己使用的 PSRAM 内存类型自行选择。
- **Accelerrate Simulation 选项：**该选项用于加速用户仿真，用户仿真时可勾选此项，但是板级测试时请去掉勾选并重新生成 IP。

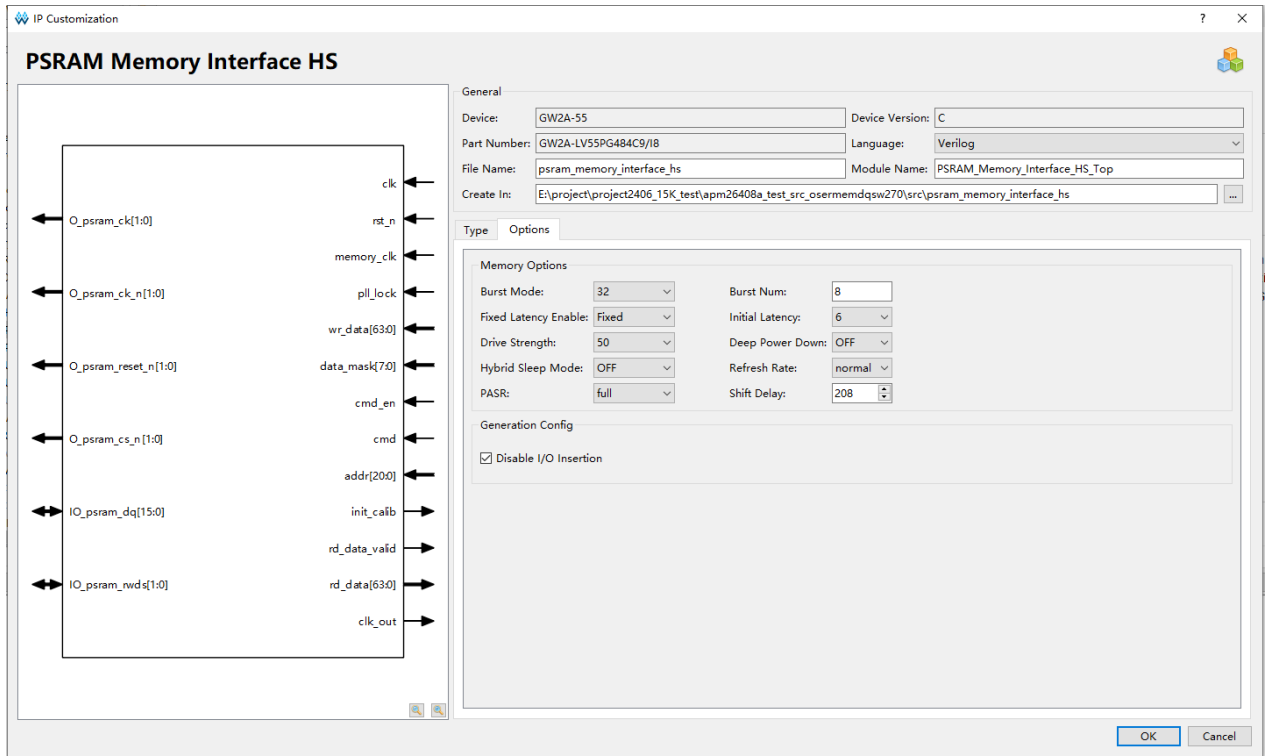
图 7-5 Type 选项卡



6. Options 选项卡

“Generation Config”勾选后产生的 IP 中，没有插入 IBUF、OBUF 等原语，直接使用 port 连接逻辑，默认勾选。参数的具体描述可参考表 6-1。

图 7-6 Options 选项卡



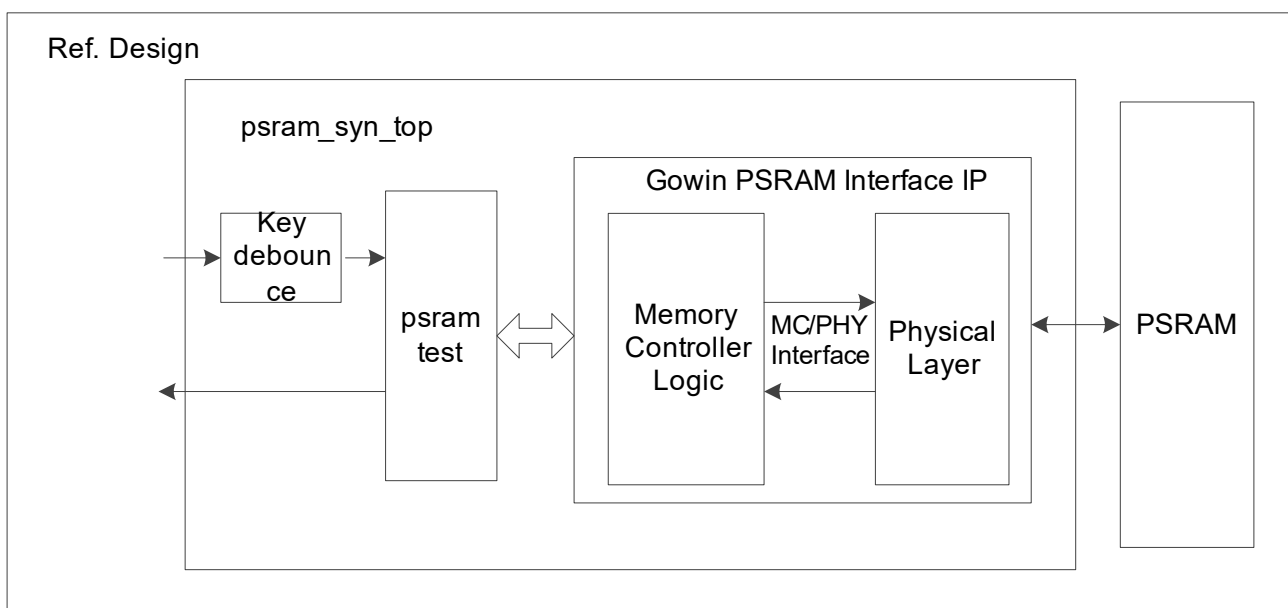
注!

PSRAM HS 2CH IP: Dq Width 和 Psrc Width 不可修改，两颗粒器件已经按照一个颗粒位宽配置好，顶层文件将例化两个通道，形成双通道传输，每个通道 1 个颗粒；四颗粒器件已经按照两个颗粒位宽配置好，顶层文件将例化两个通道，形成双通道传输，每个通道 2 个颗粒。

8 参考设计

为方便用户快速熟悉并使用 Gowin PSRAM Memory Interface HS IP，提供了一个简单的参考设计，参考设计基本结构如图 8-1 所示。

图 8-1 参考设计基本结构框图



在参考设计中，psram_syn_top 模块是顶层模块单元，其端口连接输入参考时钟、外部复位等信号，端口连接如表 8-1 所示。psram_test 用于产生 Gowin PSRAM Interface HS IP 所需的地址、数据与读写等命令，并且该模块单元可综合。Key_debounce 模块是一个消抖模块，用于消除由按键或拨码开关控制外部激励时产生的信号抖动。

表 8-1 psram_syn_top 模块输入端口列表

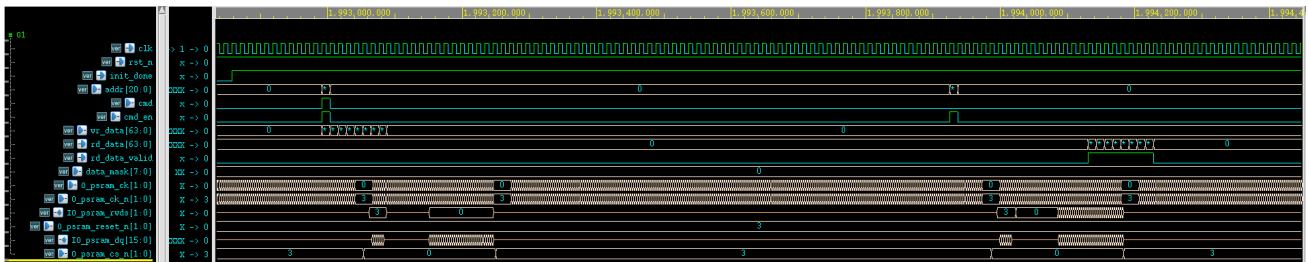
名称	描述
clk	输入参考时钟，默认 50MHz。
rst_n	输入复位信号
init_calib	IP 初始化成功信号，拉高说明初始化通过。

名称	描述
error	数据校验位信号，拉高说明读数据校验出误码。

PSRAM_test 模块产生 n 次连续写信号和数据，之后对写进去的数据进行连续 n 次读操作，并进行数据校验，校验完成后循环重复之前的写读操作。在该参考设计中，内存颗粒选择 W95D8MBYA，配置 Burst Mode 为 128，DQ 宽度为 16 位。

psram_test 与 PSRAM Memory Interface HS IP 端口之间部分信号的仿真波形如图 8-2 所示。

图 8-2 psram_test 部分端口信号仿真波形



9 文件交付

Gowin PSRAM Memory Interface HS IP 交付文件主要包含三个部分，分别为：文档、设计源代码和参考设计。

9.1 文档

文件夹主要包含用户指南 PDF 文档。

表 9-1 文档列表

名称	描述
IPUG943, Gowin PSRAM Memory Interface HS & HS 2CH IP 用户指南	高云 PSRAM 内存接口 IP 用户手册，即本手册。

9.2 设计源代码（加密）

加密代码文件夹包含 Gowin PSRAM Memory Interface HS IP 的 RTL 加密代码，供 GUI 使用，以配合高云云源软件产生用户所需的 IP 核。

表 9-2 设计源代码列表

名称	描述
PSRAM_TOP.v	IP 核顶层文件，给用户接口信息，未加密。
GOWIN PSRAM Memory Interface HS IP 部分代码	
psram_code.v	高云 PSRAM Memory Interface HS IP 设计 RTL 源文件，加密
psram_define.v	高云 PSRAM 内存控制器参数定义模块，由用户通过 GUI 配置产生，未加密
psram_local_define.v	高云 PSRAM 内存控制器参数定义处理模块，加密
psram_param.v	高云 PSRAM 内存控制器参数配置模块，由用户通过 GUI 配置产生，未加密
psram_local_param.v	高云 PSRAM 内存控制器参数处理模块，处理 GUI 传进的参数，加密

9.3 参考设计

Ref. Design 文件夹主要包含 Gowin PSRAM Memory Interface HS IP 的网表文件，用户参考设计，约束文件、消抖模块、顶层文件及工程文件夹等。

表 9-3 Ref. Design 文件夹内容列表

名称	描述
psram_syn_top.v	参考设计的顶层 module
key_debounce.v	按键消抖模块
psram_test.v	测试激励产生模块
PSRAM_Memory_Interface_HS.vo	Gowin PSRAM Memory Interface HS IP 网表文件
psram.cst	PSRAM 工程物理约束文件
psram.sdc	PSRAM 工程时序约束文件
psram.gao	抓取 PSRAM 颗粒数据
PSRAM_Memory_Interface_HS	PSRAM HS IP 工程文件夹

