



Gowin HyperRAM Memory Interface IP 用户指南

IPUG944-2.1, 2025-05-30

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、**GOWIN**、**W**、**GOWINSEMI**、**GOWIN**、**Gowin**、**高云**、晨熙、小蜜蜂、**littleBee**、**Arora-V**、**GowinPnR**、**GoBridge** 均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其所有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2020/07/30	1.0	初始版本。
2020/12/15	1.01	完善 3.3 资源利用 。
2024/06/07	1.1	支持 GW5A(R)(S)(T)器件。
2024/08/15	2.0	合并 embedded IP 与 external IP 并更新相关描述。
2025/05/30	2.1	<ul style="list-style-type: none">● 更新 IP 特征；● 更新 4.4.2 发送地址与命令描述；● 更新 6 参数配置描述。

目录

图目录.....	iii
表目录.....	iv
1 关于本手册.....	1
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语.....	2
1.4 技术支持与反馈.....	2
2 概述.....	3
3 主要特征与性能.....	4
3.1 主要特征.....	4
3.2 工作频率与带宽效率.....	4
3.3 资源利用.....	5
4 功能描述.....	6
4.1 整体结构.....	6
4.2 Memory Controller Logic.....	6
4.3 PHY.....	7
4.3.1 初始化单元.....	8
4.3.2 数据通路单元.....	8
4.3.3 控制通路单元.....	8
4.3.4 I/O 逻辑单元.....	8
4.4 主要功能.....	8
4.4.1 初始化.....	8
4.4.2 发送地址与命令.....	8
4.4.3 写数据.....	10
4.4.4 读数据.....	11
5 端口列表.....	14
6 参数配置.....	16
7 参考设计.....	18
8 界面配置.....	19

9 文件交付	23
9.1 文档.....	23
9.2 参考设计.....	23

图目录

图 4-1 Gowin HyperRAM Memory Interface IP 结构图.....	6
图 4-2 HyperRAM Memory Controller Logic 基本结构图.....	7
图 4-3 HyperRAM PHY 基本结构图.....	7
图 4-4 初始化完成信号时序图.....	8
图 4-5 Row-Column 顺序的寻址方案.....	9
图 4-6 命令、地址与使能信号时序图.....	9
图 4-7 写数据端口时序图.....	10
图 4-8 突发长度为 32 时写数据时序图.....	11
图 4-9 突发长度为 64 时写数据时序图.....	11
图 4-10 突发长度为 128 时写数据时序图.....	11
图 4-11 读数据端口时序图.....	12
图 4-12 突发长度为 32 时读数据时序图.....	12
图 4-13 突发长度为 64 时读数据时序图.....	12
图 4-14 突发长度为 128 时读数据时序图.....	13
图 7-1 参考设计基本结构框图.....	18
图 8-1 打开 IP Core Generator.....	19
图 8-2 打开 HyperRAM Memory Interface IP 核.....	20
图 8-3 IP 核接口示意图.....	21
图 8-4 基本信息配置界面.....	21
图 8-5 界面参数配置.....	22

表目录

表 1-1 术语、缩略语.....	2
表 2-1 Gowin HyperRAM Memory Interface IP.....	3
表 3-1 资源利用情况.....	5
表 4-1 cmd 命令.....	9
表 4-2 Tcmd 周期与突发长度关系.....	10
表 5-1 Gowin HyperRAM Memory Interface IP 的 IO 端口列表.....	14
表 6-1 Gowin HyperRAM Memory Interface IP 的静态参数选项.....	16
表 9-1 文档列表.....	23
表 9-2 Ref. Design 文件夹内容列表.....	23

1 关于本手册

1.1 手册内容

Gowin HyperRAM Memory Interface IP 用户指南主要内容包括 IP 的结构与功能描述、端口说明、时序说明、配置调用、参考设计等，旨在帮助用户快速了解 IP 的产品特性、特点及使用方法。该 IP V2.0 发布于云源软件 V1.9.10.01，兼容之前版本云源软件的 HyperRAM Memory Interface external IP 和 HyperRAM Memory Interface embedded IP。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [DS117, GW1NR 系列 FPGA 产品数据手册](#)
- [DS821, GW1NS 系列 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [DS841, GW1NZ 系列 FPGA 产品数据手册](#)
- [DS861, GW1NSR 系列 FPGA 产品数据手册](#)
- [DS881, GW1NSER 系列安全 FPGA 产品数据手册](#)
- [DS891, GW1NRF 系列蓝牙 FPGA 产品数据手册](#)
- [DS961, GW2ANR 系列 FPGA 产品数据手册](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [DS1239, GW5AST 系列 FPGA 产品数据手册](#)
- [DS1105, GW5AS 系列 FPGA 产品数据手册](#)
- [DS1108, GW5AR 系列 FPGA 产品数据手册](#)

- [DS1118, GW5ART 系列 FPGA 产品数据手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
BSRAM	Block Static Random Access Memory	块状静态随机存储器
IP	Intellectual Property	知识产权
LUT	Look-up Table	查找表
RAM	Random Access Memory	高级精简指令集计算机

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

Gowin HyperRAM Memory Interface IP 是一个通用的 HyperRAM 内存接口 IP，符合 HyperRAM 标准协议。该 IP 包含 HyperRAM 内存控制逻辑（Memory Controller Logic）与对应的物理层接口（Physical Interface, PHY）设计。IP 为用户提供一个通用的命令接口，使其与 HyperRAM 内存芯片进行互连，完成用户的访存需求。

表 2-1 Gowin HyperRAM Memory Interface IP

Gowin HyperRAM Memory Interface IP	
逻辑资源	请参见表 3-1
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software

注！

可登录 [高云半导体网站](#) 查看芯片支持信息。

3 主要特征与性能

3.1 主要特征

- 能与标准的 HyperRAM 器件接口兼容；
- 支持存储器数据路径宽度为 8、16、24 和 32 位；
- 支持 x8 数据宽度的内存芯片；
- 可编程突发长度 16、32、64、128；
- 时钟比例为 1:2；
- 支持初始延时为 3、4、5、6、7、8；
- 支持固定延时模式；
- 支持电源关闭选项；
- 可配置的驱动强度；
- 可配置的自刷新区域；
- 可配置的刷新速率；
- 时钟接口可配置单端/差分。

3.2 工作频率与带宽效率

Gowin HyperRAM Memory Interface IP 可支持的数据速率与效率为：

- 选择 W956x8MKY 时，最大工作频率 200 MHz；
- 选择 S27KS0641 时，最大工作频率 166 MHz；
- 选择 IS66WVH32M8DBLL 时，最大工作频率 200 MHz；
- 突发长度 128，带宽效率为 74%；
- 突发长度 64，带宽效率为 59%；
- 突发长度 32，带宽效率为 42%；
- 突发长度 16，带宽效率为 26%。

3.3 资源利用

Gowin HyperRAM Memory Interface IP 通过 Verilog 语言实现，应用于高云除 GW1N-1/GW1N-1S/GW1NR-1/GW1NZ-1 之外的 FPGA，其资源利用情况如表 3-1 所示。

表 3-1 资源利用情况

DQ_WIDTH	LUT	REGs	BSRAM	f_{MAX}	吞吐量	器件系列	速度等级
8(x8)	562	413	1	400Mbps	$f_{MAX} \times DQ \times$ 工作效率	GW1NSR-4C	C7/I6

注!

在表 3-1 中，Gowin HyperRAM Memory Interface IP 配置用户地址宽度为 22 位，HyperRAM WITDH 为 x8，突发长度为 32；突发长度增加会使资源使用率增加。

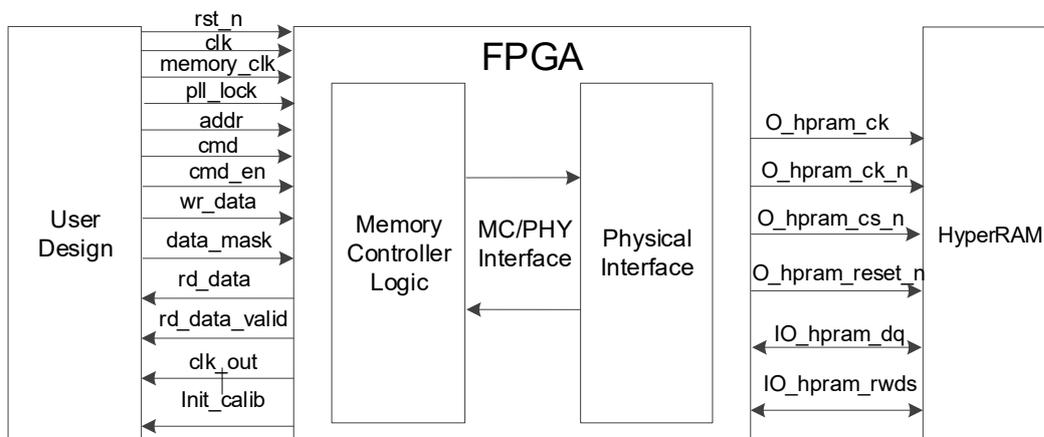
4 功能描述

4.1 整体结构

Gowin HyperRAM Memory Interface IP 基本结构如图 4-1 所示，主要包含 Memory Controller Logic、Physical Interface 等模块。

图 4-1 中的 User Design 是 FPGA 中需要与外部 HyperRAM 芯片所连接的用户设计。

图 4-1 Gowin HyperRAM Memory Interface IP 结构图



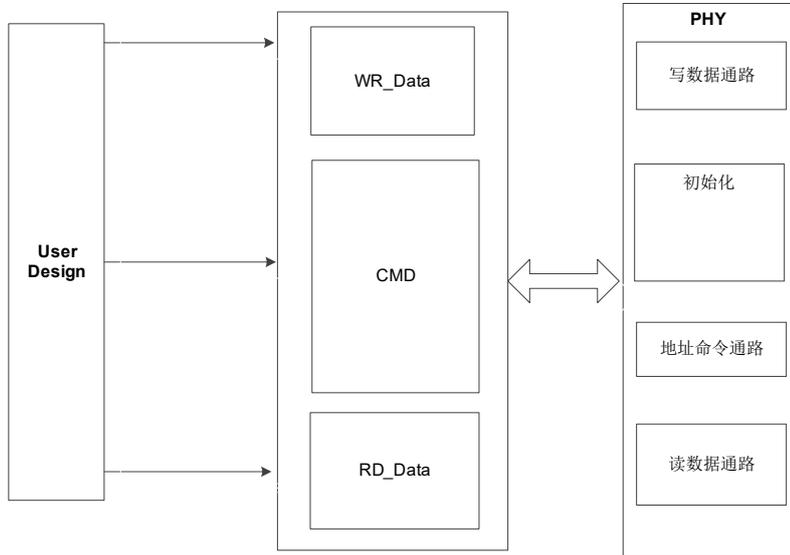
4.2 Memory Controller Logic

Memory Controller Logic 是 Gowin HyperRAM Interface IP 的逻辑模块，位于 User Design 与 PHY 之间。Memory Controller Logic 接收来自用户接口的命令、地址与数据，并按照一定逻辑顺序进行存储。

用户发送的写、读等命令和地址在 Memory Controller Logic 中进行排序重组，组合成满足 HyperRAM 协议的数据格式。同时，写数据时 Memory Controller Logic 会对数据进行重组和缓存，以满足命令和数据之间的初始延时值，读数据时，Memory Controller Logic 会对读回的数据进行采样和重组，恢复成正确数据。

HyperRAM Memory Controller 主要由以下几个模块组成：CMD 单元、WR_Data 单元、RD_Data 单元等，主要结构如图 4-2 所示。

图 4-2 HyperRAM Memory Controller Logic 基本结构图

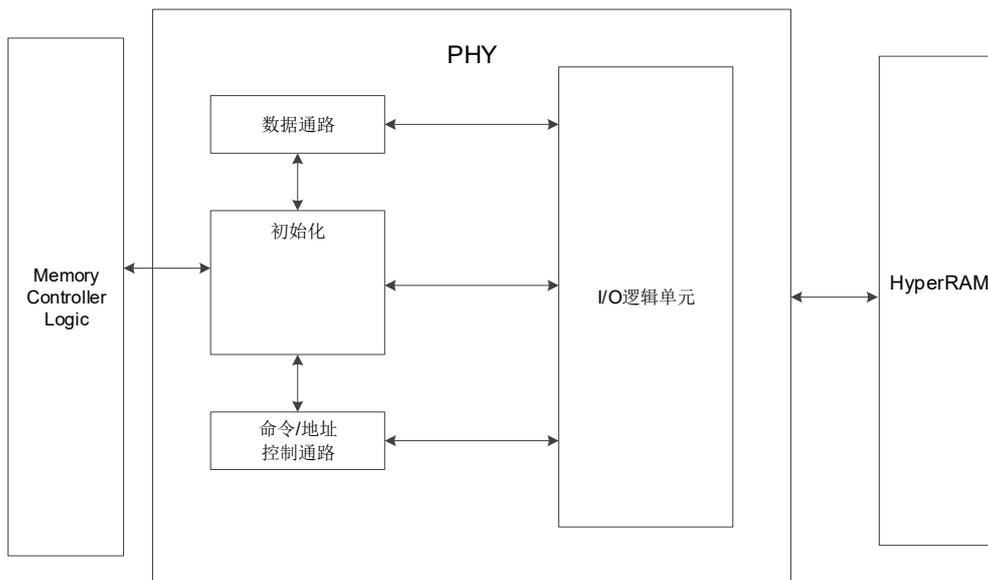


4.3 PHY

PHY 提供了 Memory Controller Logic 与外部 HyperRAM 之间的物理层定义与接口，接收来自 Memory Controller Logic 的命令地址和数据，并向 HyperRAM 接口提供满足时序与顺序要求的信号。

PHY 的基本结构如图 4-3 所示，主要包括四个模块，分别为初始化模块、数据通路、命令地址控制通路和 I/O 逻辑模块。

图 4-3 HyperRAM PHY 基本结构图



4.3.1 初始化单元

初始化模块主要完成 HyperRAM 上电后的初始化和读校准。在完成所有初始化与读校准之后，信号“init_calib”会由低变高，指示整个初始化完成。

上电初始化

按照 HyperRAM 协议标准，上电后需对 HyperRAM 颗粒进行初始化，包括复位、模式寄存器的配置及读校准等过程。

4.3.2 数据通路单元

数据通路包括写数据和读数据过程。

4.3.3 控制通路单元

命令/地址控制通路为单向通路，接收 Memory Controller Logic 发送的命令与地址信号，并与数据通路配合，处理写、读数据时延参数，并将命令发送到 I/O 逻辑模块。

4.3.4 I/O 逻辑单元

I/O 逻辑模块主要是对数据通路和命令/地址通路传递过来的数据、命令、地址信号进行时钟域的转换。

4.4 主要功能

HyperRAM Memory Interface IP 可实现以下功能：

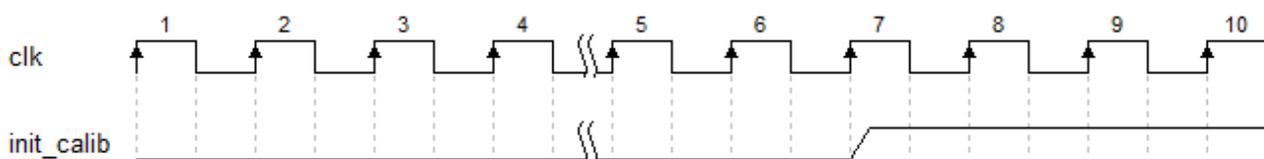
- HyperRAM 颗粒的初始化；
- 发送地址、命令；
- 写数据；
- 读数据；

4.4.1 初始化

HyperRAM 必须经过读校准操作才能进行正常的写、读操作。因此上电后 PHY 会对 HyperRAM 进行初始化读校准操作，初始化完成后返回初始化完成标志 init_calib。

初始化完成后向用户返回操作完成信号，如图 4-4 所示。

图 4-4 初始化完成信号时序图



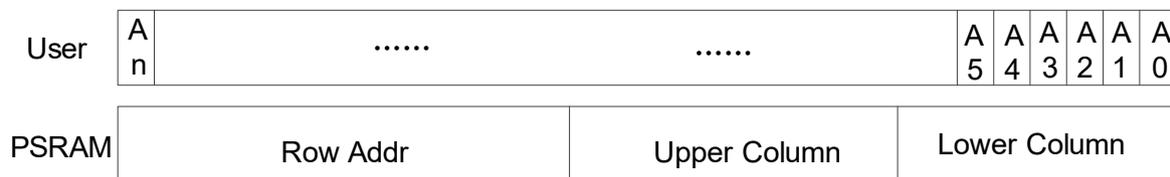
4.4.2 发送地址与命令

用户可通过 addr、cmd、cmd_en 等用户接口发送操作命令与地址。

- **addr** 为地址数据端口；IP 在设计时采用数据位扩展的方式增大带宽。在使用 PSRAM 颗粒时，如果用户选择多颗-PSRAM 颗粒，那么在 IP 访问 PSRAM 时，会将多颗 PSRAM 颗粒当作一颗 PSRAM 进行访问。用户无需关注选择一颗或多颗 PSRAM 时，地址位宽是否改变。该 IP 支持的 PSRAM 颗粒的地址是字地址，即每个地址下存储一个字长（16 位=2 字节）。如果用户选择使用两颗 PSRAM 颗粒，那么一个地址下存储 4 个字节。连续地址写操作时，相邻两次操作地址自加突发长度/2，连续地址读操作相同；比如当 **Burst Mode** 选项选择 16 时，那么连续地址的读/写操作时，相邻两次操作地址自加 8。
- **cmd** 为命令数据端口。
- **cmd_en** 为地址与命令使能信号，高电平有效。

在应用中，用户接口的地址总线与物理内存的 ROW、Upper Column、Lower Column 之间存在一定的映射关系，在本设计中，按照 ROW-Upper Column-Lower Column 的顺序进行依次排列，其寻址方案如图 4-5 所示。用户在应用中，只需按照需要给出地址，不需要关心映射关系。

图 4-5 Row-Column 顺序的寻址方案



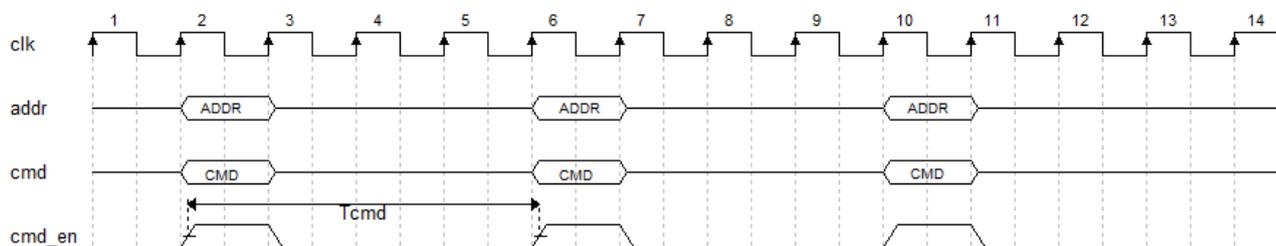
用户通过 cmd 端口可发送的命令如表 4-1 所示：

表 4-1 cmd 命令

命令	cmd
Read	1'b0
Write	1'b1

在用户接口端，命令、地址及使能信号之间的时序如图 4-6 所示，当 cmd_en 为高时，此时的 cmd 与 addr 有效。

图 4-6 命令、地址与使能信号时序图



在用户端实际使用时，两个命令（写-读/读-写/写-写/读-读）间隔需满足最小间隔周期（图 4-6 中 Tcmd 周期数），即突发长度为 16 时，命令间隔最小为 15 个时钟周期；突发长度为 32 时，命令间隔最小为 19 个时钟周期；突发长度为 64 时，命令间隔最小为 27 个时钟周期。

周期；突发长度为 128 时，命令间隔最小为 43 个时钟周期。高速读写时需要适当提高 Tcmd 周期数，如表 4-2 所示。

表 4-2 Tcmd 周期与突发长度关系

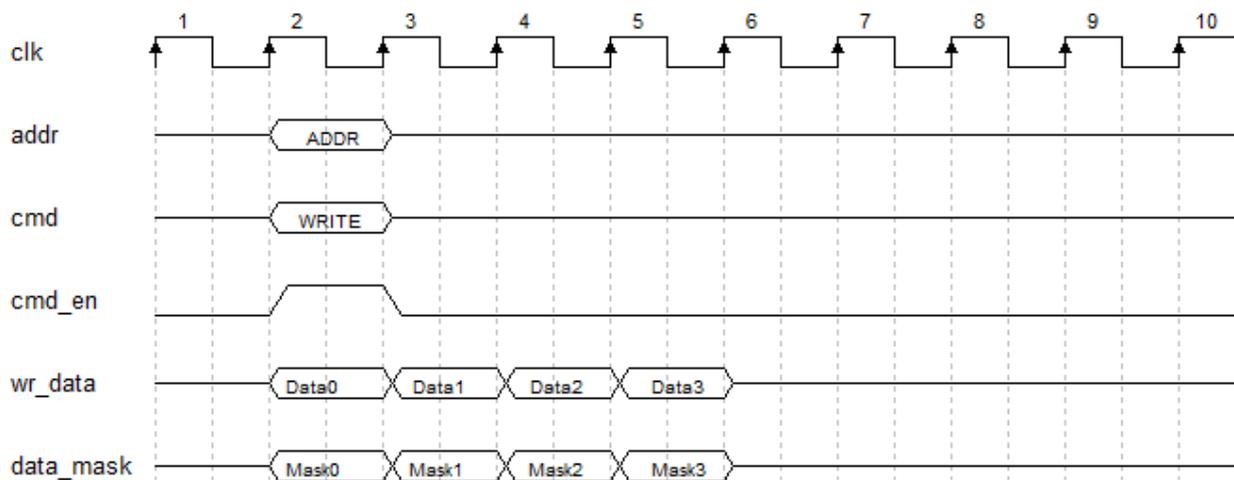
突发长度	Tcmd（两个命令之前间隔，不区分读写）， 颗粒速度 166M 及以下	Tcmd（两个命令之前间隔，不区分读写）， 颗粒速度 166M 以上
128	43 个用户时钟	48 个用户时钟
64	27 个用户时钟	32 个用户时钟
32	19 个用户时钟	24 个用户时钟
16	15 个用户时钟	20 个用户时钟

4.4.3 写数据

用户可通过用户接口 wr_data、data_mask 等端口将写数据发送给 Gowin HyperRAM Memory Interface IP，写数据经过处理后会发送给 HyperRAM 颗粒。

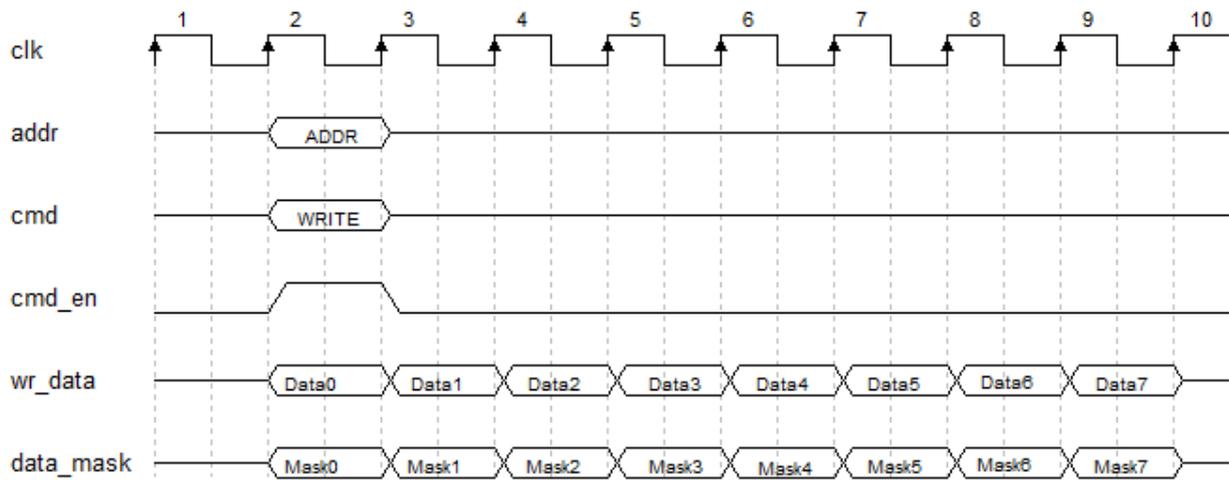
- wr_data 为写数据端口；
- data_mask 为写遮掩端口，如果不使用 mask 功能，可以为 0；
- 写数据通道与命令通道之间存在多种时序情况，下图以突发长度为 16 为例，其中写数据占用 4 个 clk 周期；

图 4-7 写数据端口时序图



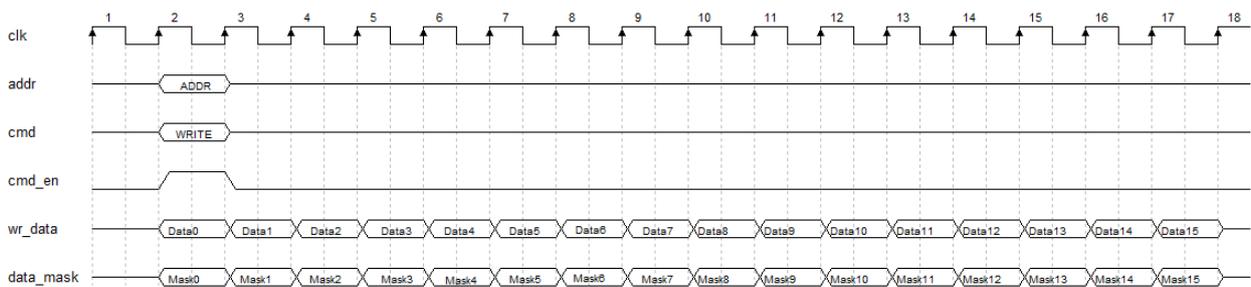
- 用户配置突发长度为 32 时，写数据占用 8 个 clk 周期，如图 4-8 所示。

图 4-8 突发长度为 32 时写数据时序图



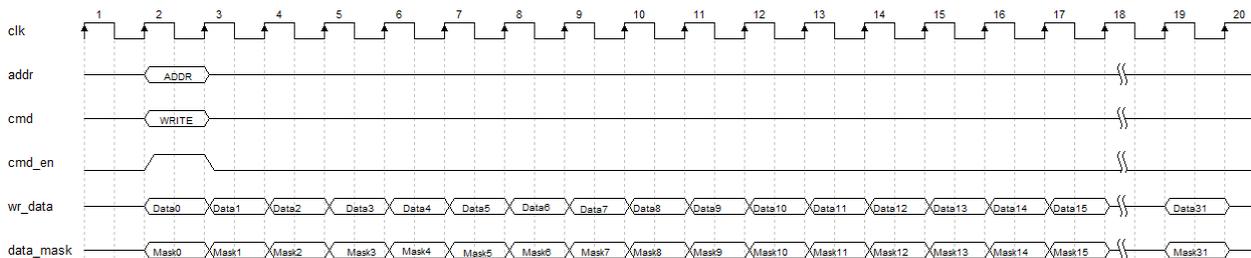
- 用户配置突发长度为 64 时，写数据占用 16 个 clk 周期，如图 4-9 所示。

图 4-9 突发长度为 64 时写数据时序图



- 用户配置突发长度为 128 时，写数据占用 32 个 clk 周期，如图 4-10 所示。

图 4-10 突发长度为 128 时写数据时序图

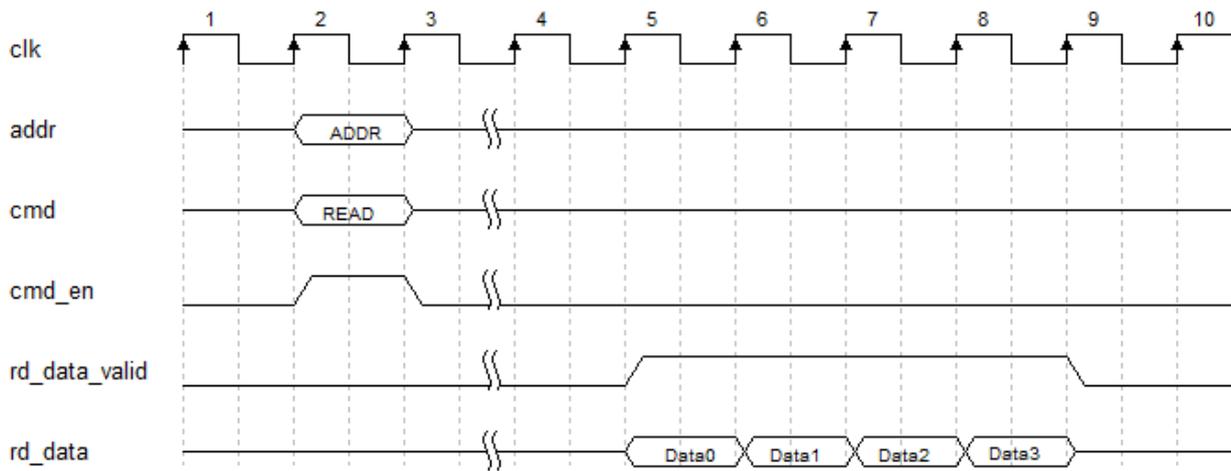


4.4.4 读数据

用户可通过用户接口 `rd_data`、`rd_data_valid` 读取 HyperRAM 返回的数据。

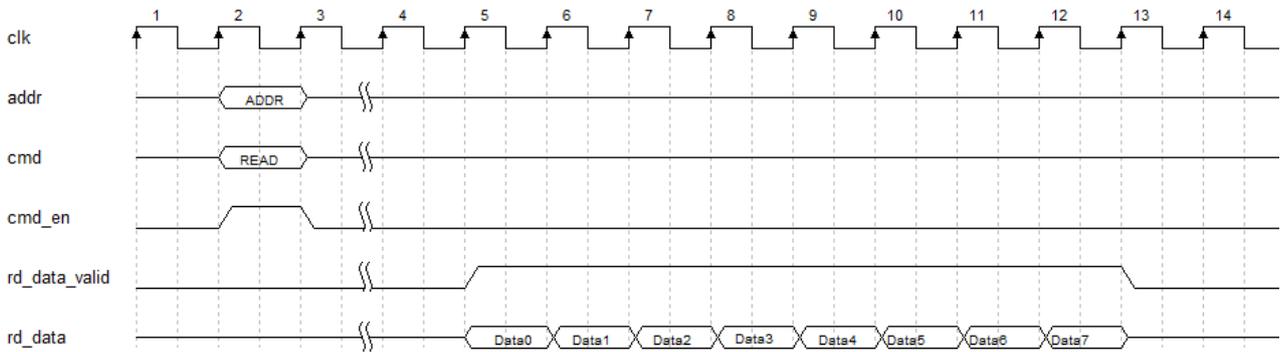
- 端口 `rd_data` 为返回的读数据端口；
- 端口信号 `rd_data_valid` 为读数据有效端口，当其为高电平时，指示此时返回的 `rd_data` 有效；
- 读数据通道与命令通道之间存在多种时序情况，下图以突发长度为 16 为例；

图 4-11 读数据端口时序图



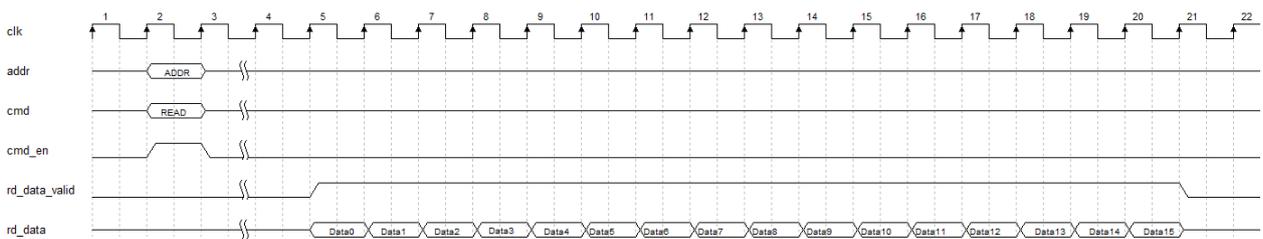
- 用户配置突发长度为 32 时，读数据占用 8 个 clk 周期，如图 4-12 所示。

图 4-12 突发长度为 32 时读数据时序图



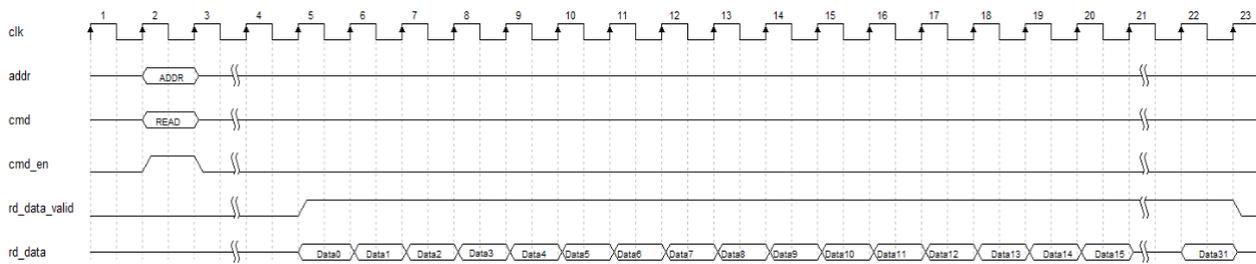
- 用户配置突发长度为 64 时，读数据占用 16 个 clk 周期，如图 4-13 所示。

图 4-13 突发长度为 64 时读数据时序图



- 用户配置突发长度为 128 时，读数据占用 32 个 clk 周期，如图 4-14 所示。

图 4-14 突发长度为 128 时读数据时序图



5 端口列表

Gowin HyperRAM Memory Interface IP 的 IO 端口如表 5-1 所示。

表 5-1 Gowin HyperRAM Memory Interface IP 的 IO 端口列表

信号	位宽	方向	描述
User Interface			
addr	ADDR_WIDTH	Input	地址输入
cmd	1	Input	命令通道
cmd_en	1	Input	命令与地址使能信号： 0: 无效 1: 有效
rd_data	4*DQ_WIDTH	Output	读数据通道
rd_data_valid	1	Output	rd_data 有效信号： 0: 无效 1: 有效
wr_data	4*DQ_WIDTH	Input	写数据通道
data_mask	MASK_WIDTH	Input	为 wr_data 提供遮挡信号
clk	1	Input	参考输入时钟，一般为板载晶振时钟
init_calib	1	Output	初始化完成信号
clk_out	1	Output	用户设计使用时钟，频率为 Memory Clk 的 1/2
rst_n	1	Input	用户输入复位信号： 0: 有效 1: 无效
memory_clk	1	Input	用户输入颗粒工作时钟，一般为 PLL 倍频出来的高速时钟，也可以不使用 PLL

信号	位宽	方向	描述
pll_lock	1	Input	如果 memory_clk 为 PLL 倍频输入，此接口接 PLL 的 pll_lock 管脚 如果用户不使用 PLL，此接口接 1'b1
HyperRAM Interface			
O_hpram_cs_n	CS_WIDTH	Output	片选，低有效
O_hpram_ck	CS_WIDTH	Output	提供给 HyperRAM 的时钟信号
O_hpram_ck_n	CS_WIDTH	Output	与 O_hpram_ck 组成差分信号
O_hpram_reset_n	CS_WIDTH	Output	HyperRAM 复位信号
IO_hpram_dq	DQ_WIDTH	Bidirection	HyperRAM 数据
IO_hpram_rwds	RWDS_WIDTH	Bidirection	HyperRAM 数据选通信号及掩码信号

6 参数配置

Gowin HyperRAM Memory Interface IP 可支持 HyperRAM 器件，用户需根据设计要求配置各个静态参数与时序参数，具体参数如表 6-1 所示。

表 6-1 Gowin HyperRAM Memory Interface IP 的静态参数选项

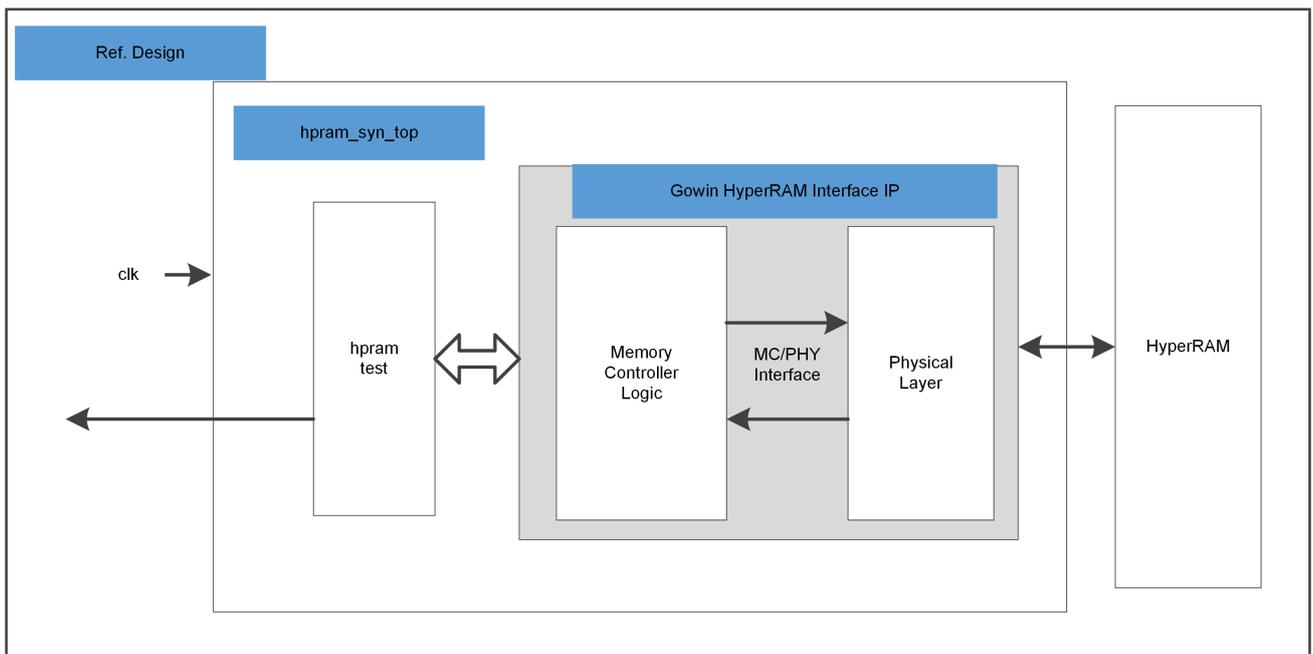
名称	描述	选项
Memory TYPE	HyperRAM 颗粒型号	W956x8MKY/IS66WVH32M8DBLL/ S27KS0641
CLk Ratio	PSRAM PHY 与内部逻辑时钟比例，用户不可操作	1:2
Memory Clock	IP PHY 侧接口频率	50-100/50-166/50-200(MHz)
Psram Width	HyperRAM 颗粒 DQ 宽度	8
Dq Width	用户需要使用的数据位宽	8、16、24、32
Addr Width	颗粒的地址位宽,用户根据具体颗粒填写	22/24；用户也可输入其他的值，比如 IP 默认支持的 IS66WVH32M8DBLL 是 32M 的地址深度，地址位宽是 24，如果用户使用 IS66WVH16M8DBLL，用户可以手动输入 23。
Data Width	用户数据位宽	4*Dq Width
CS Width	片选位宽	Dq Width/Psram Width
Mask Width	掩码位宽	Data Width/Psram Width
Accelerate Simulation	该选项用于加速用户仿真，用户仿真时可勾选此项，但是板级测试时请去掉勾选并重新生成 IP。	勾选/不勾选
Buffer Type	缓存类型	BSRAM, SSRAM, REG
Burst Mode	数据突发长度	16、32、64、128
Burst Num	突发数据数量	Burst Mode/4
Fixed Latency Enable	固定延时使能	Fixed
Initial Latency	初始延时值	3、4、5、6、7、8

名称	描述	选项
Drive Strength	驱动强度	19、22、27、34、46、67、115
Deep Power Down	电源关闭选项	OFF、ON
Hybrid Sleep Mode	睡眠模式	OFF、ON
Refresh Rate	刷新速度	normal、1.5/2/4 times
PASR	自刷新区域	full、bottom_1/2、bottom_1/4、 bottom_1/8、top_1/2、top_1/4、top_1/8
Clock Type	时钟接口类型(单端/差分)	SIGNLE/DIFF

7 参考设计

为方便用户快速熟悉并使用 Gowin HyperRAM Memory Interface IP，提供了一个简单的参考设计，参考设计基本结构如图 7-1 所示。

图 7-1 参考设计基本结构框图



在参考设计中，hpram_syn_top 模块是顶层模块单元，其端口连接输入参考时钟。hpram_test 用于产生 Gowin HyperRAM Interface IP 所需的地址、数据与读写等命令，并且该模块单元可综合。

hpram_test 模块产生 n 次连续写信号和数据，之后对写进去的数据进行连续 n 次读操作，并进行数据校验，校验完成后循环重复之前的读写操作。在该参考设计中，内存颗粒选择 W956x8MKY，配置 Burst Mode 为 16，DQ 宽度为 8 位，用户可自行调整 Burst Mode。

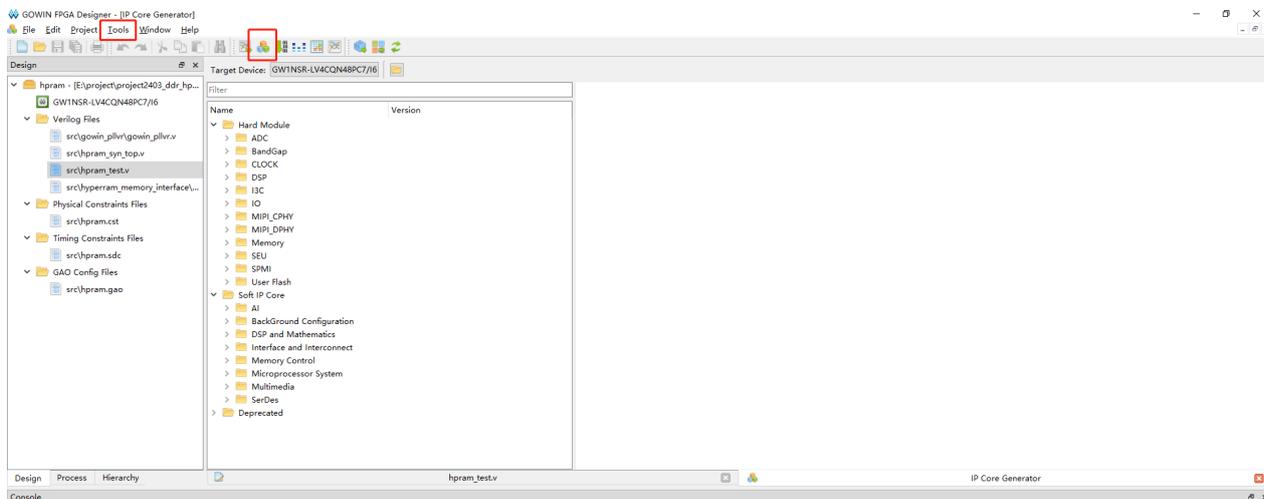
8 界面配置

用户可在高云半导体云源软件(V1.9.10.01 及以上)中通过 IP Core Generator 工具调用并配置 Gowin HyperRAM Memory Interface IP。本章节以选择使用 W956x8MKY HyperRAM 内存颗粒为例,介绍了主要配置界面、配置流程以及各配置选项含义。

1. 打开 IP Core Generator

用户建立工程后,点击左上角 Tools 选项卡,下拉单击 IP Core Generator 选项或者点击工具栏“”图标,就可打开 Gowin 的 IP 核产生工具,如图 8-1 所示。

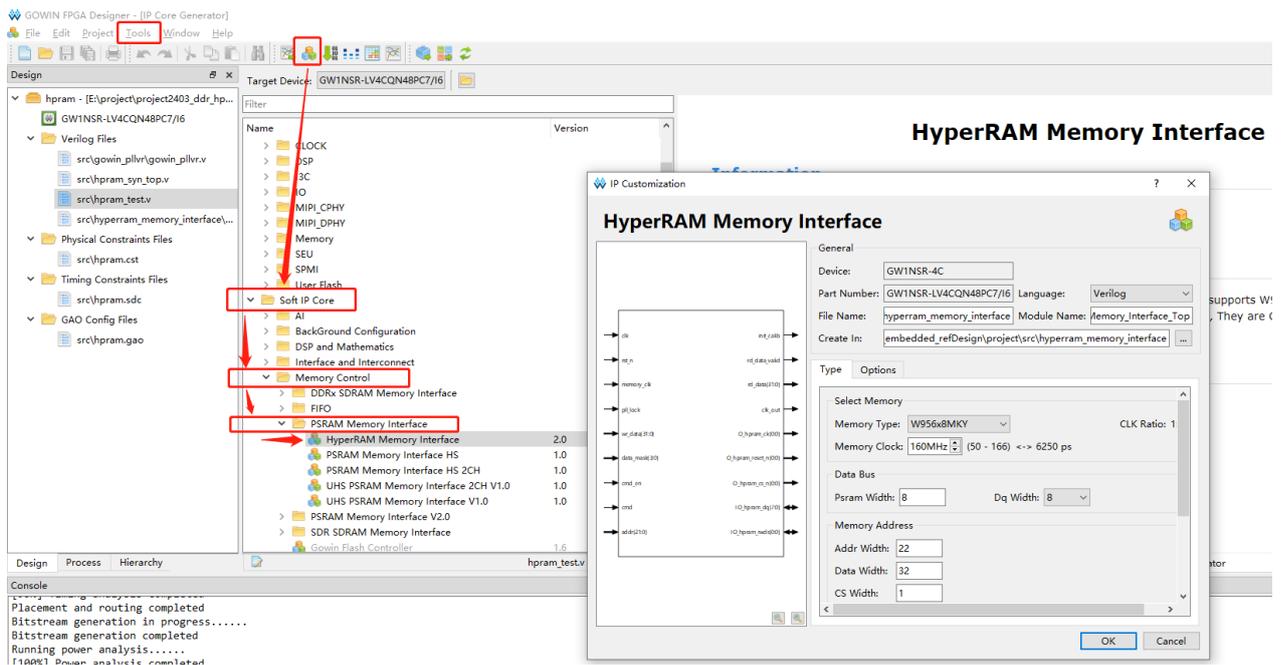
图 8-1 打开 IP Core Generator



2. 打开 HyperRAM Memory Interface IP 核

点击 Memory Control 选项,双击 HyperRAM Memory Interface,打开 HyperRAM Memory Interface IP 核的配置界面,如图 8-2 所示。

图 8-2 打开 HyperRAM Memory Interface IP 核

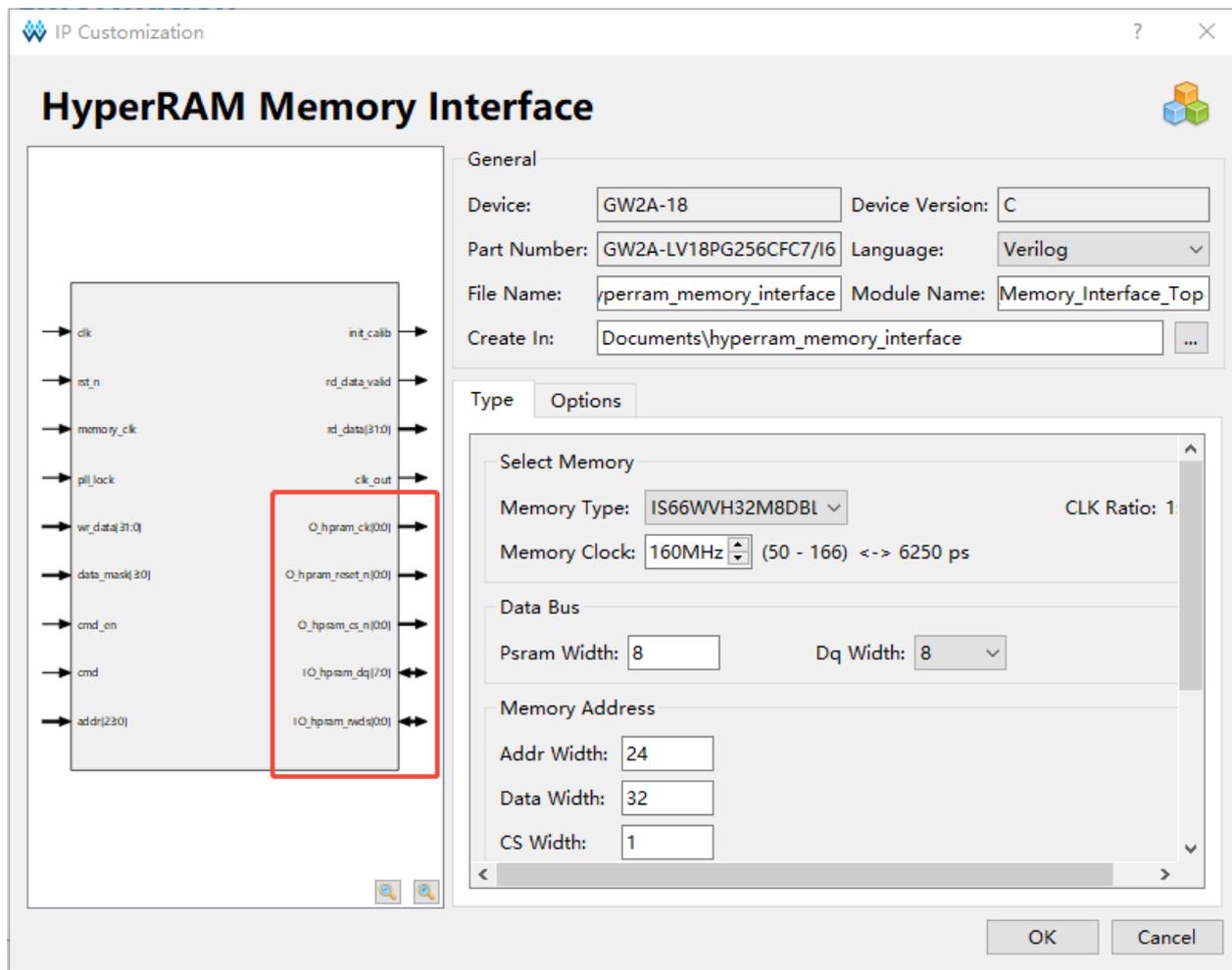


3. HyperRAM Memory Interface IP 核端口界面

配置界面左端是 HyperRAM Memory Interface IP 核的接口示意图，如图 8-3 所示。

接口示意图中非红框内是 HyperRAM Memory Controller 与用户端接口，用户通过将自己的用户设计连接到 HyperRAM Memory Interface IP 中实现命令和数据的收发，红框内是 PHY（Physical interface）与内存颗粒的接口，用户通过将 HyperRAM Memory Interface IP 核与自己所需内存颗粒连接，实现对数据的存取。用户使用不同的配置信息，接口示意图中的信号位宽，信号数量将会随之改变。

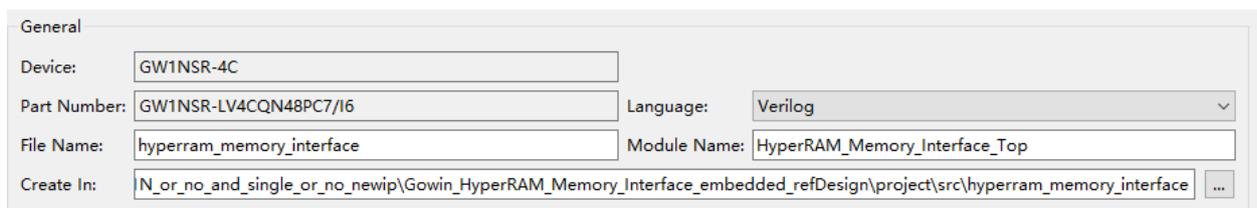
图 8-3 IP 核接口示意图



4. 配置基本信息

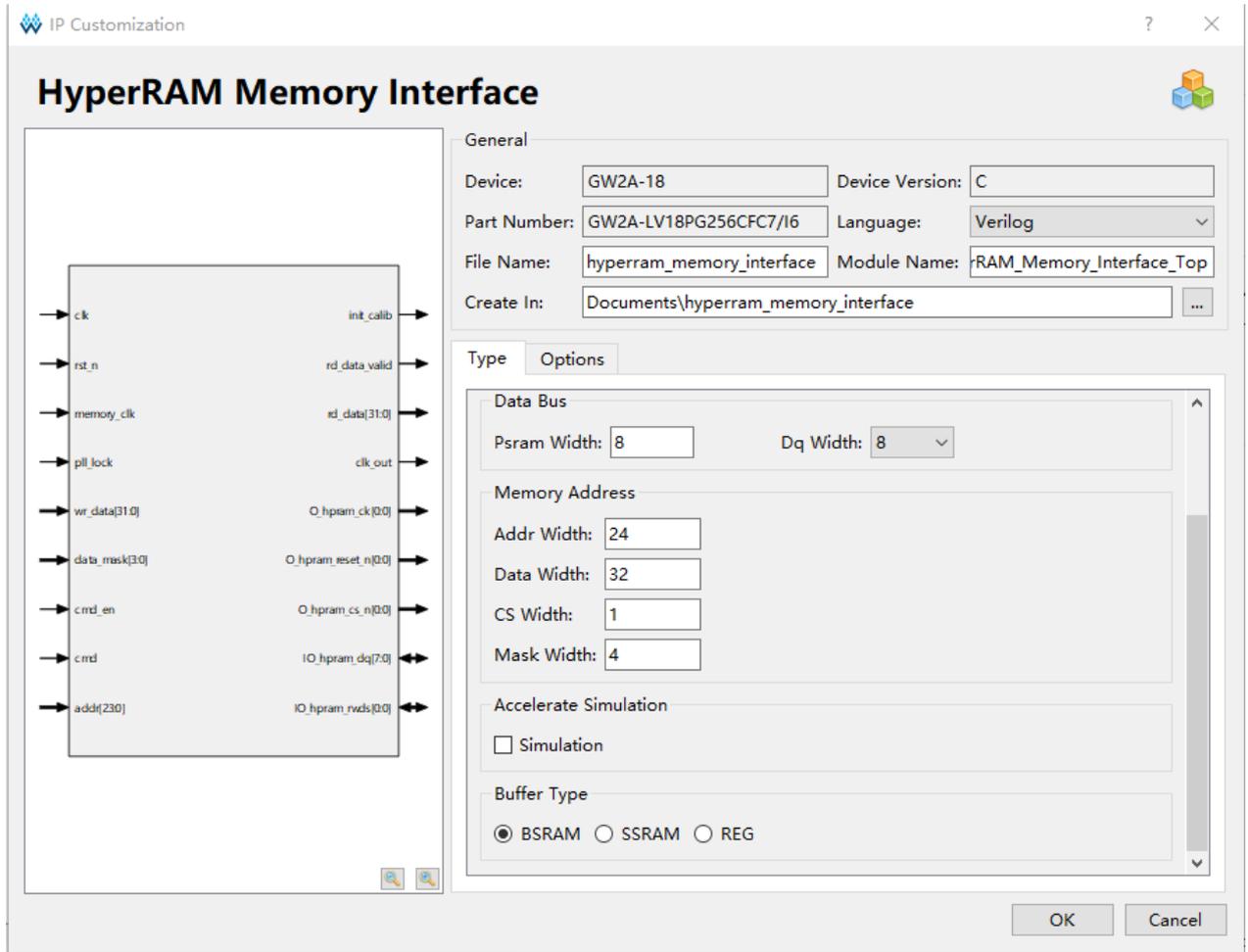
在配置界面的上部分是工程基本信息配置界面，本文芯片型号选择 GW1NSR-LV4CQN48PC7/I16 为例，封装选择 QN88P。“Module Name”选项后面是工程产生后顶层文件的名称，默认为“HyperRam_Memory_Interface_Top”，用户可自行修改。“File Name”是 IP 核文件产生的文件夹，存放 HyperRAM Memory Interface IP 核所需文件，默认为“hyperram_memory_interface”，用户可自行修改路径。“Create In”选项是 IP 核文件夹产生路径，默认为工程路径下“...\src\hyperram_memory_interface”，用户可自行修改路径。

图 8-4 基本信息配置界面



5. 界面参数配置描述可参考 6 参数配置。

图 8-5 界面参数配置



9 文件交付

Gowin HyperRAM Memory Interface IP 交付文件主要包含包含文档和参考设计。

9.1 文档

文件夹主要包含用户指南 PDF 文档。

表 9-1 文档列表

名称	描述
IPUG944, Gowin HyperRAM Memory Interface IP 用户指南	高云 HyperRAM 内存接口 IP 用户手册，即本手册。

9.2 参考设计

Ref. Design 文件夹主要包含 Gowin HyperRAM Memory Interface IP 的网表文件，用户参考设计，约束文件、消抖模块、顶层文件及工程文件夹等。

表 9-2 Ref. Design 文件夹内容列表

名称	描述
hpram_syn_top.v	参考设计的顶层 module
hpram_test.v	测试激励产生模块
HyperRam _Memory _Interface.vo	Gowin HyperRAM Memory Interface IP 网表文件
hpram.cst	HyperRAM 工程物理约束文件
hpram.sdc	HyperRAM 工程时序约束文件
hpram.gao	抓取 HyperRAM 颗粒数据
HyperRam _Memory _Interface	HyperRAM IP 工程文件夹

