



Gowin MIPI D-PHY RX TX Advance IP 用户指南

IPUG948-2.2, 2025-07-04

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、**Arora-V**、GowinPnR、GoBridge 均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其所有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2020/09/01	1.0	初始版本。
2021/04/27	1.1	修改 D-PHY RX 端口描述。
2021/07/09	1.11	● 完善 IP 器件支持信息。 ● 增加 8 MIPI D-PHY 速率表。
2023/05/16	1.12	● 修改 3.4 资源利用。 ● 完善 3.5 器件支持。
2023/06/08	1.13	修改单通道 TX 数据速率（Line Rate）支持范围。
2024/05/22	2.0	● 更新支持的最高速率； ● 更新 TX 端口描述； ● 更新支持器件。
2024/07/18	2.0.1	● 更新 4.3 MIPI IO 描述； ● 更新 1.2 相关文档。
2024/10/25	2.0.2	更新 3.5 器件支持 。
2024/12/13	2.0.3	更新 3.5 器件支持 。
2025/02/28	2.1	● 更新 3.5 器件支持。 ● 更新 1.2 相关文档。 ● MIPI D-PHY RX Advance IP IO 端口更新。
2025/04/30	2.1.1	更新 图 6-3 MIPI D-PHY TX Advance 在 HS 1:16 模式下输入信号时序。
2025/07/04	2.2	● MIPI D-PHY TX Advance IP 新增 int_pll_lock 和 init_clk 信号； ● MIPI D-PHY TX Advance IP 新增 PLL Reference Clock 参数； ● 新增“Generation Config”选项描述； ● RX 数据速率支持范围更新。

目录

图目录.....	iii
表目录.....	iv
1 关于本手册.....	1
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语.....	2
1.4 技术支持与反馈.....	2
2 概述.....	3
2.1 MIPI D-PHY RX TX Advance IP 介绍.....	3
2.2 MIPI D-PHY 介绍.....	3
3 特征与性能.....	5
3.1 主要特征.....	5
3.2 最大频率.....	5
3.3 延迟 Latency.....	5
3.4 资源利用.....	6
3.5 器件支持.....	7
4 功能描述.....	9
4.1 MIPI D-PHY RX Advance IP 结构与功能.....	9
4.2 MIPI D-PHY TX Advance IP 结构与功能.....	11
4.3 MIPI IO.....	14
5 端口描述.....	16
5.1 Gowin MIPI D-PHY RX Advance IP 端口.....	16
5.2 Gowin MIPI D-PHY TX Advance IP 端口.....	18
6 时序说明.....	20
6.1 RX 输入信号时序.....	20
6.2 TX 输入信号时序.....	21
7 配置及调用.....	23
7.1 MIPI D-PHY RX Advance 配置.....	23
7.2 MIPI D-PHY TX Advance 配置.....	25

附录 A MIPI D-PHY 速率表.....	27
--------------------------	----

图目录

图 2-1 MIPI D-PHY 结构示意图.....	4
图 4-1 HS 模式和 LP 模式的接口实现.....	10
图 4-2 HS 模式和 LP 模式的接口实现，HS 采用 ELVDS.....	12
图 4-3 HS 模式和 LP 模式的接口实现，HS 采用 TLVDS.....	13
图 4-4 MIPI IO 模式下 MIPI IP 端口示意图.....	14
图 4-5 MIPI IO 模式下 MIPI IP 端口示意图（需外部端接电阻）.....	15
图 6-1 MIPI D-PHY RX Advance 在 HS 1:8 模式下输入信号时序.....	21
图 6-2 MIPI D-PHY TX Advance 在 HS 1:8 模式下输入信号时序.....	22
图 6-3 MIPI D-PHY TX Advance 在 HS 1:16 模式下输入信号时序.....	22
图 7-1 MIPI D-PHY RX Advance 配置页面.....	23
图 7-2 MIPI D-PHY TX Advance 配置页面.....	25

表目录

表 1-1 术语、缩略语.....	2
表 2-1 Gowin MIPI D-PHY RX TX Advance IP 概述.....	3
表 3-1 D-PHY RX TX Advance Latency.....	6
表 3-2 MIPI D-PHY RX Advance 占用资源.....	6
表 3-3 MIPI D-PHY TX Advance 占用资源.....	6
表 3-4 MIPI D-PHY RX Advance 传输模式器件支持.....	7
表 3-5 MIPI D-PHY RX IO 类型支持器件.....	7
表 3-6 MIPI D-PHY TX Advance 传输模式支持器件.....	7
表 3-7 MIPI D-PHY TX IO 类型支持器件.....	8
表 5-1 D-PHY RX Advance 的 IO 端口列表.....	16
表 5-2 D-PHY TX Advance 的 IO 端口列表.....	18
表 7-1 MIPI D-PHY RX Advance 的 Options 选项配置.....	24
表 7-2 MIPI D-PHYTX Advance 的 Options 选项配置.....	25
表 A-1 MIPI D-PHY 速率(小蜜蜂(LittleBee)家族).....	28
表 A-2 MIPI D-PHY 速率(晨熙 (Arora)家族).....	29

1 关于本手册

1.1 手册内容

Gowin MIPI D-PHY RX TX Advance IP 用户指南主要包括功能特点、端口描述、时序说明、配置调用、参考设计等。主要用于帮助用户快速了解 Gowin MIPI D-PHY RX TX Advance IP 的产品特性、特点及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [DS117, GW1NR 系列 FPGA 产品数据手册](#)
- [DS891, GW1NRF 系列蓝牙 FPGA 产品数据手册](#)
- [DS821, GW1NS 系列 FPGA 产品数据手册](#)
- [DS881, GW1NSER 系列安全 FPGA 产品数据手册](#)
- [DS861, GW1NSR 系列 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [DS961, GW2ANR 系列 FPGA 产品数据手册](#)
- [DS971, GW2AN-18X & 9X 器件数据手册](#)
- [DS976, GW2AN-55 器件数据手册](#)
- [DS981, GW5AT 系列 FPGA 产品数据手册](#)
- [DS1103, GW5A 系列 FPGA 产品数据手册](#)
- [DS1239, GW5AST 系列 FPGA 产品数据手册](#)
- [DS1105, GW5AS 系列 FPGA 产品数据手册](#)
- [DS1108, GW5AR 系列 FPGA 产品数据手册](#)

- [DS1118, GW5ART 系列 FPGA 产品数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
CSI	Camera Serial Interface	串行摄像头接口
DSI	Display Serial Interface	串行显示接口
GSR	Global System Reset	全局系统复位
IP	Intellectual Property Core	知识产权
LUT	Look-up Table	查找表
RAM	Advanced RISC Machine	高级精简指令集计算机

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

2.1 MIPI D-PHY RX TX Advance IP 介绍

Gowin MIPI D-PHY RX TX Advance IP 适用于串行显示接口（Display Serial Interface, DSI）和串行摄像头接口（Camera Serial Interface, CSI），旨在用于接收或发送图像或视频数据，MIPI D-PHY 为其提供物理层定义。

表 2-1 Gowin MIPI D-PHY RX TX Advance IP 概述

Gowin MIPI D-PHY RX TX Advance IP	
逻辑资源	请参见表 3-2 及表 3-3。
交付文件	
设计文件	Verilog (encrypted)
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software (V1.9.7.05 Beta 及以上)

2.2 MIPI D-PHY 介绍

移动产业处理器接口（Mobile Industry Processor Interface, MIPI）为移动设备组件接口规范标准。MIPI D-PHY 为 DSI 和 CSI 提供物理层定义，描述源同步、高速、低功耗的物理层接口协议。根据应用需求，MIPI D-PHY Advance 分为 RX 与 TX 两个部分，用于接收或发送符合 MIPI D-PHY 规范的数据，其结构示意图如图 2-1 所示。

在典型配置下，MIPI D-PHY 包含 1 个时钟通道和 1~4 个数据通道。可通过 IDE 配置数据通道的数量。时钟和数据通道可在 1.2V LVCMOS 信号或 SLVS-200 差分信号之间转换。

MIPI D-PHY 支持以下两种数据传输模式：

- 高速（High-speed, HS）模式

- 低功耗（Low-power, LP）模式

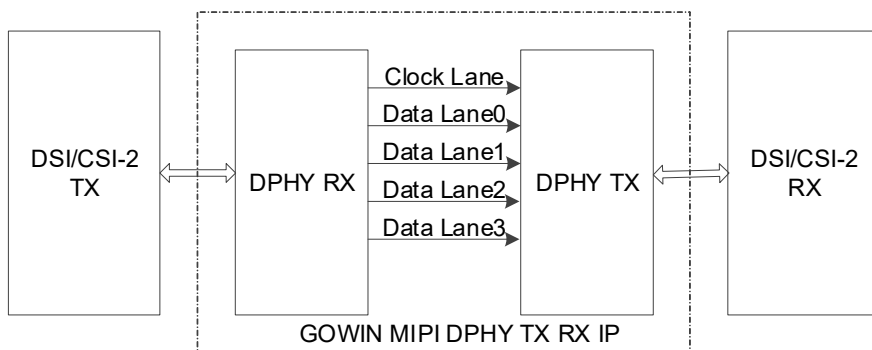
在 HS 模式下，视频数据通过差分进行传递。如应用不同，可持续使用 HS 模式，亦可将高速差分通道转换为单端信号。

当 D-PHY 发送单端信号数据时，进入 LP 模式。

注！

- 在摄像与显示应用中，在消隐期间进入 LP 模式可减少功耗。
- 在显示应用中，低功耗模式可用来配置屏幕设置。

图 2-1 MIPI D-PHY 结构示意图



3 特征与性能

3.1 主要特征

- 符合标准《MIPI Alliance Standard for D-PHY Specification》，版本 1.1。
- MIPI CSI-2 和 DSI，RX 和 TX 器件接口。
- 支持单向高速(HS, High-speed)模式。
- 支持双向低功耗(LP, Low-power)操作模式。
- 支持串行高速(HS, High-speed)数据转换为字节数据包。
- 支持 MIPI D-PHY TX 8:1 模式与 16:1 模式。
- 支持 MIPI D-PHY RX 1:8 模式与 1:16 模式。
- 支持 ELVDS、TLVDS 与 MIPI IO 等 IO Type。
- 单通道 TX 数据速率（Line Rate）可支持范围为：80Mb/s~2000Mb/s。
- 单通道 RX 数据速率（Line Rate）可支持范围为：80Mb/s~1600Mb/s。
- 控制数据在 LP 模式下进行传输，数据速率为 10Mb/s。

3.2 最大频率

MIPI D-PHY 的最大频率主要根据 Line Rate 与所用器件的速度等级（speed grade of the devices）确定。

3.3 延迟 Latency

D-PHY TX Latency 指从 8 位/16 位并行数据 `data_in` 输入至串行数据 `HS_DATA` 输出之间的时间延迟周期。

D-PHY RX Latency 指从串行数据 `HS_DATA` 的数据包头（start-of-transmission, SOT）输入开始，至 8 位/16 位并行数据 `data_out` 输出之间的时间延迟周期。

具体延迟数据请参考表 3-1。

表 3-1 D-PHY RX TX Advance Latency

模块	Line Rate (Mb/s)	Lane	Latency (byteclk Latency ^[1] Cycle)
D-PHY TX	1200	1	3
D-PHY RX	1200	1	11

注！

[1] Frequency of byteclk (MHz) = line rate in Mb/s/8

3.4 资源利用

通过 Verilog 语言实现 MIPI D-PHY RX 和 TX。因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。

以高云 GW1N-2 系列 FPGA 为例，MIPI D-PHY RX 与 TX 其资源利用情况如表 3-2 和表 3-3 所示，有关在其他高云 FPGA 上的应用验证，请关注后期发布信息。

表 3-2 MIPI D-PHY RX Advance 占用资源

器件系列	速度等级	器件名称	资源利用	备注
GW1N-2	-6	LUT	477	• 1:8 Mode • 包含 4 个 HS 数据通道 • 包含字对齐与通道对齐模块 • 不包含 clk_cross_fifo
		IODELAY	4	
		REG	505	
		BSRAM	0	
		IDES8	4	
		CLKDIV	1	
		DHCEN	1	

表 3-3 MIPI D-PHY TX Advance 占用资源

器件系列	速度等级	器件名称	资源利用	备注
GW1N-2	-6	LUT	3	• 1:8 Mode • 配置内部 PLL
		REG	0	
		CLKDIV	1	
		OSER8	5	

3.5 器件支持

表 3-4 MIPI D-PHY RX Advance 传输模式器件支持

D-PHY RX 传输模式	器件支持
1:8 模式	GW1N 系列、GW1NR 系列、GW1NS 系列、GW1NSR 系列、GW1NSER 系列、GW1NRF 系列、GW1AN 系列、GW2A 系列、GW2AR 系列、GW2ANR 系列、GW2AN 系列、GW5A 系列、GW5AT 系列、GW5AST 系列、GW5AS 系列、GW5AR 系列、GW5ART 系列、GW1NZ-2B、GW1NZ-2C
1:16 模式	GW1NS 系列、GW1NSR 系列、GW1NSER 系列、GW5AT 系列、GW5AST 系列、GW5A 系列、GW5AS 系列、GW5AR 系列、GW5ART 系列、GW1N-1S、GW1N-2、GW1N-2B、GW1N-2C、GW1NR-2、GW1NR-2B、GW1NR-2C、GW1N-1P5、GW1N-1P5B、GW1N-1P5C、GW1NR-9、GW1NR-9C、GW1N-9、GW1N-9C、GW1NZ-2B、GW1NZ-2C

表 3-5 MIPI D-PHY RX IO 类型支持器件

D-PHY RX IO 类型	器件支持
MIPI IO ^[1]	GW1NS 系列、GW1NSR 系列、GW1NSER 系列、GW5AT 系列、GW5A 系列、GW5AS 系列、GW5AST 系列、GW5AR 系列、GW5ART 系列、GW1N-9、GW1N-9C、GW1NR-9、GW1NR-9C、GW1N-1P5、GW1N-1P5B、GW1N-1P5C、GW1N-2、GW1N-2B、GW1NR-2、GW1NR-2B、GW1N-2C、GW1NR-2C、GW1NZ-2B、GW1NZ-2C、GW1NR-9、GW1NR-9C、GW1AN-9A、GW2AN-18X、GW2AN-9X
TLVDS IO	除 GW1N-1S、GW1NZ-1、GW1NZ-1C 外的所有高云器件
ELVDS IO	所有高云器件

注！

^[1]GW2AN-18X、GW2AN-9X 使用 MIPI IO 模式时，MIPI CLK 需要使用 GCLK IO。

表 3-6 MIPI D-PHY TX Advance 传输模式支持器件

D-PHY TX 传输模式	器件支持
8:1 模式	GW1N 系列、GW1NR 系列、GW1NZ 系列、GW1NS 系列、GW1NSR 系列、GW1NSER 系列、GW1NRF 系列、GW1AN 系列、GW2A 系列、GW2AR 系列、GW2ANR 系列、GW2AN 系列、GW5AT 系列、GW5A 系列、GW5AST 系列、GW5AS 系列、GW5AR 系列、GW5ART 系列
16:1 模式	GW1NS 系列、GW1NSR 系列、GW1NSER 系列、GW5AT 系列、GW5ART 系列、GW5AS 系列、GW5AST 系列、GW5A 系列、GW5AR 系列、GW1N-1S、GW1N-2、GW1N-2C、GW1N-2B、GW1NR-2、GW1NR-2C、GW1NR-2B、GW1N-1P5、GW1N-1P5B、GW1N-1P5C、GW1NZ-2B、GW1NZ-2C、GW1N-9、GW1N-9C、GW1NR-9、GW1NR-9C

表 3-7 MIPI D-PHY TX IO 类型支持器件

D-PHY TX IO 类型	器件支持
MIPI IO	GW1NS 系列、GW1NSR 系列、GW1NSER 系列、GW5AR 系列、GW5ART 系列、GW1N-1P5、GW1N-1P5B、GW1N-1P5C、GW1N-2、GW1N-2B、GW1N-2C、GW1NR-2、GW1NR-2B、GW1NR-2C、GW1NR-9、GW1NR-9C、GW1N-9、GW1N-9C、GW1NZ-2B、GW1NZ-2C、GW5A-25A、GW5A-25B、GW5AS-25A、GW5AS-25B、GW5AT-60ES、GW5AT-60B、GW5A-60B、GW5AT-15A
TLVDS IO	除 GW1N-1S、GW1NZ-1、GW1NZ-1C 外的所有高云器件
ELVDS IO	所有高云器件

4 功能描述

MIPI D-PHY 包含以下两种 D-PHY IP 模块：

- D-PHY RX Advance
- D-PHY TX Advance

在 D-PHY RX Advance 与 D-PHY TX Advance 中，HS 数据分别进行串并转换/并串转换，LP 模式数据可在任意数据通道和时钟通道上进行双向传输。

注！

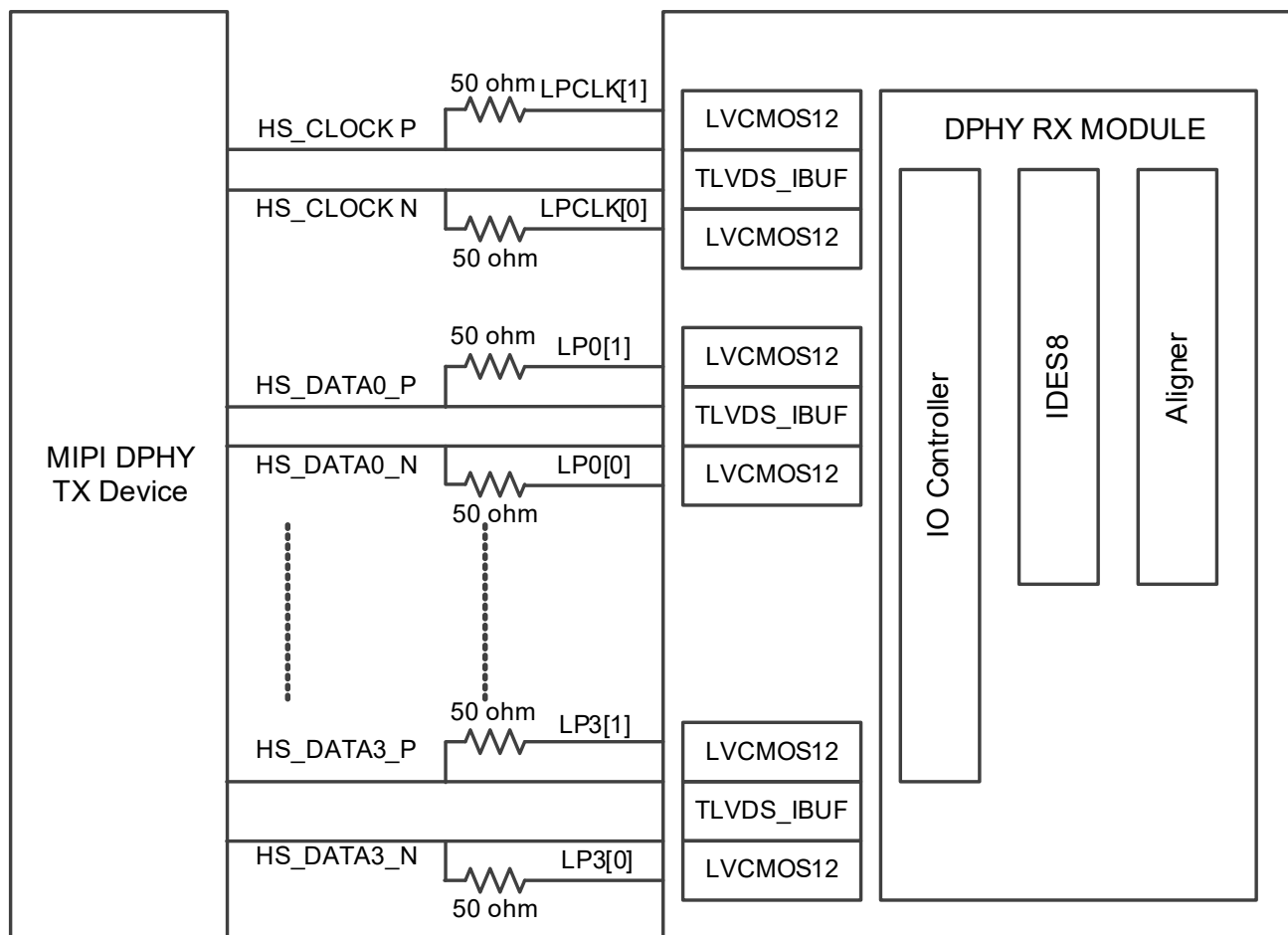
D-PHY RX Advance 与 D-PHY TX Advance 的电阻网络虽不相同，但两种模块均需支持双向 LP 模式通信和单向 HS 模式通信。

4.1 MIPI D-PHY RX Advance IP 结构与功能

用户可使用 D-PHY RX Advance，通过一个时钟通道，四个数据通道来接收 HS 数据。

每个时钟和数据通道均采用四个 IO 口。两个 IO 引脚通过 TLVDS 差分 IO 来接收高速数据。TLVDS IO 用于处理 200mV 共模电压。另外两个 IO 在 HS 模式下作为串行端接使用，在 LP 模式下用来接收或发送 1.2V CMOS 数据，如图 4-1 所示。

图 4-1 HS 模式和 LP 模式的接口实现



注！

图 4-1 中电阻值仅供参考。

在 D-PHY RX 模块中，HS 数据通过 IDES8/IDES16 进行串并转换。FPGA 使用 IDES8/IDES16 直接驱动一个 4 分频/8 分频的时钟和 8 位/16 位字节宽度的数据。

注！

用户可配置且必须配置大于或等于 1 个 HS 数据通道，可选择 1、2、3 或 4 个数据通道。

当数据串并转换为 8 位/16 位字节数据，且通道对齐后，可在每个字节时钟周期顺利获得 MIPI 字节数据。

注！

- 通过检测 MIPI HS_Ready 序列来实现对齐。
- MIPI HS_Ready 序列在所有数据通道的数据包头之前的一个周期发送。

hs_en 信号用于复位对齐模块：

1. 当 hs_en 为低时，字对齐模块为复位状态。
2. 当 hs_en 为高，字对齐模块开始寻找下一次 HS_Ready 序列。
3. 在检测到 HS_Ready 序列后，同步信号变为高，正确对齐对齐模块输出端的字节数据。

对齐模块由两个子模块组成：

- 第一个模块将串并转换后的 8 位数据对齐。
- 第二个模块将各个数据通道对齐。

注！

- 某些设计案例中，无需进行通道对齐或通道与字之间的对齐。
- 可通过宏编译指令开启或关闭字和通道对齐功能。

设计通过 `term_en` 信号来控制 `IO_Ctrol_RX` 模块以实现 HS termination。因在本设计中无方向竞争检测机制，可通过以下两种方式进行使能 HS termination：

1. 使用 HS 时钟观测 LP 到 HS 在一个数据通道上的数据转换。
2. 与数据通道相比，时钟通道会预先进入 HS 模式，且推迟退出 HS 模式。将 LP 信号在启动时初始化为输入，然后观察 LP 和 HS 的各个时钟与数据通道。

序列一经检测到，用户可通过使能 HS termination 将 `term_en` 设置为“低”。

`IO_Ctrol_RX` 模块同样控制 LP 信号。

每个数据通道均有一个 `lp*_dir` 信号，用于控制 LP 数据在器件与 FPGA 之间传输的方向。

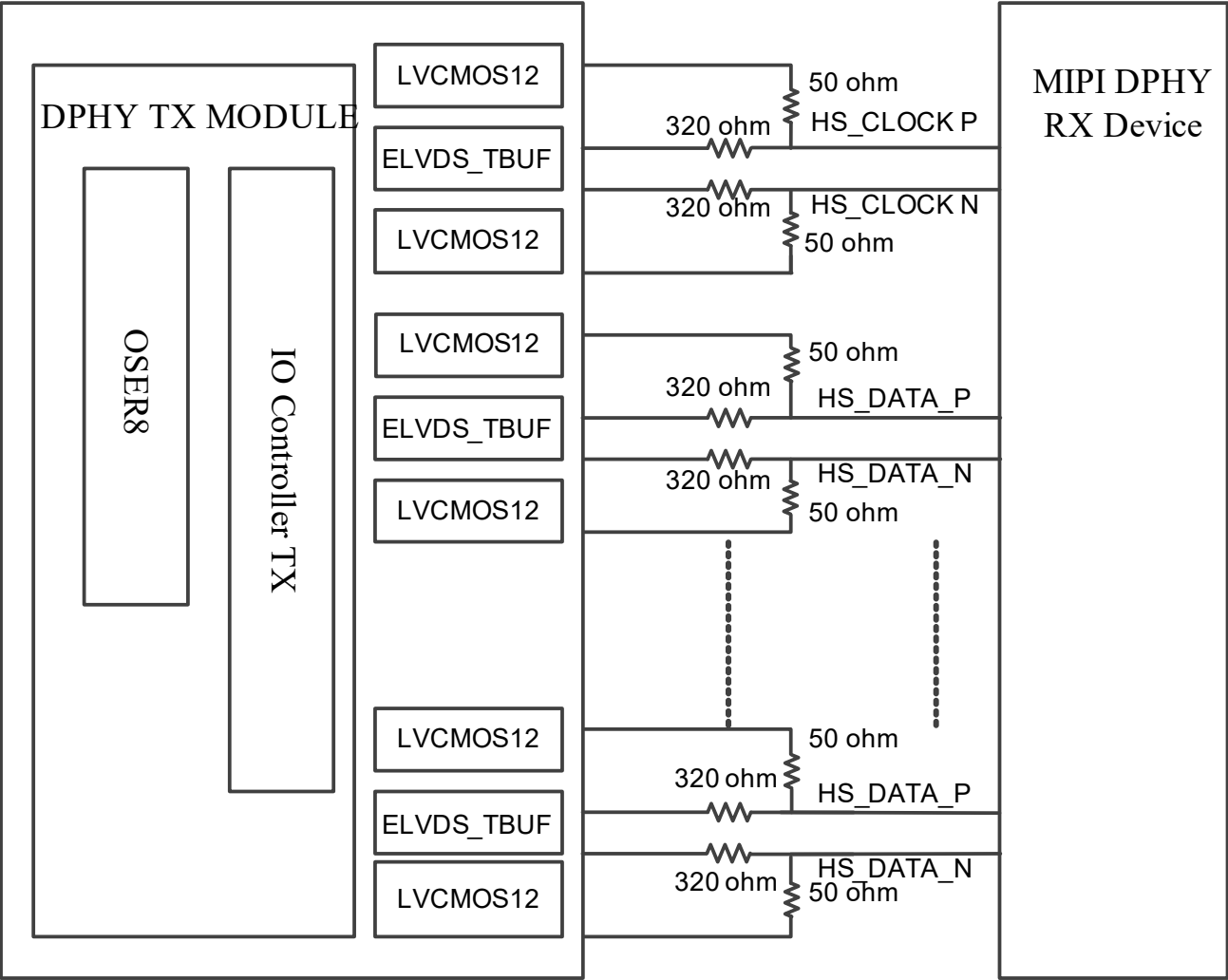
可通过宏定义编译指令单独开启或关闭 LP IP 的某个时钟或数据通道。此方法适用于用户只需一个或两个 MIPI D-PHY 数据通道处于 LP 模式的情况。

将 LP 信号定义为两位宽总线。通常情况下，信号 1 连接到 P 线端，信号 0 连接到 N 线端。有助于与 LP 传输定义模式保持一致。

4.2 MIPI D-PHY TX Advance IP 结构与功能

用户可通过 D-PHY TX IP 使用 1 个时钟通道和最多 4 个数据通道，每个通道含有 4 个 IO。其中两个 IO 引脚通过 ELVDS 类型或 TLVDS 类型的 IO 发送 HS 数据，输出 IO 配置为差分模式。另外的两个 IO 在 HS 模式下用于提供分压电路，在 LP 模式下用于发送或接收 1.2V CMOS 数据。HS 数据采用 ELVDS 类型 IO 的电路结构如图 4-2 所示，采用 TLVDS 类型 IO 的电路结构如图 4-3 所示。

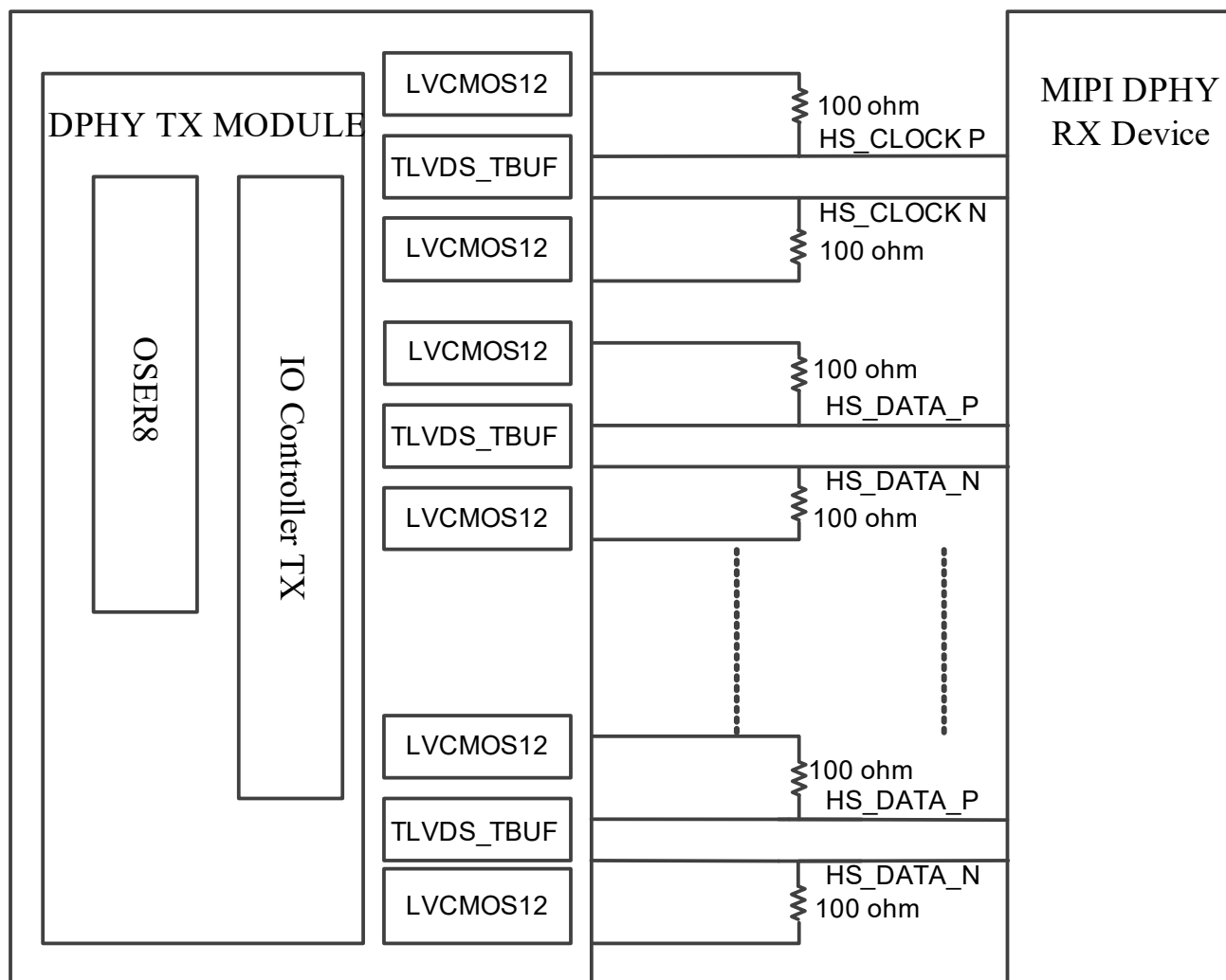
图 4-2 HS 模式和 LP 模式的接口实现，HS 采用 ELVDS



注!

图 4-2 中电阻值仅供参考。

图 4-3 HS 模式和 LP 模式的接口实现，HS 采用 TLVDS



注!

图 4-3 中电阻值仅供参考。

在 D-PHY TX 模块中，HS 数据通过 OSER8/OSER16 进行并串转换。D-PHY TX 输出数据为中心对齐方式，因此 HS 数据通道和时钟通道分别采用由 PLL 产生的相位为 0 度和 90 度的输出时钟信号。用户可选择使用外部 PLL 或内部 PLL 提供时钟。需要注意的是，FPGA 中的内部 PLL 需要一定时间来进行锁定。

IO_Ctrol_TX 模块控制 HS 和 LP 数据的传输。

- 当 **hs_clk_en** 和 **hs_data_en** 信号为高时，HS 模式下的时钟和数据通道使能。在 HS 模式中，通过 IO_Ctrol_TX 配置 CMOS 信号幅度较低，在 LVDS 的输出端建立一个分压网络，使得输出信号为 200mV 的共模电压；
- 当 **hs_clk_en** 或 **hs_data_en** 为低电平，会将相应 ELVDS IO 的输出设置为高阻态，不会干扰 LP 数据传输。因 MIPI 规范规定时钟通道进入（退出）HS 模式应先于（晚于）数据通道，所以设置了 **hs_clk_en** 控制信号和 **hs_data_en** 信号。

lp_data_dir 信号控制 LP 模式下的传输方向。

- 当 **hs*_en='1'** 时，需重写 **lp*_dir** 控制信号；

- 当处于 LP 模式下时，IO_Ctrol_TX 模块同样控制 LP 数据传输。

lp*_dir 信号控制 LP 数据发送或接收的方向。将 LP 信号定义为两位宽度总线。通常情况下，信号 1 连接到 P 线端，信号 0 连接到 N 线端。此方法有助于与 LP 传输定义模式保持一致。

4.3 MIPI IO

MIPI D-PHY RX/TX IP 的端口可支持使用 MIPI IO，在选择 MIPI IO TYPE 时，HS 时钟通道与 LP 时钟通道共用 IO 端口，HS 数据通道与 LP 数据通道共用相应的 IO 端口，如图 4-4 所示。

在使用 9K 系列与 4K 系列芯片时，若 D-PHY RX MIPI IO 所在的 Bank 电压为 1.2V，需要在 MIPI IO 的 P 端与 N 端接 100ohm 的匹配电阻，如图 4-5 所示。

图 4-4 MIPI IO 模式下 MIPI IP 端口示意图

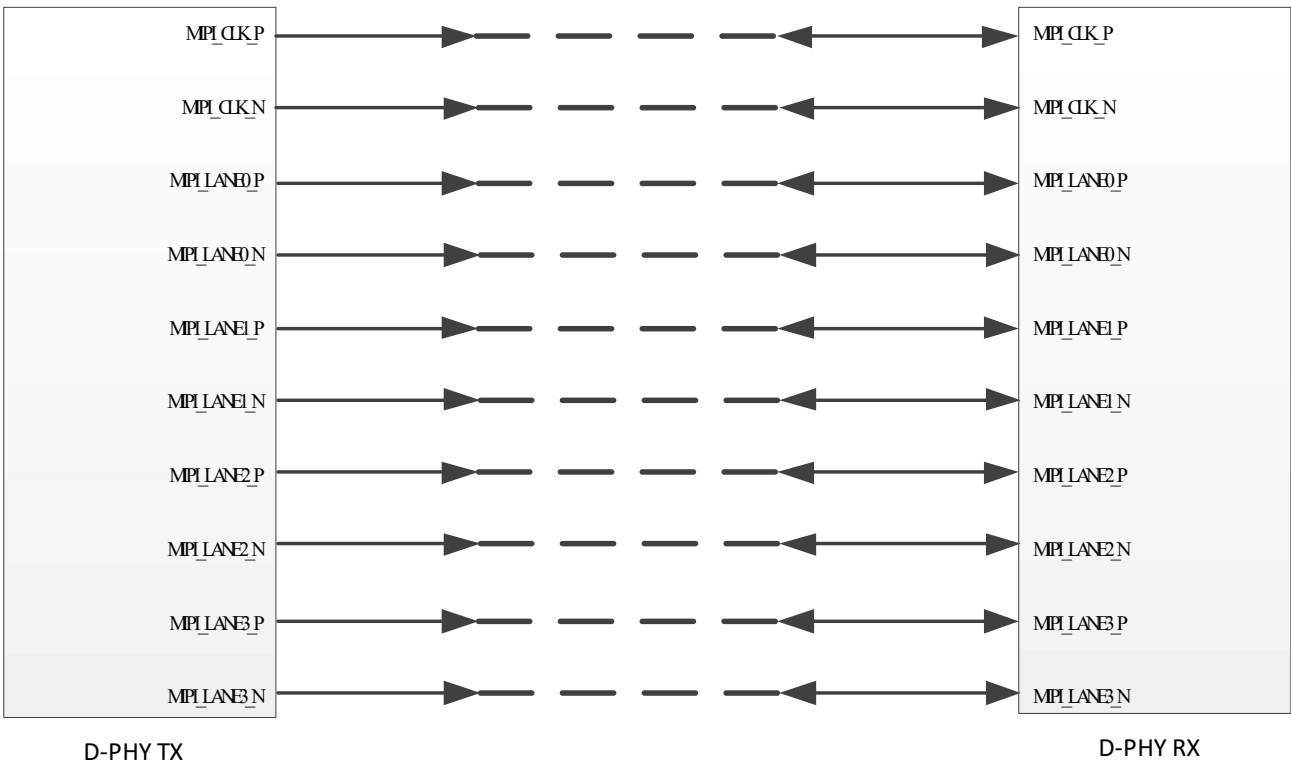
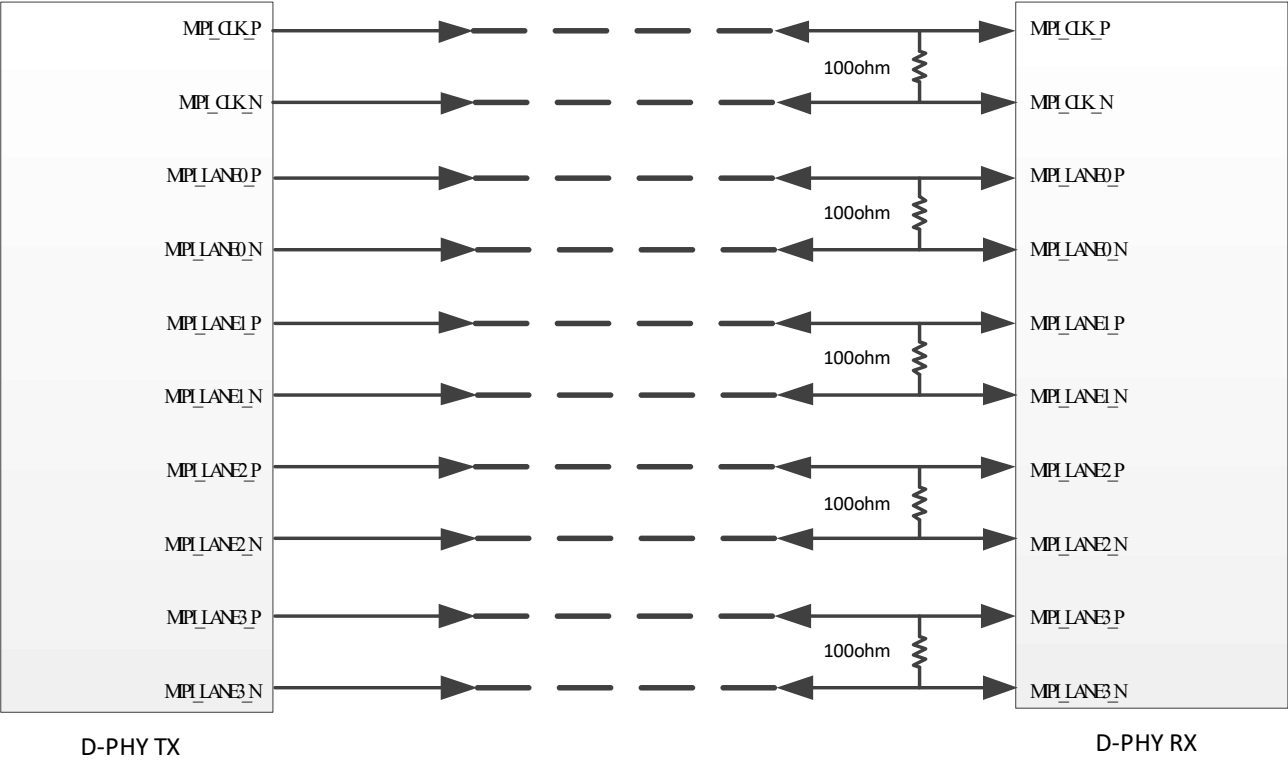


图 4-5 MIPI IO 模式下 MIPI IP 端口示意图（需外部端接电阻）



5 端口描述

5.1 Gowin MIPI D-PHY RX Advance IP 端口

有关 Gowin MIPI D-PHY RX Advance IP 的 IO 端口详情，如表 5-1 所示。

表 5-1 D-PHY RX Advance 的 IO 端口列表

信号	方向	描述
reset_n	Input	复位信号，低有效。
HS_CLK	Input	- 高速时钟； - 选择 IO TYPE 为 TLVDS 或 ELVDS 时。
HS_DATA<N>	Input	- 高速数据通道<N>； - 选择 IO TYPE 为 TLVDS 或 ELVDS 时。
hs_en	Input	当选用器件非 5A/5AT 系列时，在下一个 HS-Ready 序列时初始化字对齐模块。
clk_hs_en	Input	当选用器件为 5A/5AT 系列时，时钟通道接收使能，高有效。
data_hs_en	Input	当选用器件为 5A/5AT 系列时，数据通道接收使能，高有效，并在下一个 HS-Ready 序列时初始化字对齐模块。
clk_byte	Input	clk_cross_fifo 的读时钟；
clk_byte_out	Output	Clock Byte Out = HS_CLK/4
data_out<n>	Output	通道<n>并行数据输出 - MIPI D-PHY 模式为 1:8 时，位宽为 8 位； - MIPI D-PHY 模式为 1:16 时，位宽为 16 位。
ready	Output	当并行数据对齐时为高电平
LP_CLK [1:0]	Bidirectional	LP 时钟通道 - LP_CLK[0] = N wire, LP_CLK[1] = P wire； - 选择 IO TYPE 为 TLVDS 或 ELVDS 时。
LP_DATA<N> [1:0]	Bidirectional	LP 数据通道<N>

信号	方向	描述
LP_DATA<N> [1:0]	Bidirectional	- LP<N> [0] = N wire, LP<N> [1] = P wire; - 选择 IO TYPE 为 TLVDS 或 ELVDS 时。
clk_term_en	Input	Clock Lane 终端电阻控制信号 - MIPI IO 模式下: 1: 开启电阻; 0: 关闭电阻; - 其它 IO Type 模式下: 1: 控制 LP 信号输出 0; 0: 由 lp_data_dir<n>控制 LP 信号输出。
data_term_en	Input	Data Lane 终端电阻控制信号 - MIPI IO 模式下: 1: 开启电阻; 0: 关闭电阻; - 其它 IO Type 模式下: 1: 控制 LP 信号输出 0; 0: 由 lp_data_dir<n>控制 LP 信号输出。
lp_clk_dir	Input	控制 LP 时钟方向 '0': LP 时钟接收; '1': LP 时钟发送。
lp_data<n>_dir	Input	控制 LP 数据方向 '0': LP 数据接收; '1': LP 数据发送。
lp_clk_out [1:0]	Output	LP 接收时钟 当 lp_clk_dir = '0' 且 term_en = '0'时有效
lp_data<n>_out [1:0]	Output	LP 接收数据 当 lp_data<n>_dir = '0' 且 term_en = '0'时有效
lp_clk_in [1:0]	Input	LP 发送时钟 当 lp_clk_dir = '1' 且 term_en = '0'时有效
lp_data<n>_in [1:0]	Input	LP 发送数据 当 lp_data<n>_dir = '1' 且 term_en = '0'时有效
MIPI_CLK	Bidirectional	选择 IO TYPE 为 MIPI IO 时, HS 与 LP 模式共用的时钟通道。
MIPI_LANE<N>	Bidirectional	选择 IO TYPE 为 MIPI IO 时, HS 与 LP 模式共用的数据通道。
lane<n>_iodelay	Output	勾选 Lane<n> IO Delay Scan Enable 时, 数据通道<n> IO delay 扫描结果, 当 lane<n>_iodelay_lock 为高时有效。
lane<n>_iodelay_lock	Output	勾选 Lane<n> IO Delay Scan Enable 时, 数据通道<n> IO delay 扫描结果锁定, 高电平有效。

注!

- lp_clk_in、lp_clk_out 的高低位与 LP_CLK 的高低位对应;
- lp_data<n>_in、lp_data<n>_out 的高低位与 LP_DATA<N>的高低位对应。

5.2 Gowin MIPI D-PHY TX Advance IP 端口

有关 Gowin MIPI D-PHY TX Advance IP 的 IO 端口详情，如下表 5-2 所示。

表 5-2 D-PHY TX Advance 的 IO 端口列表

信号	方向	描述
reset_n	Input	复位信号，低有效
HS_CLK	Output	- 高速时钟 - 选择 IO TYPE 为 TLVDS 或 ELVDS 时
HS_DATA<N>	Output	- 高速数据通道<N> - 选择 IO TYPE 为 TLVDS 或 ELVDS 时
clk_byte	Input	采用内置 PLL 时的输入时钟
clk_bit	Input	采用外置 PLL 时的输入时钟 clk_bit 与 clk_bit_90 相位相差 90°，频率与 HS_CLK 相同。
clk_bit_90	Input	
sclk	Output/Input	- 采用内置 PLL 时，为 TX 内部时钟输出，一般用于采样 data_in； - 采用外置 PLL 时，为 TX 外部时钟输入。
int_pll_lock	Output	采用内置 PLL 时，为内置 PLL 锁定信号。
init_clk	Input	采用内置 PLL 时，为内置 PLL Reference Clock。
clk_data	Input	- MIPI D-PHY 模式为 8:1 时，位宽为 8 位，如 8'b01010101； - MIPI D-PHY 模式为 16:1 时，位宽为 16 位，如 16'b0101010101010101。
lp_clk_dir	Input	MIPI LP 时钟通道方向选择 - 为 1 时，LP 时钟通道方向为输出。 - 为 0 时，LP 时钟通道方向为输入。 - 选择 IO TYPE 为 MIPI 时。
lp_clk_out	Input	MIPI LP 发送时钟通道 - lp_clk_out [0] = N wire, lp_clk_out [1] = P wire - lp_clk_dir 为 1 时 - 选择 IO TYPE 为 MIPI 时。
lp_clk_in	Output	MIPI LP 接收时钟通道 - lp_clk_in [0] = N wire, lp_clk_in [1] = P wire - lp_clk_dir 为 0 时 - 选择 IO TYPE 为 MIPI 时。
data_in<n>	Input	通道<n>并行数据输入 - MIPI D-PHY 模式为 8:1 时，位宽为 8 位； - MIPI D-PHY 模式为 16:1 时，位宽为 16 位。
LP_CLK [1:0]	Bidirectional	LP 时钟通道

信号	方向	描述
LP_CLK [1:0]	Bidirectional	- LPCLK[0] = N wire, LP_CLK[1] = P wire; - 选择 IO TYPE 为 TLVDS 或 ELVDS 时。
LP_DATA<N> [1:0]	Bidirectional	LP 数据通道<N>; - LP<N> [0] = N wire, LP<N> [1] = P wire; - 选择 IO TYPE 为 TLVDS 或 ELVDS 时。
hs_clk_en	Input	使能 HS 时钟的输出端, 使 LP_CLK 信号为 0, 并重写 lp_clk_dir 信号
hs_data_en	Input	使能 HS 时钟的输出端, 使 LP_DATA<N>信号为 0, 并重写 lp_data<n>_dir 信号
lp_clk_dir	Input	控制 LP 时钟方向 '0': LP 时钟接收 '1': LP 时钟发送
lp_data<n>_dir	Input	控制 LP 数据方向 '0': LP 数据接收 '1': LP 数据发送
lp_clk_out [1:0]	Input	LP 发送时钟 当 lp_clk_dir = '1' 且 hs_clk_en = '0'时有效, TX 中无终端电阻
lp_data<n>_out [1:0]	Input	LP 发送数据 当 lp_data<n>_dir = '1' 且 hs_data_en = '0'时有效
lp_clk_in [1:0]	Output	LP 接收时钟 当 lp_clk_dir = '0' 且 hs_clk_en = '0'时有效, TX 中无终端电阻
lp_data<n>_in [1:0]	Output	LP 接收数据 当 lp_data<n>_dir = '0' 且 hs_clk_en = '0'时有效
MIPI_CLK	Output	选择 IO TYPE 为 MIPI IO 时, HS 与 LP 模式共用的时钟通道。
MIPI_LANE<N>	Output	选择 IO TYPE 为 MIPI IO 时, HS 与 LP 模式共用的数据通道。

注!

- lp_clk_in、lp_clk_out 的高低位与 LP_CLK 的高低位对应;
- lp_data<n>_in、lp_data<n>_out 的高低位与 LP_DATA<N>的高低位对应。

6 时序说明

本节旨在介绍 MIPI D-PHY RX Advance 和 TX Advance 在 HS 模式下输入信号的时序情况。

在实际应用中，RX 和 TX 可互相连接，即 RX 的输出作为 TX 的输入，TX 的输出可作为 RX 的输入。因此，在以下说明中，仅给出 RX 和 TX 的输入信号的时序情况。

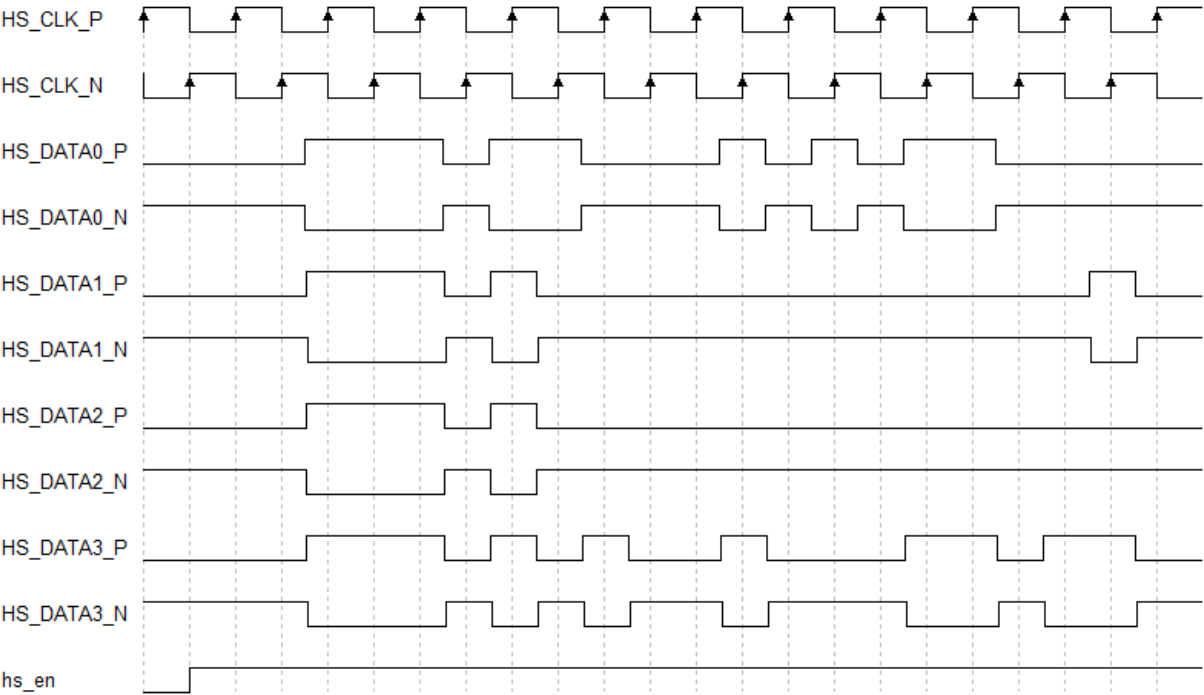
6.1 RX 输入信号时序

MIPI D-PHY RX Advance 在 HS 1:8 模式下的时钟与数据通道信号时序示意图如图 6-1 所示。

在示意图中，使用 1 个时钟通道（HS_CLK）和 4 个数据通道（HS_DATA0、HS_DATA1、HS_DATA2 和 HS_DATA3）。其中，时钟通道与数据通道均是差分信号输入。在 HS 模式下，在发送图像数据时，时钟与数据中心对齐。须在接收 HS_DATA 数据前，将 hs_en 信号设置为高电平。

MIPI D-PHY RX Advance 在 HS 1:16 模式下的信号时序与 1:8 模式类似，需要注意的是 RX 转换后的数据位宽为 16bit（2byte），RX 会将先接收的数据放置于低 8 位（低字节）。

图 6-1 MIPI D-PHY RX Advance 在 HS 1:8 模式下输入信号时序



6.2 TX 输入信号时序

MIPI D-PHYTX Advance 在 HS 模式下的时钟与数据通道信号时序示意图如图 6-2 所示。

在使用 TX 时：

- 若配置使用内部 PLL，需提供时钟 `clk_byte`（频率为 `HS_CLK` 的 1/4）；
- 若不配置内部 PLL，则需提供两个相位差为 90° 的时钟 `CLKOP` 与 `CLKOS`。（`CLKOP`、`CLKOS` 与 `HS_CLK` 同频）。

在图 6-2 中，采用 8:1 模式，配有 1 个时钟通道（`HS_CLK`）和 4 个数据通道（`data_in0`、`data_in1`、`data_in2` 和 `data_in3`）。须在接收 `data_in` 数据前，将 `hs_clk_en` 与 `hs_data_en` 信号设置为高电平。

在图 6-3 中，采用 16:1 模式，时序与 8:1 模式类似。在 16:1 模式中，每个周期转换 16bit（2 个字节）数据，低 8 位（低字节）数据将优先发送，因此数据包头 B8 位于第一个数据的低 8 位。

图 6-2 MIPI D-PHY TX Advance 在 HS 1:8 模式下输入信号时序

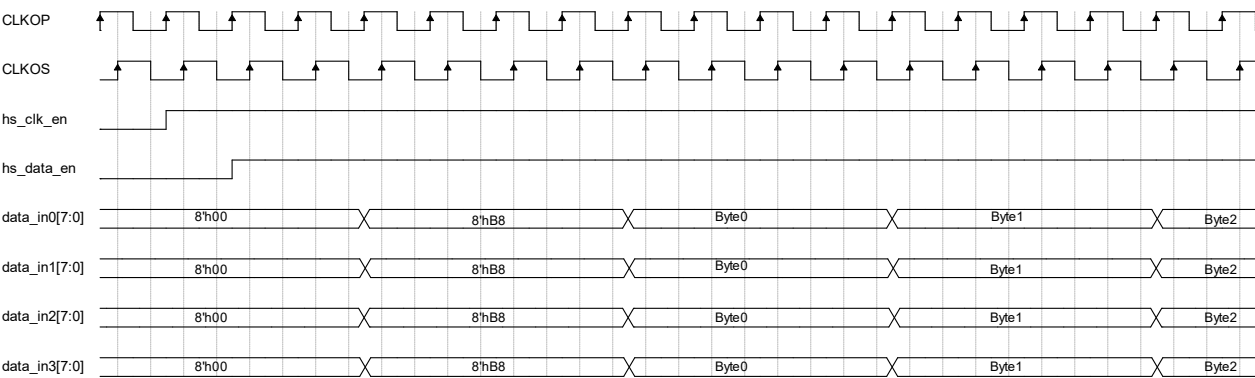
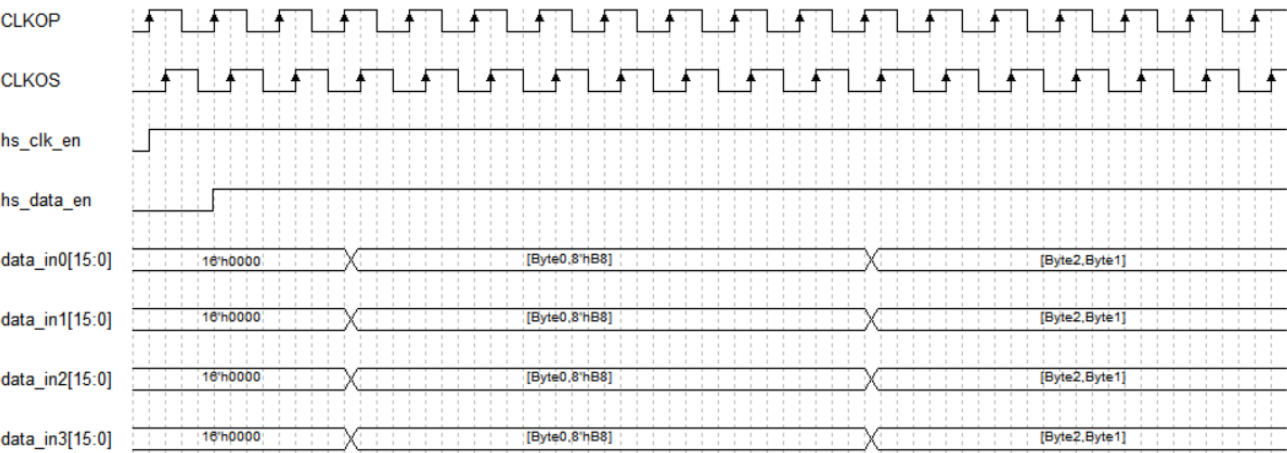


图 6-3 MIPI D-PHY TX Advance 在 HS 1:16 模式下输入信号时序



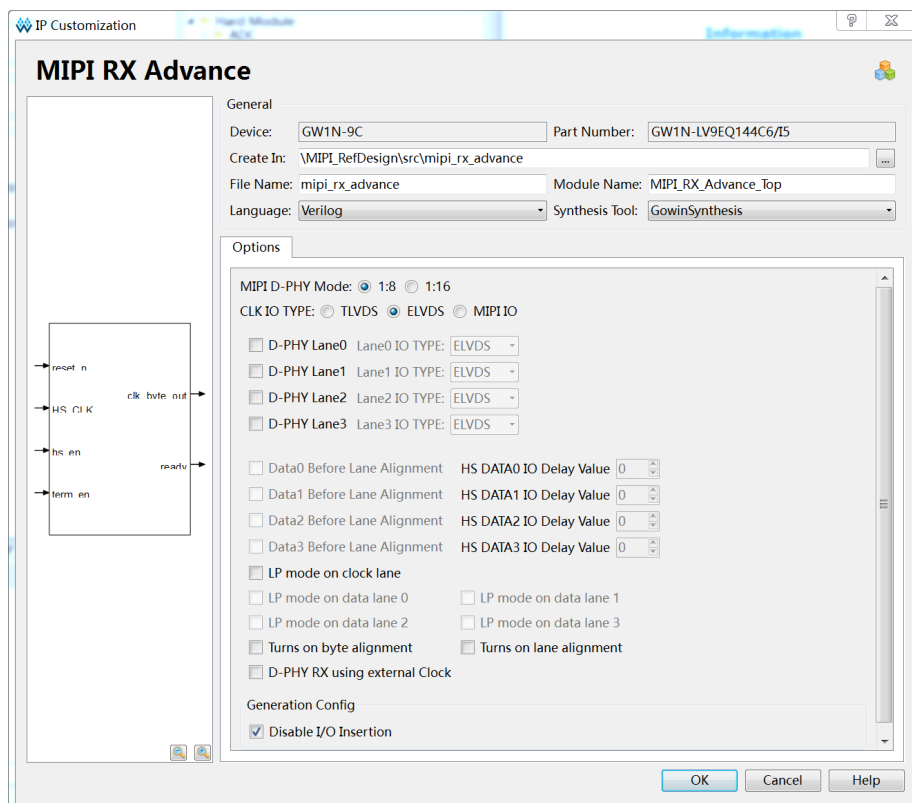
7 配置及调用

在高云半导体云源软件界面菜单栏 **Tools** 下，可启动 **IP Core Generator** 工具，完成调用并配置 **MIPI D-PHY RX Advance** 或 **MIPI D-PHY TX Advance**。

7.1 MIPI D-PHY RX Advance 配置

MIPI D-PHY RX Advance 配置界面如图 7-1 所示。

图 7-1 MIPI D-PHY RX Advance 配置页面



1. 可通过修改 **File Name**，配置产生 **MIPI D-PHYRX Advance** 文件名称；
2. 可通过修改 **Module Name**，配置产生的 **MIPI D-PHY RX Advance** 顶层模块名称；

3. 可通过配置 Options 选项，配置 HS 数据通道数量，配置 LP 模式下时钟和数据通道及确定是否使用 byte alignment 或 lane alignment 等，各选项配置如表 7-1 所示；
4. 默认配置下，只包含 1 个 HS 时钟通道和 1 个 HS 数据通道。

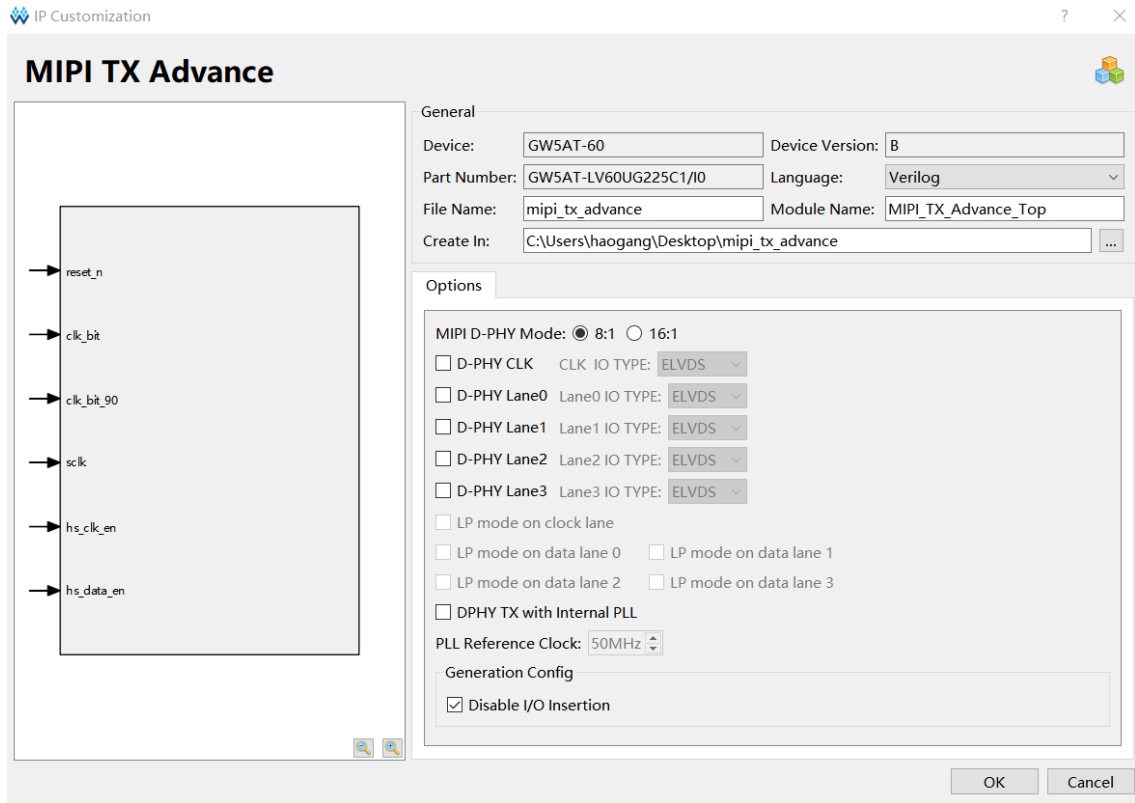
表 7-1 MIPI D-PHY RX Advance 的 Options 选项配置

选项	描述
MIPI D-PHY Mode	选择数据传输比例模式为 1:8 或 1:16
CLK IO Type	选择 HS CLK Lane 端口使用 ELVDS、TLVDS 或 MIPI IO
D-PHY Lane0	HS Lane0 通道使能，生成 HS_DATA0 或 MIPI_LANE0
Lane0 IO Type	选择 HS Lane0 端口使用 ELVDS、TLVDS 或 MIPI IO
D-PHY Lane1	HS Lane1 通道使能，生成 HS_DATA1 或 MIPI_LANE1
Lane1 IO Type	选择 HS Lane1 端口使用 ELVDS、TLVDS 或 MIPI IO
D-PHY Lane2	HS Lane2 通道使能，生成 HS_DATA2 或 MIPI_LANE2
Lane2 IO Type	选择 HS Lane2 端口使用 ELVDS、TLVDS 或 MIPI IO
D-PHY Lane3	HS Lane3 通道使能，生成 HS_DATA3 或 MIPI_LANE3
Lane3 IO Type	选择 HS Lane3 端口使用 ELVDS、TLVDS 或 MIPI IO
Data3/2/1/0 Before Lane Alignment	● 选择是否产生数据端口，输出进入 lane alignment 模块之前的数据； ● 各 HS Lane 可分别选择。
HS Data3/2/1/0 IO Delay Value	● 配置 HS Lane 端口的 IO Delay 数值； ● 各 HS Lane 可分别配置。
LP mode on clock lane	配置 LP 模式下的时钟通道，生成 LP_CLK[1:0]及其它 IO 端口
LP mode on data lane0	配置 LP 模式下的数据通道 0，生成 LP_DATA0[1:0]及其它 IO 端口
LP mode on data lane1	配置 LP 模式下的数据通道 1，生成 LP_DATA1[1:0]及其它 IO 端口
LP mode on data lane2	配置 LP 模式下的数据通道 2，生成 LP_DATA2[1:0]及其它 IO 端口
LP mode on data lane3	配置 LP 模式下的数据通道 3，生成 LP_DATA3[1:0]及其它 IO 端口
Turns on byte alignment	配置此选项则启用 byte alignment 模块，用于对齐通道内完成排序后的字节。
Turns on lane alignment	配置此选项则启用 lane alignment 模块，用于对齐不同的数据通道
D-PHY RX using external Clock	配置此选项后，RX 模块会采用外部时钟(clk_byte)，数据 data_out0/1/2/3 将在 clk_byte 时钟下对齐。
Generation Config	● 如果勾选，IP 在综合后的网表中不插入 IBUF、OBUF 和 IOBUF； ● 如果不勾选，IP 在综合后的网表中插入 IBUF、OBUF 和 IOBUF； ● 默认不勾选。

7.2 MIPI D-PHY TX Advance 配置

MIPI D-PHY TX Advance 配置界面如图 7-2 所示。

图 7-2 MIPI D-PHY TX Advance 配置页面



1. 可通过修改 File Name，配置产生的 MIPI D-PHYTX Advance 文件名称；
2. 可通过修改 Module Name，配置产生的 MIPI D-PHY TX Advance 顶层模块名称；
3. 可通过配置 Options 选项，配置 HS 数据通道数量，配置 LP 模式下时钟和数据通道及确定是否使用内部 PLL 等，各选项配置如表 7-2 所示；
4. 默认配置下，只包含 1 个 HS 时钟通道和 1 个 HS 数据通道。

表 7-2 MIPI D-PHYTX Advance 的 Options 选项配置

选项	描述
MIPI D-PHY Mode	选择数据传输比例模式为 1:8 或 1:16
D-PHY CLK	HS 时钟通道使能，生成 HS_CLK 或 MIPI_CLK
CLK IO Type	选择 HS CLK Lane 端口使用 ELVDS、TLVDS 或 MIPI IO
D-PHY Lane0	HS Lane0 通道使能，生成 HS_DATA0 或 MIPI_LANE0
Lane0 IO Type	选择 HS Lane0 端口使用 ELVDS、TLVDS 或 MIPI IO
D-PHY Lane1	HS Lane1 通道使能，生成 HS_DATA1 或 MIPI_LANE1
Lane1 IO Type	选择 HS Lane1 端口使用 ELVDS、TLVDS 或 MIPI IO

选项	描述
D-PHY Lane2	HS Lane2 通道使能，生成 HS_DATA2 或 MIPI_LANE2
Lane2 IO Type	选择 HS Lane2 端口使用 ELVDS、TLVDS 或 MIPI IO
D-PHY Lane3	HS Lane3 通道使能，生成 HS_DATA3 或 MIPI_LANE3
Lane3 IO Type	选择 HS Lane3 端口使用 ELVDS、TLVDS 或 MIPI IO
LP mode on clock lane	配置 LP 模式下的时钟通道，生成 LP_CLK[1:0]及其它 IO 端口
LP mode on data lane0	配置 LP 模式下的数据通道 0，生成 LP_DATA0[1:0]及其它 IO 端口
LP mode on data lane1	配置 LP 模式下的数据通道 1，生成 LP_DATA1[1:0]及其它 IO 端口
LP mode on data lane2	配置 LP 模式下的数据通道 2，生成 LP_DATA2[1:0]及其它 IO 端口
LP mode on data lane3	配置 LP 模式下的数据通道 3，生成 LP_DATA3[1:0]及其它 IO 端口
D-PHY TX with Internal PLL	配置此选项后，TX 模块将使用内部 PLL，内部 PLL 会产生具有 90°相位差的两个时钟信号，sclk 为输出的时钟信号。
PLL Reference Clock	若 TX 模块使用内部 PLL，需在此参数设置为 init_clk 的频率。
Generation Config	● 如果勾选，IP 在综合后的网表中不插入 IBUF、OBUF 和 IOBUF； ● 如果不勾选，IP 在综合后的网表中插入 IBUF、OBUF 和 IOBUF； ● 默认不勾选。

附录 **A** MIPI D-PHY 速率表

表 A-1 MIPI D-PHY 速率(小蜜蜂(LittleBee)家族)

Resolution	Frame Rate (HZ)	Bits Per Pixel (Bits)	Total Data Rate (Mbps)	Lane Number	Per Lane Bit Rate (Mbps)	Recommended Gearing Ratio (1:N)	Per Lane Fabric Clock (MHz)
FHD 1920x1080p (2200x1125)	60	8	1188	2	594.0	8	74.25
		10	1485	2	742.5	8	92.81
		16	2376	2	1188.0	16	74.25
		18	2673	4	668.3	8	83.53
		24	3564	4	891.0	8	111.38
	120	8	2376	2	1188.0	16	74.25
		10	2970	4	742.5	8	92.81
		16	4752	4	1188.0	16	74.25
		18	5346	8	668.3	8	83.53
		24	7128	8	891.0	8	111.38
UHD 3840x2160p (4400x2250)	30	8	2376	4	594.0	8	74.25
		10	2970	4	742.5	8	92.81
		16	4752	4	1188.0	16	74.25
		18	5346	8	668.3	8	83.53
		24	7128	8	891.0	8	111.38
	60	8	4752	4	1188.0	16	74.25
		10	5940	8	742.5	8	92.81
		16	9504	8	1188.0	16	74.25

表 A-2 MIPI D-PHY 速率(晨熙 (Arora)家族)

Resolution	Frame Rate (HZ)	Bits Per Pixel (Bits)	Total Data Rate (Mbps)	Lane Number	Per Lane Bit Rate (Mbps)	Recommended Gearing Ratio (1:N)	Per Lane Fabric Clock (MHz)
FHD 1920x1080p (2200x1125)	60	8	1188	2	594.0	8	74.25
		10	1485	2	742.5	8	92.81
		16	2376	2	1188.0	8	148.50
		18	2673	4	668.3	8	83.53
		24	3564	4	891.0	8	111.38
	120	8	2376	2	1188.0	8	148.50
		10	2970	4	742.5	8	92.81
		16	4752	4	1188.0	8	148.50
		18	5346	8	668.3	8	83.53
		24	7128	8	891.0	8	111.38
UHD 3840x2160p (4400x2250)	30	8	2376	4	594.0	8	74.25
		10	2970	4	742.5	8	92.81
		16	4752	4	1188.0	8	148.50
		18	5346	8	668.3	8	83.53
		24	7128	8	891.0	8	111.38
	60	8	4752	4	1188.0	8	148.50
		10	5940	8	742.5	8	92.81
		16	9504	8	1188.0	8	148.50

