



MJB\_V1.2

# 用户手册

MDBUG1051-1.0,2022-12-02

## 版权所有 © 2022 魔幻糖豆组织

魔幻糖豆组织提供的内容或服务可用于个人学习或研究，以及其他非商业性或非盈利性用途，但同时应遵守著作权法及其他相关法律的规定，不得侵犯相关权利人的合法权益，除此以外，将本组织任何内容或服务用于其他用途时，须征得本组织及相关权利人的书面许可。魔幻糖豆组织呈现的任何内容，包括但不限于商标、设计、文字、图片、视频和任何其他信息，未经特殊说明，其著作权均归本组织所有。

### 免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。本文档的所有图片(包括但不限于插图、设计图等)、模型、文字描述等，仅作为参考信息，非魔幻糖豆组织的任何承诺或要约。任何个人、单位或组织因本组织或依赖其内容进行交易所引致的损失，魔幻糖豆组织不承担任何责任。魔幻糖豆组织对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，保留修改文档中任何内容的权利，恕不另行通知。魔幻糖豆组织不承诺对这些文档进行适时的更新。

## 版本信息

| 日期         | 版本  | 说明    |
|------------|-----|-------|
| 2022/12/02 | 1.0 | 初始版本。 |

# 目录

|                               |          |
|-------------------------------|----------|
| 目录 .....                      | i        |
| 图目录 .....                     | iii      |
| 表目录 .....                     | iv       |
| <b>1 关于本手册 .....</b>          | <b>1</b> |
| 1.1 手册内容 .....                | 1        |
| 1.2 适用产品 .....                | 1        |
| 1.3 相关文档 .....                | 1        |
| 1.4 术语、缩略语 .....              | 2        |
| 1.5 技术支持与反馈 .....             | 2        |
| <b>2 开发板简介 .....</b>          | <b>3</b> |
| 2.1 概述 .....                  | 3        |
| 2.2 MJB 子卡 .....              | 4        |
| 2.2.1 MJB_Mic .....           | 4        |
| 2.2.2 MJB_Camera_V2.1 .....   | 4        |
| 2.2.3 MJB_Accelerometer ..... | 4        |
| 2.3 PCB 组件 .....              | 5        |
| 2.4 系统框图 .....                | 5        |
| 2.5 特性 .....                  | 6        |
| <b>3 开发板电路 .....</b>          | <b>7</b> |
| 3.1 FPGA 模块 .....             | 7        |
| 3.2 下载模块 .....                | 7        |
| 3.2.1 概述 .....                | 7        |
| 3.2.2 USB 下载电路 .....          | 8        |
| 3.2.3 下载流程 .....              | 8        |

|                        |           |
|------------------------|-----------|
| 3.2.4 管脚分配.....        | 8         |
| 3.3 电源.....            | 9         |
| 3.3.1 概述.....          | 9         |
| 3.3.2 FPGA 电源管脚分配..... | 9         |
| 3.4 时钟、复位.....         | 10        |
| 3.4.1 概述.....          | 10        |
| 3.4.2 管脚分配.....        | 10        |
| 3.5 按键.....            | 11        |
| 3.5.1 概述.....          | 11        |
| 3.5.2 管脚分配.....        | 11        |
| 3.6 LED.....           | 12        |
| 3.6.1 概述.....          | 12        |
| 3.6.2 管脚分配.....        | 12        |
| 3.7 MIPI 接口.....       | 13        |
| 3.7.1 介绍.....          | 13        |
| 3.7.2 管脚分配.....        | 13        |
| 3.8 GPIO.....          | 14        |
| 3.8.1 介绍.....          | 14        |
| 3.8.2 管脚分配.....        | 15        |
| 3.9 HDMI.....          | 16        |
| 3.9.1 概述.....          | 16        |
| 3.9.2 HDMI 电路.....     | 16        |
| 3.9.3 管脚分配.....        | 17        |
| <b>4 快速应用.....</b>     | <b>18</b> |
| 4.1 安装软件.....          | 18        |
| 4.2 开发板上电测试.....       | 18        |
| 4.3 编译 Demo 程序.....    | 18        |
| 4.4 下载运行.....          | 20        |

# 图目录

|                                  |    |
|----------------------------------|----|
| 图 2-1 MJB_V1.2 开发板 .....         | 3  |
| 图 2-2 开发板 PCB 组件说明 .....         | 5  |
| 图 2-3 系统框图 .....                 | 5  |
| 图 3-1 FPGA USB 下载连接示意图 .....     | 8  |
| 图 3-2 时钟连接示意图 .....              | 10 |
| 图 3-3 按键电路 .....                 | 11 |
| 图 3-3 LED 灯电路 .....              | 12 |
| 图 3-4 MIPI 接口连接示意图 .....         | 13 |
| 图 3-5 GPIO 排针连接示意图 .....         | 14 |
| 图 3-6 HDMI 连接示意图 .....           | 16 |
| 图 4-1 Design 窗口 .....            | 18 |
| 图 4-2 Process 窗口 .....           | 19 |
| 图 4-3 编译完成信息 .....               | 19 |
| 图 4-4 Programmer 窗口 .....        | 20 |
| 图 4-5 Device Configure 窗口 .....  | 20 |
| 图 4-6 单击 Program/Configure ..... | 21 |

# 表目录

|                            |    |
|----------------------------|----|
| 表 1-1 术语、缩略语 .....         | 2  |
| 表 3-1 FPGA 下载与配置管脚分配 ..... | 8  |
| 表 3-2 FPGA 电源管脚分配 .....    | 9  |
| 表 3-3 时钟、复位管脚分配 .....      | 10 |
| 表 3-4 管脚分配 .....           | 11 |
| 表 3-5 以太网模块管脚分配 .....      | 12 |
| 表 3-6 MIPI 接口管脚分配 .....    | 13 |
| 表 3-7 J5 管脚分配 .....        | 15 |
| 表 3-8 HDMI_TX 管脚分配 .....   | 17 |
| 表 3-9 HDMI_RX 管脚分配 .....   | 17 |

# 1 关于本手册

## 1.1 手册内容

MJB\_V1.2 开发板（以下简称开发板）用户手册分为三个部分：

- 简要介绍开发板的功能特点。
- 介绍开发板整体系统架构和硬件资源。
- 介绍开发板各部分硬件电路的功能、电路及管脚分配。

## 1.2 适用产品

本手册中描述的信息可适用于以下高云 FPGA 产品：GW2AR-LV18QN88P 器件。

## 1.3 相关文档

通过登录 Magic Jelly Bean Organization 网站 [www.magicjellybean.org](http://www.magicjellybean.org) 可下载、查看相关文档。



## 1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

**表 1-1 术语、缩略语**

| 术语、缩略语 | 全称                                 | 含义            |
|--------|------------------------------------|---------------|
| BSRAM  | Block Static Random Access Memory  | 块状静态随机存储器     |
| DDR    | Double Data Rate                   | 双倍速率          |
| DSP    | Digital Signal Processing          | 数字信号处理        |
| FLASH  | Flash Memory                       | 非易失存储器        |
| FPGA   | Field Programmable Gate Array      | 现场可编程门阵列      |
| GPIO   | Gowin Programmable I/O             | Gowin 可编程通用管脚 |
| LDO    | Low Dropout Regulator              | 低压差线性稳压器      |
| LUT4   | 4-input Look-up Table              | 4 输入查找表       |
| LVDS   | Low-Voltage Differential Signaling | 低电压差分信号       |
| MJB    | Magic Jelly Bean                   | 魔幻糖豆          |
| SSRAM  | Shadow Static Random Access Memory | 附加静态随机存储器     |

## 1.5 技术支持与反馈

Magic Jelly Bean 提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

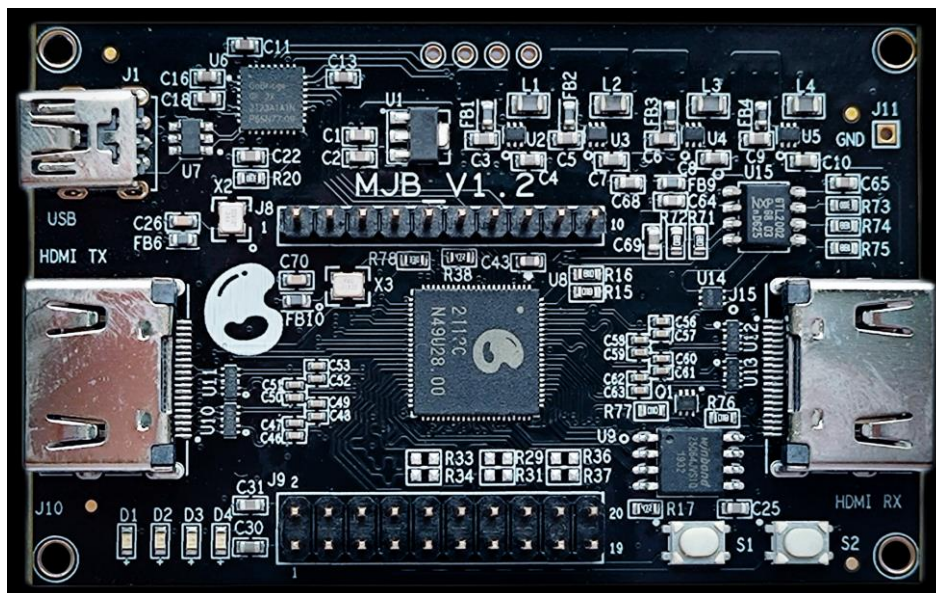
网址：[www.magicjellybean.org](http://www.magicjellybean.org)

E-mail：[admin@magicjellybean.org](mailto:admin@magicjellybean.org)

# 2 开发板简介

## 2.1 概述

图 2-1 MJB\_V1.2 开发板



MJB\_V1.2 开发板采用高云半导体 GW2AR-18 FPGA 器件，内嵌 64 Mbit PSRAM 资源。高云半导体 GW2AR 系列 FPGA 产品是高云半导体晨熙®家族第一代产品，是一款系统级封装芯片，在 GW2A 系列基础上集成了丰富容量的存储资源，同时具有 GW2A 系列高性能的 DSP 资源、高速 LVDS 接口以及丰富的 BSRAM 存储器资源，这些内嵌的资源搭配精简的 FPGA 架构以及 55nm 工艺使 GW2AR 适用于高速低成本的应用场合。

MJB\_V1.2 开发板采用 Micro USB 接口，方便可靠的连接方式，方便应用于各种物联网硬件终端场合。MJB\_V1.2 板可以作为最小的系统独立工作，也可搭配 MJB Mic 子卡、MJB Accelerometer 子卡或 MJB Camera 子卡一起使用。MJB\_V1.2 板提供 2 路 HDMI 作为接收与发送，最大可输入/输出 720P 图像。板上提供 1 个 2.54mm 间距 10Pin 单列排针、1 个 2.54mm 间距 20Pin 双列排针作为 MJB 子卡或者其他设备的输入接口。

## 2.2 MJB 子卡

### 2.2.1 MJB\_Mic

MJB\_Mic 子卡为 MJB\_V1.2 板提供声音采集功能。

MJB\_Mic 子卡通过 Pin 排座与 MJB\_V1.2 连接配合使用，按照相同 Pin 排座排针对应连接即可。

子卡上提供 2 个 I2S 接口的 MEMS 麦克风与 8 个 LED 灯。

### 2.2.2 MJB\_Camera\_V2.1

MJB\_Camera\_V2.1 子卡为 MJB\_V1.2 板提供摄像功能。

MJB\_Camera\_V2.1 子卡需通过 Pin 排座与 MJB\_V1.2 连接配合使用，按照相同 Pin 排座排针对应连接即可。

子卡上提供 1 组 DC/DC(3.3V 转 2.8V) 及 5 个 LED 灯。

### 2.2.3 MJB\_Accelerometer

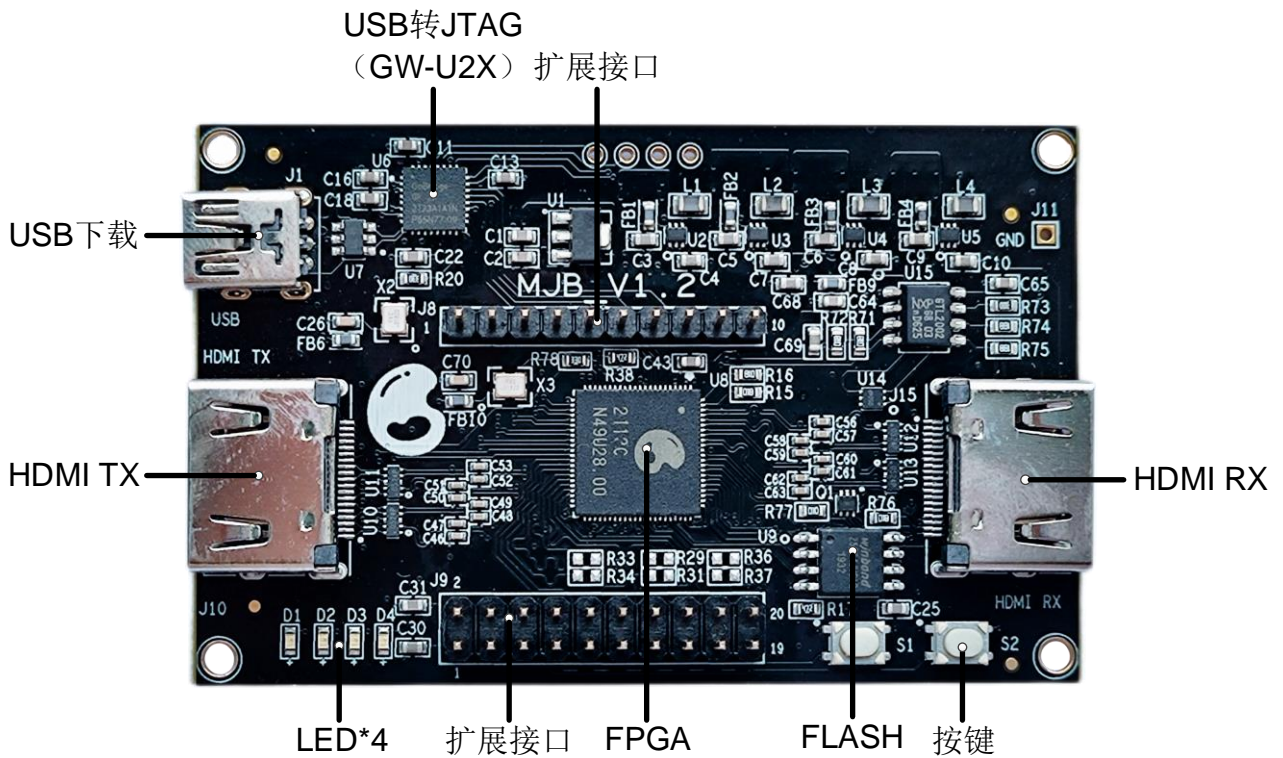
MJB\_Accelerometer 子卡为 MJB\_V1.2 板提供速度检测功能。

MJB\_Accelerometer 子卡通过 Pin 排座与 MJB\_V1.2 连接配合使用，按照相同 Pin 排座排针对应连接即可。

子卡上提供 1 个 I2S 接口的 Accelerometer 与 8 个 LED 灯。

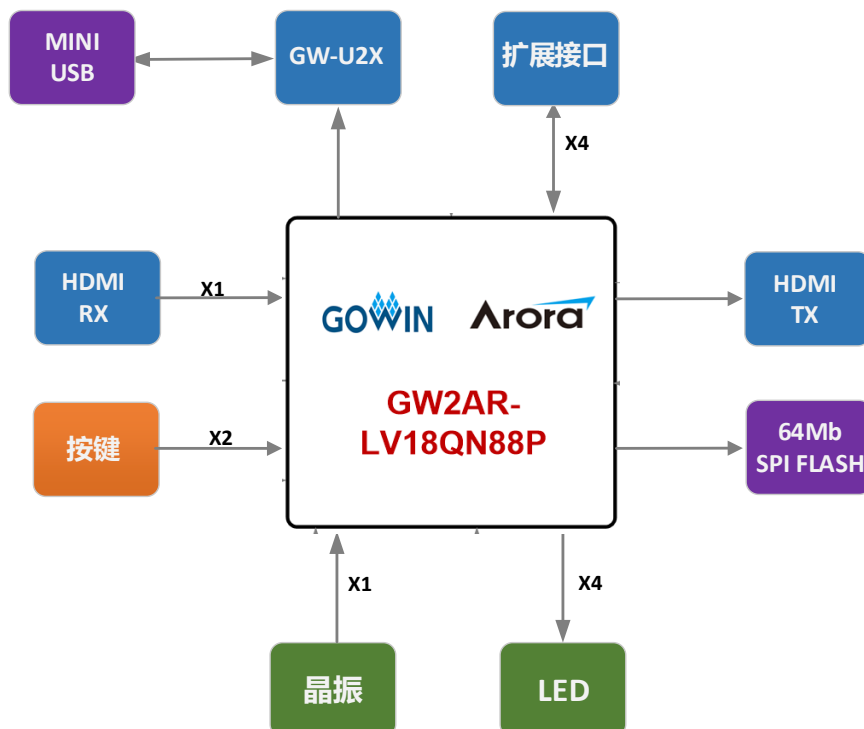
## 2.3 PCB 组件

图 2-2 开发板 PCB 组件说明



## 2.4 系统框图

图 2-3 系统框图



## 2.5 特性

开发板组成结构及特性如下：

1. FPGA
  - 采用 QN88 封装
  - 多达 66 个用户 I/O
  - 丰富的 LUT4 资源
  - 多种模式、容量丰富的 B-SRAM
2. FPGA 配置模式
  - JTAG
  - MSPI
3. 时钟资源
  - 12MHz 时钟晶振
4. 按键
  - 2 个按键开关
5. LED
  - 4 个 LED
6. 存储
  - 64Mbit 内嵌 PSRAM
  - 64Mbit 外置 SPI Flash
7. GPIO
  - 16 个扩展 I/O 资源
8. MIPI
  - 1 路 MIPI 接口（1clk+2data）
9. HDMI
  - 1 路 HDMI TX 接口；
  - 1 路 HDMI RX 接口
10. 核心板扩展接口
  - 可连接高云核心板（麦克风核心板、摄像头核心板等）
11. DC-DC(LDO)电源
  - 提供 3.3V、2.8V、2.5V、1.8V、1.2V、1.0V 电源

# 3 开发板电路

## 3.1 FPGA 模块

### 概述

GW2AR 系列 FPGA 产品资源信息请参考 [DS226, GW2AR 系列 FPGA 产品数据手册](#)。

### I/O BANK 说明

GW2AR 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息请参考 [UG229, GW2AR 系列 FPGA 产品封装与管脚手册](#)。

## 3.2 下载模块

### 3.2.1 概述

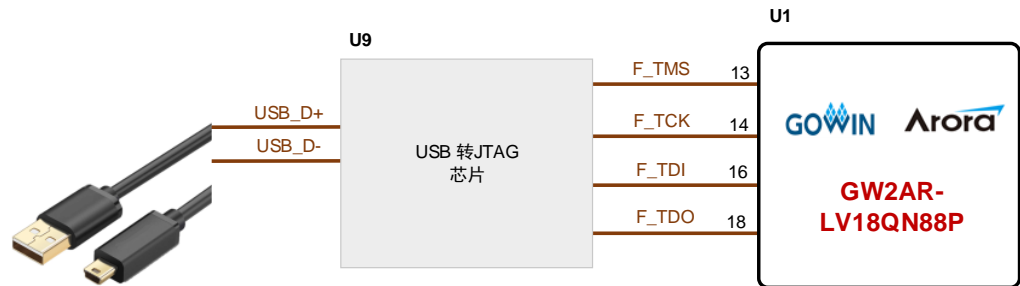
开发板提供 USB 下载接口。下载时可根据需要下载至片内 SRAM、外部 SPI Flash。

#### 注！

- 下载至 SRAM 时，当器件掉电后数据流文件会丢失，重新上电需再次下载数据流文件。
- 下载至 SPI Flash 后，掉电后数据流文件不会丢失。

### 3.2.2 USB 下载电路

图 3-1 FPGA USB 下载连接示意图



### 3.2.3 下载流程

#### 1. FPGA SRAM 下载模式：

将 USB 数据线插在开发板的 USB 接口（J1）。然后上电，并打开 Programmer 工具，选择 SRAM mode，并选入需要下载的 bitstream 文件。

#### 2. FPGA MSPI 下载模式：

将 USB 数据线插在开发板的 USB 接口（J1），然后上电，并打开 Programmer 工具，选择 External Flash mode，并选入需要下载的 bitstream 文件及 FLASH 器件型号。下载成功后，关掉电源，然后加电，器件会从外部 Flash 导入 bitstream 文件到 SRAM 中。

### 3.2.4 管脚分配

表 3-1 FPGA 下载与配置管脚分配

| 信号名称 | FPGA 管脚号 | BANK | I/O 电平 | 描述      |
|------|----------|------|--------|---------|
| TCK  | 6        | 2    | 1.8V   | JTAG 信号 |
| TDO  | 8        | 2    | 1.8V   | JTAG 信号 |
| TDI  | 7        | 2    | 1.8V   | JTAG 信号 |
| TMS  | 5        | 2    | 1.8V   | JTAG 信号 |

## 3.3 电源

### 3.3.1 概述

电源 DC5V 由 USB 接口输入，采用 TI 的 LDO 电源芯片和 ONSEMI 的 DC-DC 电源芯片，实现由 5V 到 3.3V、2.8V、2.5V、1.8V、1.2V、1.0V 的变换，可满足开发板的电源需求。

### 3.3.2 FPGA 电源管脚分配

表 3-2 FPGA 电源管脚分配

| 信号名称     | FPGA 管脚序号           | BANK | 描述                     | I/O 电平 |
|----------|---------------------|------|------------------------|--------|
| VCCO0    | 78                  | 0    | I/O Bank 电压            | 2.5V   |
| VCCO1    | 12、67               | 1    | I/O Bank 电压            | 2.5V   |
| VCCO2    | 3、64                | 2    | I/O Bank 电压            | 1.8V   |
| VCCO3    | 58                  | 3    | I/O Bank 电压            | 2.5V   |
| VCCO4    | 44                  | 4    | I/O Bank 电压            | 1.2V   |
| VCCO5    | 23                  | 5    | I/O Bank 电压            | 2.5V   |
| VCCO6    | 12、67               | 6    | I/O Bank 电压            | 2.5V   |
| VCCO7    | 3、64                | 7    | I/O Bank 电压            | 1.8V   |
| VCCPLLL1 | 14                  | -    | PLLL1 电源               | 1.0V   |
| VCCPLLR1 | 50                  | -    | PLLR1 电源               | 1.0V   |
| VCCX     | 12、67               | -    | 辅助电压内部与 VCCO1、VCCO6 相连 | 2.5V   |
| VCC      | 1、22、45、66          | -    | 核电压                    | 1.0V   |
| VSS      | 2、21、24、43、46、65、68 | -    | GND                    |        |



## 3.4 时钟、复位

### 3.4.1 概述

开发板提供了一个 12MHz 晶振，连接到 PLL 输入管脚，可作为 FPGA 内部 PLL 的时钟输入，通过 PLL 的分倍频可以输出用户所需的时钟。

图 3-2 时钟连接示意图



### 3.4.2 管脚分配

表 3-3 时钟、复位管脚分配

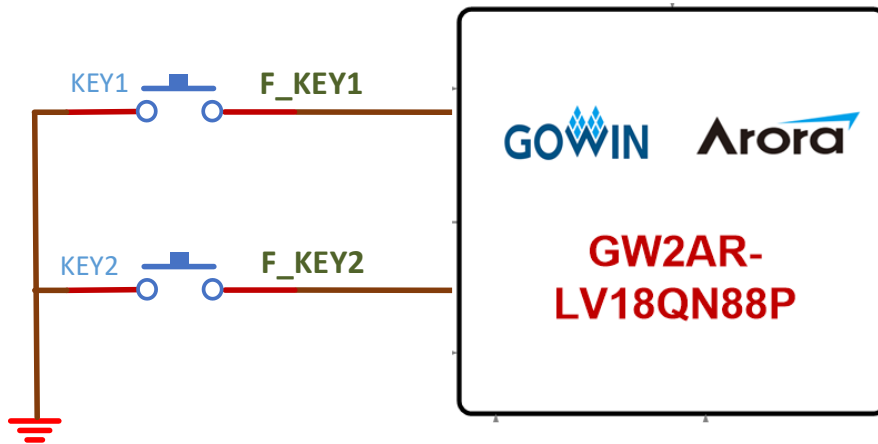
| 信号名称                | FPGA 管脚号 | BANK | I/O 电平 | 描述           |
|---------------------|----------|------|--------|--------------|
| FPGA_18KC<br>LK_12M | 13       | 6    | 2.5V   | 12MHz 有源晶振输入 |

## 3.5 按键

### 3.5.1 概述

为方便用户功能扩展和测试，在开发板上预留了两个按键。

图 3-3 按键电路



### 3.5.2 管脚分配

表 3-4 管脚分配

| 信号名称   | FPGA 管脚号 | BANK | I/O 电平 | 描述   |
|--------|----------|------|--------|------|
| F_KEY1 | 36       | 2    | 1.2V   | KEY1 |
| F_KEY2 | 35       | 2    | 1.2V   | KEY2 |

## 3.6 LED

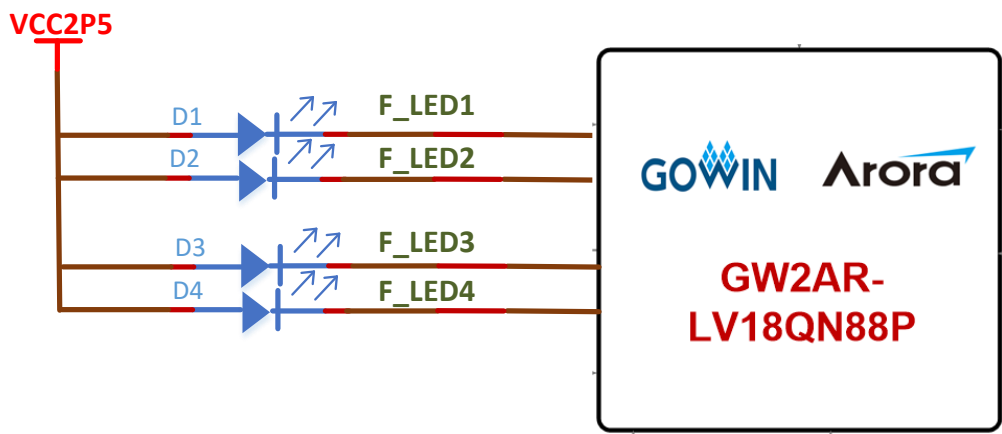
### 3.6.1 概述

开发板中有 4 个 LED 灯，用户可通过 LED 灯显示所需状态。

可通过以下方式对 LED 灯进行测试：

- 当 FPGA 对应管脚输出信号为逻辑低电平时，LED 被点亮；
- 当输出信号为高电平时，LED 熄灭。

图 3-4 LED 灯电路



### 3.6.2 管脚分配

表 3-5 以太网模块管脚分配

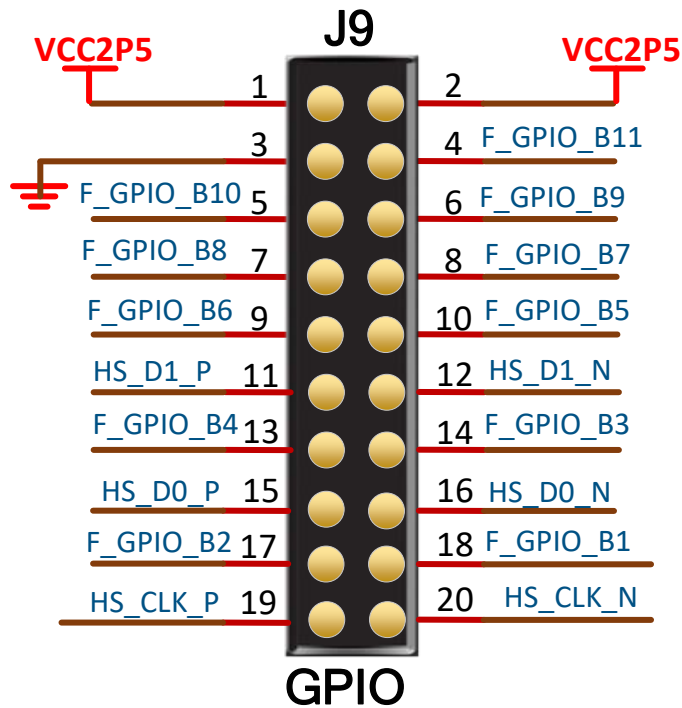
| 信号名称   | FPGA 管脚号 | BANK | I/O 电平 | 描述   |
|--------|----------|------|--------|------|
| F_LED1 | 4        | 7    | 1.8V   | LED1 |
| F_LED2 | 20       | 6    | 2.5V   | LED2 |
| F_LED3 | 33       | 5    | 2.5V   | LED3 |
| F_LED4 | 34       | 5    | 2.5V   | LED4 |

## 3.7 MIPI 接口

### 3.7.1 介绍

为方便用户功能扩展和测试，在开发板上预留 1 个 MIPI 接口。MIPI 接口为 1 个 clk 通道+2 个 data 通道。（和 GPIO 共用一组排针）

图 3-5 MIPI 接口连接示意图



### 3.7.2 管脚分配

表 3-6 MIPI 接口管脚分配

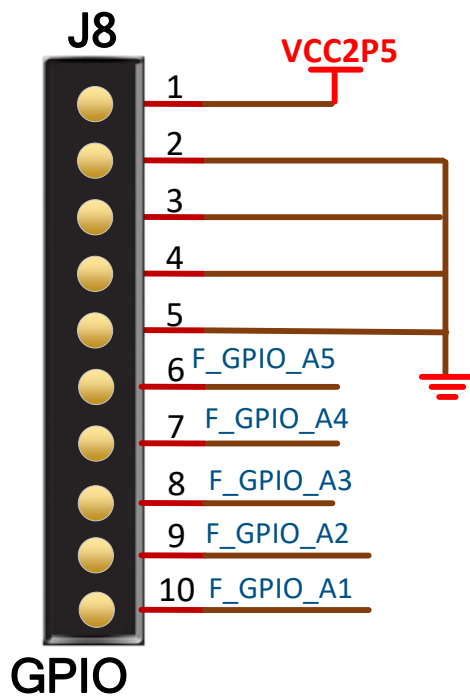
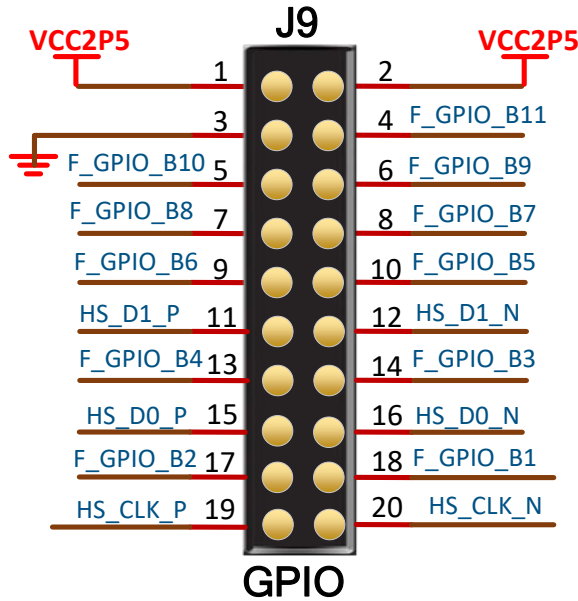
| 信号名称     | FPGA 管脚号 | BANK | I/O 电平 | 描述         |
|----------|----------|------|--------|------------|
| HS_CLK_P | 77       | 1    | 2.5V   | CLK 信号线+   |
| HS_CLK_N | 76       | 1    | 2.5V   | CLK 信号线-   |
| HS_D0_P  | 75       | 1    | 2.5V   | DATA0 信号线+ |
| HS_D0_N  | 74       | 1    | 2.5V   | DATA0 信号线- |
| HS_D1_P  | 73       | 1    | 2.5V   | DATA1 信号线+ |
| HS_D1_N  | 72       | 1    | 2.5V   | DATA1 信号线- |

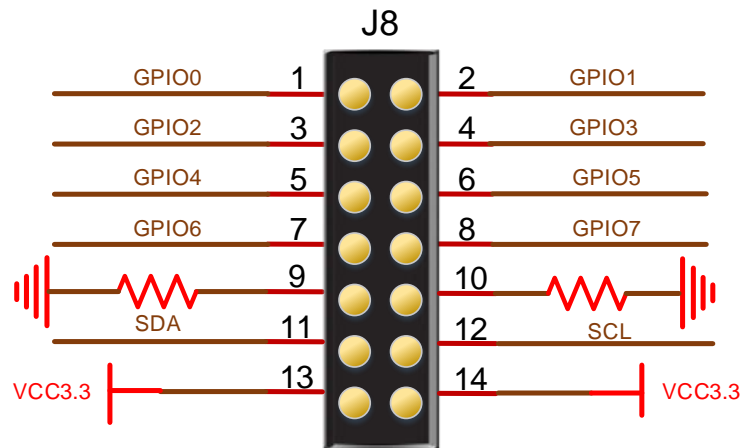
### 3.8 GPIO

#### 3.8.1 介绍

开发板上引出两组排针（J8、J9），一组 20Pin 排针(J9)，共有 11 个普通 GPIO，一组 1CLK+2DATA 的 MIPI 接口，一组 10Pin 排针(J8)，共有 5 个普通 GPIO，用户可以根据需求进行选择。

图 3-6 GPIO 排针连接示意图





### 3.8.2 管脚分配

表 3-7 J5 管脚分配

| 信号名称       | FPGA 管脚号 | BANK | I/O 电平 | 描述    |
|------------|----------|------|--------|-------|
| F_GPIO_A1  | 15       | 6    | 2.5V   | 普通 IO |
| F_GPIO_A2  | 16       | 6    | 2.5V   | 普通 IO |
| F_GPIO_A3  | 17       | 6    | 2.5V   | 普通 IO |
| F_GPIO_A4  | 18       | 6    | 2.5V   | 普通 IO |
| F_GPIO_A5  | 19       | 6    | 2.5V   | 普通 IO |
| F_GPIO_B1  | 70       | 1    | 2.5V   | 普通 IO |
| F_GPIO_B2  | 69       | 1    | 2.5V   | 普通 IO |
| F_GPIO_B3  | 55       | 3    | 2.5V   | 普通 IO |
| F_GPIO_B4  | 71       | 1    | 2.5V   | 普通 IO |
| F_GPIO_B5  | 54       | 3    | 2.5V   | 普通 IO |
| F_GPIO_B6  | 56       | 3    | 2.5V   | 普通 IO |
| F_GPIO_B7  | 52       | 3    | 2.5V   | 普通 IO |
| F_GPIO_B8  | 53       | 3    | 2.5V   | 普通 IO |
| F_GPIO_B9  | 49       | 3    | 2.5V   | 普通 IO |
| F_GPIO_B10 | 51       | 3    | 2.5V   | 普通 IO |
| F_GPIO_B11 | 48       | 3    | 2.5V   | 普通 IO |

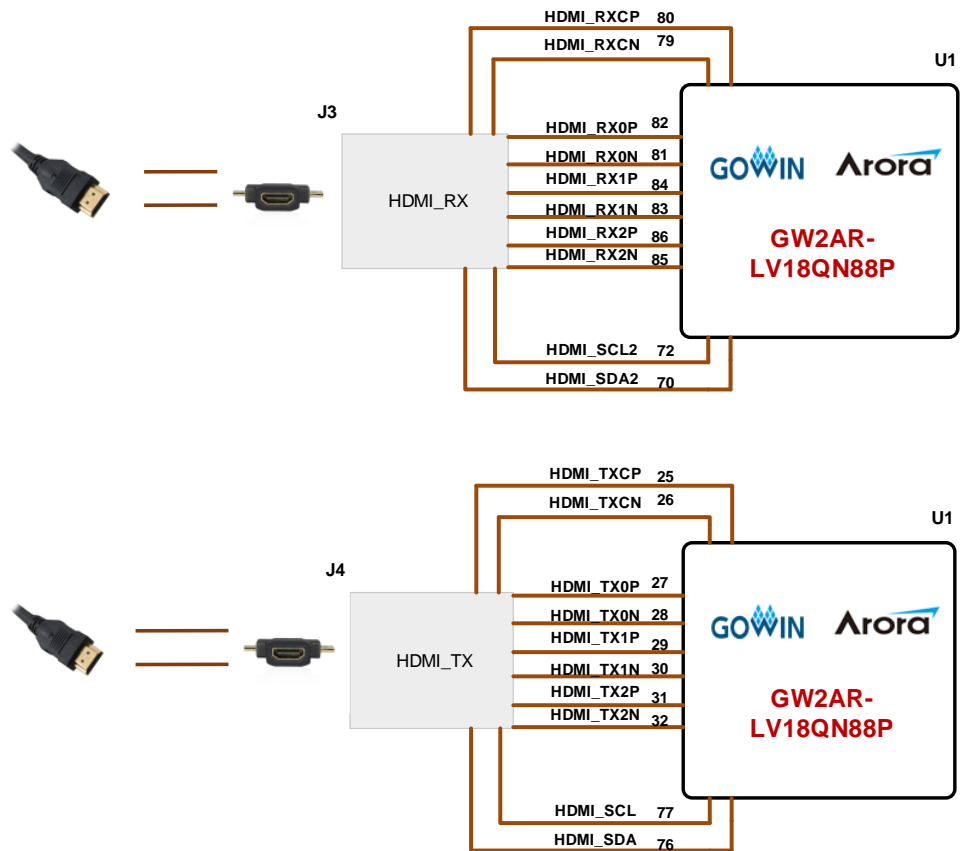
## 3.9 HDMI

### 3.9.1 概述

为方便用户进行图像输入 FPGA 和 FPGA 图像处理后输出，预留 1 路 HDMI RX 接口和 1 路 HDMI TX 接口。

### 3.9.2 HDMI 电路

图 3-7 HDMI 连接示意图



### 3.9.3 管脚分配

表 3-8 HDMI\_TX 管脚分配

| 信号名称      | FPGA 管脚序号 | BANK | 描述         | I/O 电平 |
|-----------|-----------|------|------------|--------|
| HDMI_TXCP | 25        | 5    | TMDS 时钟信号+ | 2.5V   |
| HDMI_TXCN | 26        | 5    | TMDS 时钟信号- | 2.5V   |
| HDMI_TX0P | 27        | 5    | TMDS 数据 0+ | 2.5V   |
| HDMI_TX0N | 28        | 5    | TMDS 数据 0- | 2.5V   |
| HDMI_TX1P | 29        | 5    | TMDS 数据 1+ | 2.5V   |
| HDMI_TX1N | 30        | 5    | TMDS 数据 1- | 2.5V   |
| HDMI_TX2P | 31        | 5    | TMDS 数据 2+ | 2.5V   |
| HDMI_TX2N | 32        | 5    | TMDS 数据 2- | 2.5V   |

表 3-9 HDMI\_RX 管脚分配

| 信号名称      | FPGA 管脚序号 | BANK | 描述         | I/O 电平 |
|-----------|-----------|------|------------|--------|
| HDMI_RXCP | 80        | 0    | TMDS 时钟信号+ | 2.5V   |
| HDMI_RXCN | 79        | 0    | TMDS 时钟信号- | 2.5V   |
| HDMI_RX0P | 82        | 0    | TMDS 数据 0+ | 2.5V   |
| HDMI_RX0N | 81        | 0    | TMDS 数据 0- | 2.5V   |
| HDMI_RX1P | 84        | 0    | TMDS 数据 1+ | 2.5V   |
| HDMI_RX1N | 83        | 0    | TMDS 数据 1- | 2.5V   |
| HDMI_RX2P | 86        | 0    | TMDS 数据 2+ | 2.5V   |
| HDMI_RX2N | 85        | 0    | TMDS 数据 2- | 2.5V   |
| HDMI_SCL2 | 10        | 6    | DDC 时钟线    | 2.5V   |
| HDMI_SDA2 | 11        | 6    | DDC 数据线    | 2.5V   |



# 4 快速应用

## 4.1 安装软件

首先安装高云 EDA 软件（Gowin 云源软件），用于创建、编译、下载 FPGA Demo 程序，进入官网-开发者专区-EDA 软件页面（<http://www.gowinsemi.com.cn/faq.aspx>），完成下载 EDA 软件、申请 License、获取软件用户指南等操作，可参考 [SUG100, Gowin 云源软件用户指南](#)。

## 4.2 开发板上电测试

MJB\_V1.2 开发板在出厂前，已经将程序下载到片内 FLASH，接通电源，LED 呼吸闪烁，表明开发板可以正常工作。

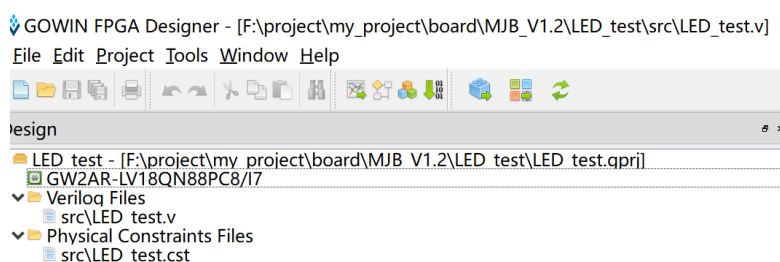
## 4.3 编译 Demo 程序

LED 测试程序，完成的是 1 颗 LED1 秒闪烁一次演示，可在[官网>技术支持>技术文档>开发板>对应的开发板型号](#)栏中下载，将下载的工程放置于非中文目录下，通过高云半导体云源软件打开此工程，并对工程进行编译。

1. 打开 LED\_test.gprj 工程，在 Design 窗口中显示如下信息，其中：

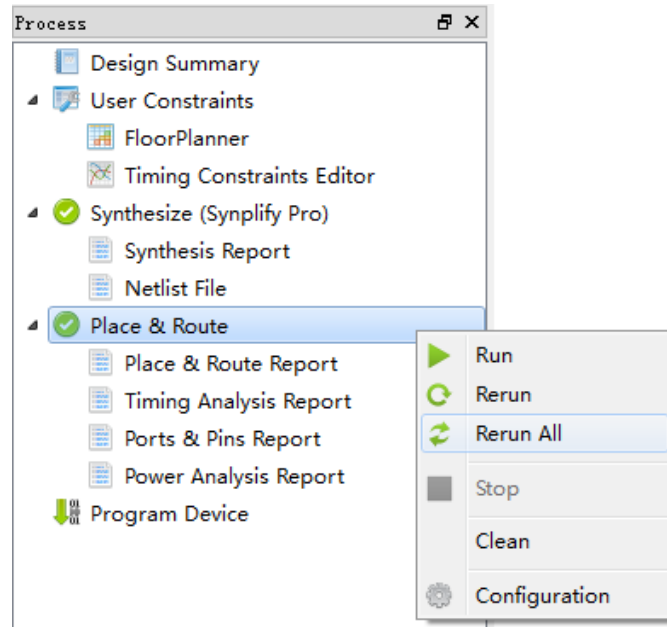
- GW2AR-LV18QFN88PC8I7：高云 FPGA 器件型号
- LED\_test.v：Verilog 代码
- LED\_test.cst：物理约束文件

图 4-1 Design 窗口



2. 切换到“Process”窗口，右键单击“Place & Route”，选择“Rerun All”。

图 4-2 Process 窗口



3. 编译完成后，会显示如下编译完成信息，产生的 bitstream 文件的保存地址为：..LED\_test\impl\pnr\LED\_test.fs。

图 4-3 编译完成信息

```

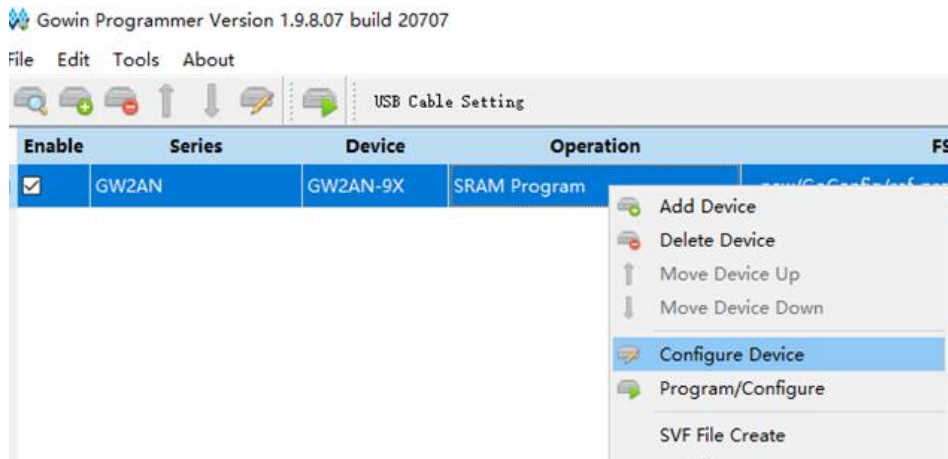
Console
[70%] Routing Phase 1 completed
[80%] Routing Phase 2 completed
[90%] Routing Phase 3 completed
Running timing analysis.....
[95%] Timing analysis completed
Placement and routing completed
Bitstream generation in progress.....
Bitstream generation completed
Running power analysis.....
[100%] Power analysis completed
Generate file "F:\project\my_project\board\MJB_V1.2\LED_test\impl\pnr\LED_test.power.html" completed
Generate file "F:\project\my_project\board\MJB_V1.2\LED_test\impl\pnr\LED_test.pin.html" completed
Generate file "F:\project\my_project\board\MJB_V1.2\LED_test\impl\pnr\LED_test.rpt.html" completed
Generate file "F:\project\my_project\board\MJB_V1.2\LED_test\impl\pnr\LED_test.rpt.txt" completed
Generate file "F:\project\my_project\board\MJB_V1.2\LED_test\impl\pnr\LED_test.tr.html" completed
Tue Nov 29 13:42:46 2022

```

## 4.4 下载运行

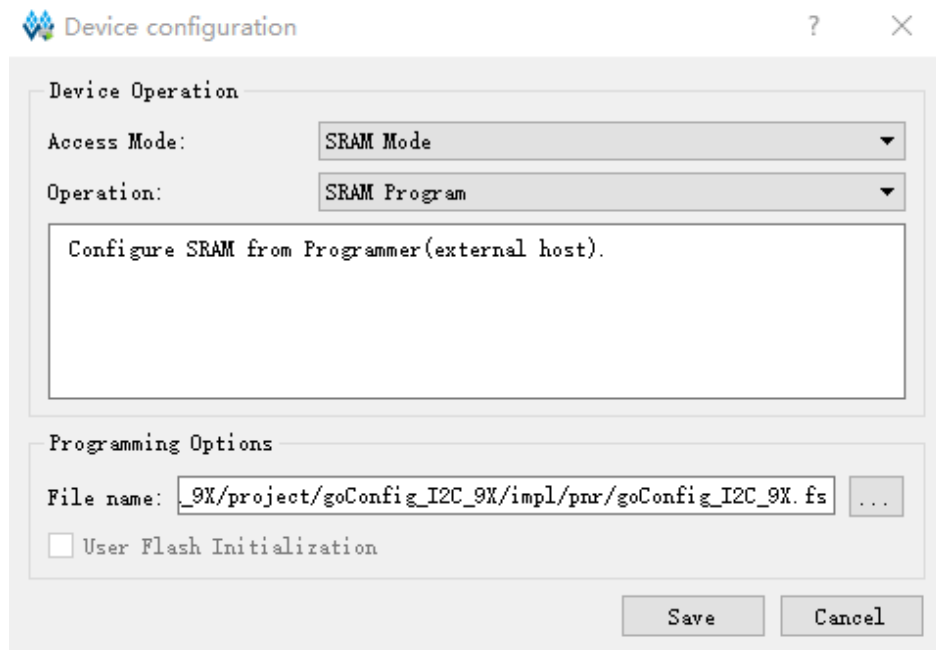
1. 将下载线连通开发板和 PC 机，打开电源开关，在“Process”窗口中双击“Program Device”，弹出“Programmer”窗口，选择对应的器件，右键单击设备列表行，选择“Configure Device”，弹出 Device Configuration 对话框。

图 4-4 Programmer 窗口



2. 按照下图设置下载模式，并指定 bitstream 文件的位置。

图 4-5 Device Configure 窗口



3. 设置完成后, 单击“Program/Configure”按钮, 启动程序下载, 下载完成后, 可观察到开发板的 1 颗 LED 灯闪烁。

图 4-6 单击 Program/Configure

