Gowin RiscV_AE350_SOC 快速开发

用户手册

MUG1030-1.0, 2023-09-12

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和／或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	描述
2023/09/12	1.0	初始版本。

目录

图目录

表目录

1 关于本手册

1.1 手册内容

本手册以 Gowin® RiscV_AE350_SOC 硬件参考设计案例和软件编程参考设计案例为例，描述如何快速建立、配置、下载和调试硬件工程和软件工程，旨在帮助用户快速掌握 Gowin RiscV_AE350_SOC 的软硬件开发方法，节省开发时间，提高开发效率。

1.2 术语、缩略语

本手册中的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
GPIO	Gowin Programmable IO	Gowin 可编程通用管脚
IDE	Integrated Development Environment	集成开发环境
MCU	Micro Controller Unit	微控制器单元
RISC-V	Reduced Instruction Set Computer V	第五代精简指令集计算机
SaG	Scattering and Gathering	散布和收集
SOC	System on Chip	片上系统
UART	Universal Synchronous and Asynchronous Receiver/Transmitter	通用同步和异步接收器/发射器

1.3 技术支持与反馈

高云®半导体提供全方位技术支持，在使用过程中如有疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel：+86 755 8262 0391

2 硬件设计方法

2.1 硬件目标

- DK-START-GW5AT138 V2.0
  - GW5AST-LV138FPG676AES
  - GW5AST-138B

2.2 软件版本

已测试软件版本：云源软件 Gowin_V1.9.9 Beta-3。

2.3 参考设计

…\ref_design\FPGA_RefDesign\DK_START_GW5AT138_V2.0\ae350_demo。

2.4 用户手册

- MUG1031，Gowin RiscV_AE350_SOC 硬件设计用户手册
- SUG100，Gowin 云源软件用户指南
- SUG940，Gowin 设计时序约束指南
- SUG935，Gowin 设计物理约束指南
- SUG502，Gowin Programmer 用户指南

2.5 设计流程

Gowin RiscV_AE350_SOC IP 设计流程，如下所示：

1. 高云半导体云源®软件的 IP 设计工具“IP Core Generator”，配置 RiscV_AE350_SOC IP 选项，产生 RiscV_AE350_SOC IP 设计；
2. 云源软件的 IP 设计工具“IP Core Generator”，配置 PLL_ADV IP 选项，产生 PLL_ADV IP，为 RiscV_AE350_SOC IP 提供时钟资源；

3. 硬件设计中，实例化 RiscV_AE350_SOC IP，实例化 PLL_ADV IP，加入其他用户逻辑设计，连接各模块组成完整的顶层设计；
4. 参照所用开发板，加入物理约束，可以使用云源软件的物理约束工具“FloorPlanner”；
5. 参照软件时序分析报告，加入时序约束，可以使用云源软件的时序约束工具“Timing Constraints Editor”；
6. 配置综合选项、布局布线选项和码流选项；
7. 云源软件的综合工具“GowinSynthesis®”，综合 RiscV_AE350_SOC 硬件设计，产生网表文件；
8. 云源软件的布局布线工具“Place & Route”，布局布线网表文件，产生码流文件；
9. 云源软件的下载工具“Programmer”，下载码流文件。

2.6 详细设计方法

2.6.1 建立工程

双击打开云源软件，新建 FPGA 设计工程。

例如：

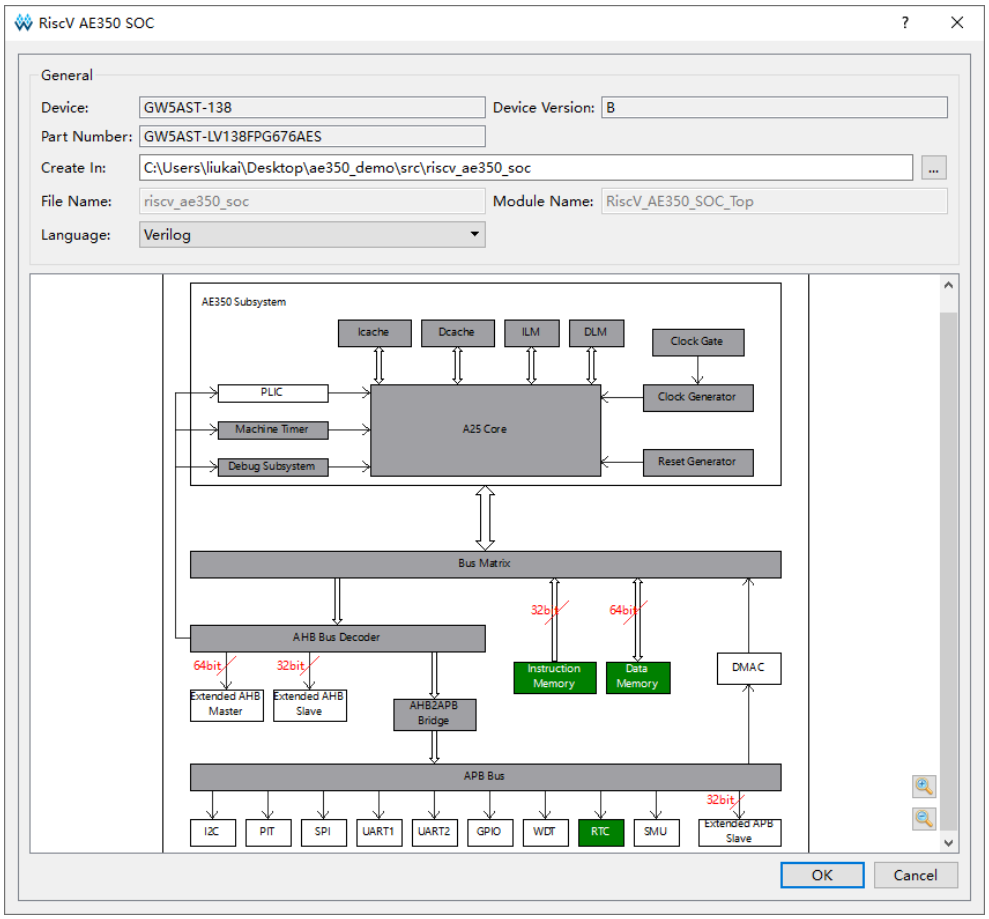
- Series：GW5AST
- Device：GW5AST-138
- Device Version：B
- Package：FCPBGA676A
- Speed：ES
- Part Number：GW5AST-LV138FPG676AES

2.6.2 IP 设计

云源软件的 IP 设计工具“IP Core Generator”，配置 RiscV_AE350_SOC 选项，产生 RiscV_AE350_SOC IP。

在 IP Core Generator 工具中选择“Soft IP Core > Microprocessor System > Hard-Core-MCU > RiscV AE350 SOC 1.0”，打开 RiscV_AE350_SOC IP Core，如图 2-1 所示。

图 2-1 RiscV_AE350_SOC IP Core



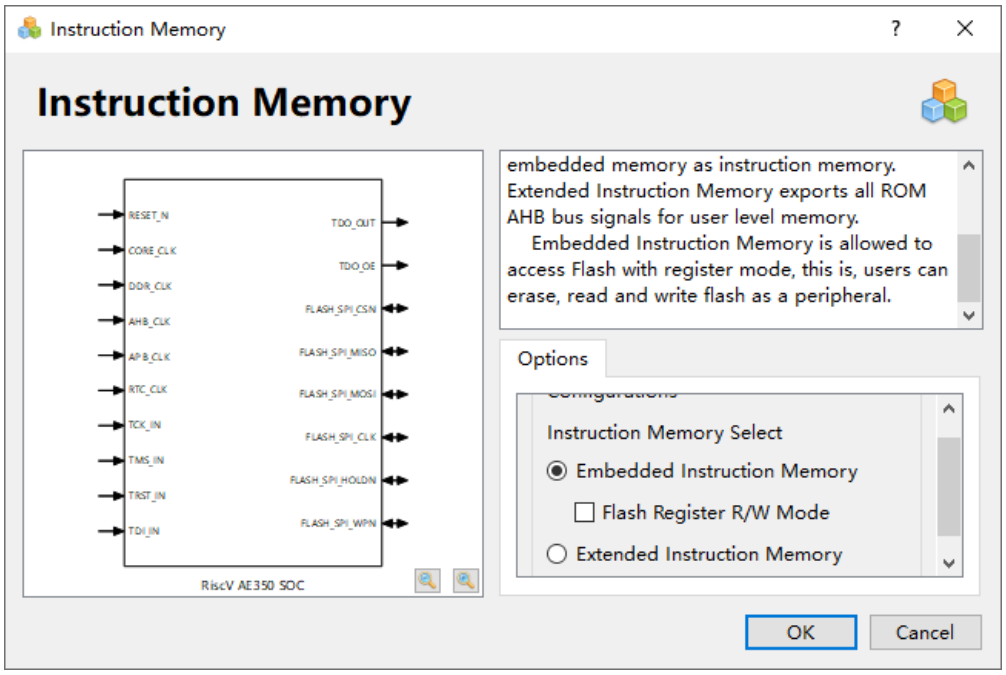
参照应用需求配置相应功能，例如 Instruction Memory、Data Memory、GPIO 和 UART2。

Instruction Memory

双击打开“Instruction Memory”，配置指令存储器选项。

选择“Embedded Instruction Memory”，开启系统内置的 SPI Flash Memory，如图 2-2 所示。

图 2-2 Instruction Memory 配置

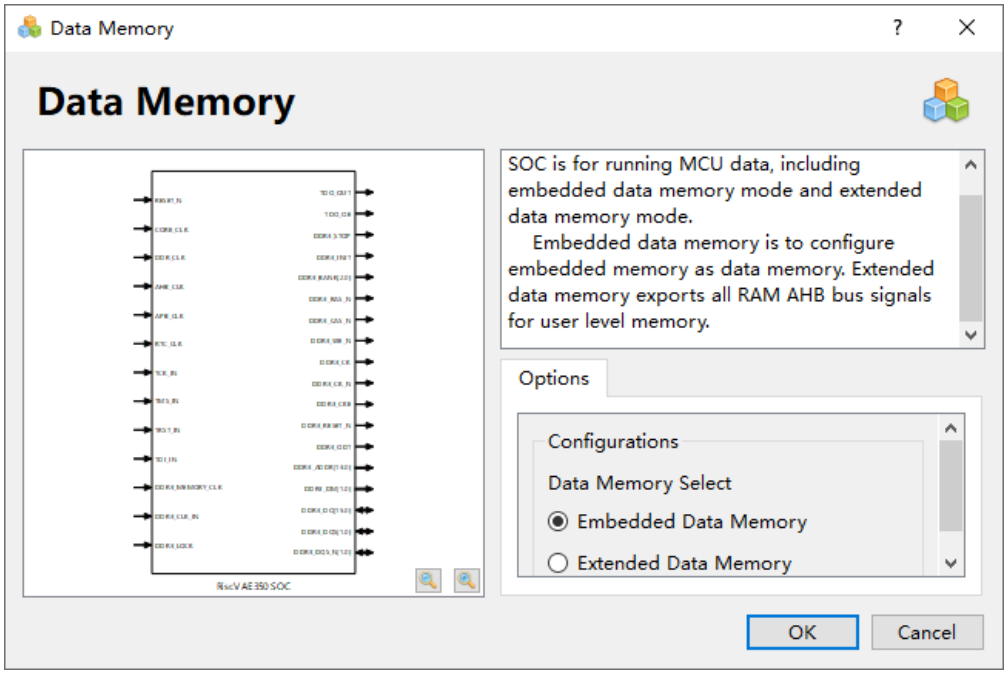


Data Memory

双击打开“Data Memory”，配置数据存储器选项。

选择“Embedded Data Memory”，开启系统内置的 DDR3 Memory，如图 2-3 所示。

图 2-3 Data Memory 配置

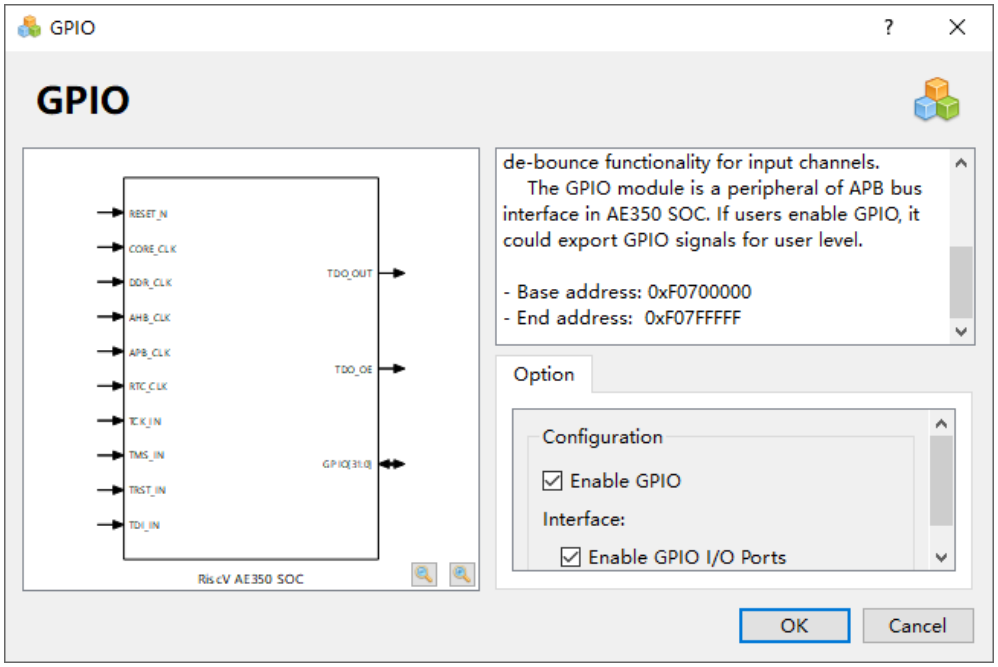


GPIO

双击打开 GPIO，配置 GPIO 选项。

选择“Enable GPIO”和“Enable GPIO I/O Ports”，开启 GPIO 和 GPIO “INOUT”类型端口，如图 2-4 所示。

图 2-4 GPIO 配置

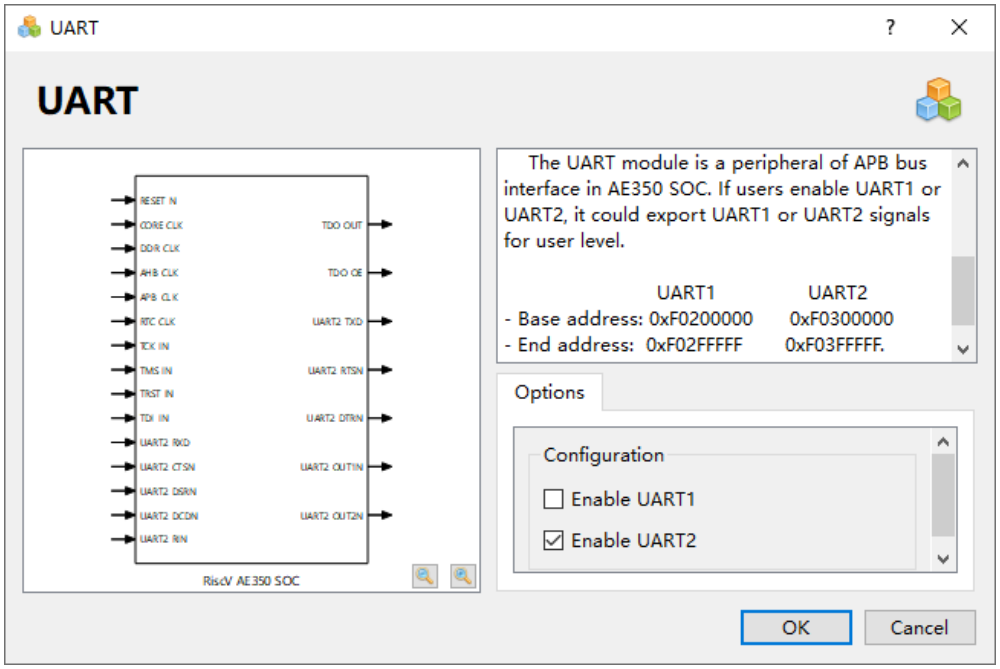


UART2

双击 UART2，配置 UART2 选项。

选择“Enable UART2”，开启 UART2，如图 2-5 所示。

图 2-5 UART2 配置

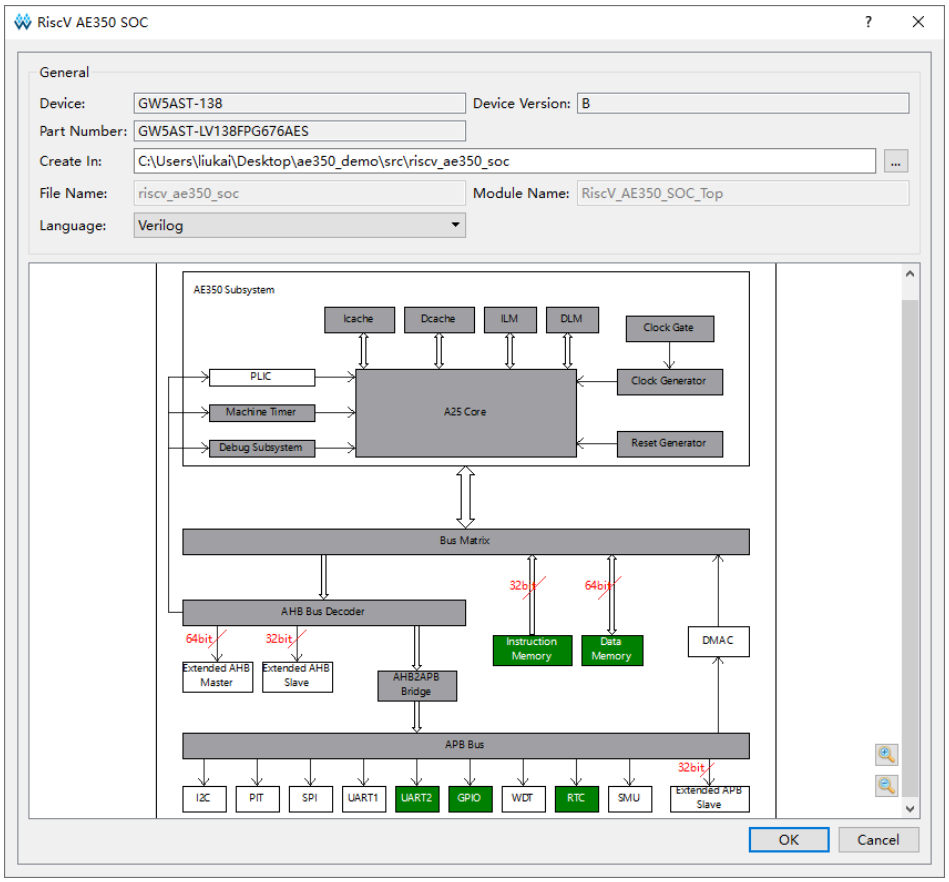


2.6.3 用户设计

RiscV_AE350_SOC IP 设计

云源软件的 IP 设计工具“IP Core Generator”，完成 RiscV_AE350_SOC IP 配置后，单击“OK”，产生 RiscV_AE350_SOC IP 设计，如图 2-6 所示。

图 2-6 RiscV_AE350_SOC IP 设计



PLL_ADV IP 设计

云源软件的 IP 设计工具“IP Core Generator”，配置 PLL_ADV IP 选项，产生 PLL_ADV IP 设计，为 RiscV_AE350_SOC IP 提供时钟资源。

在 IP Core Generator 工具中选择“Hard Module > CLOCK > PLL_ADV 1.0”，请参照参考设计的时钟配置，配置 PLL_ADV IP，产生 PLL_ADV IP 设计，如图 2-7 所示。

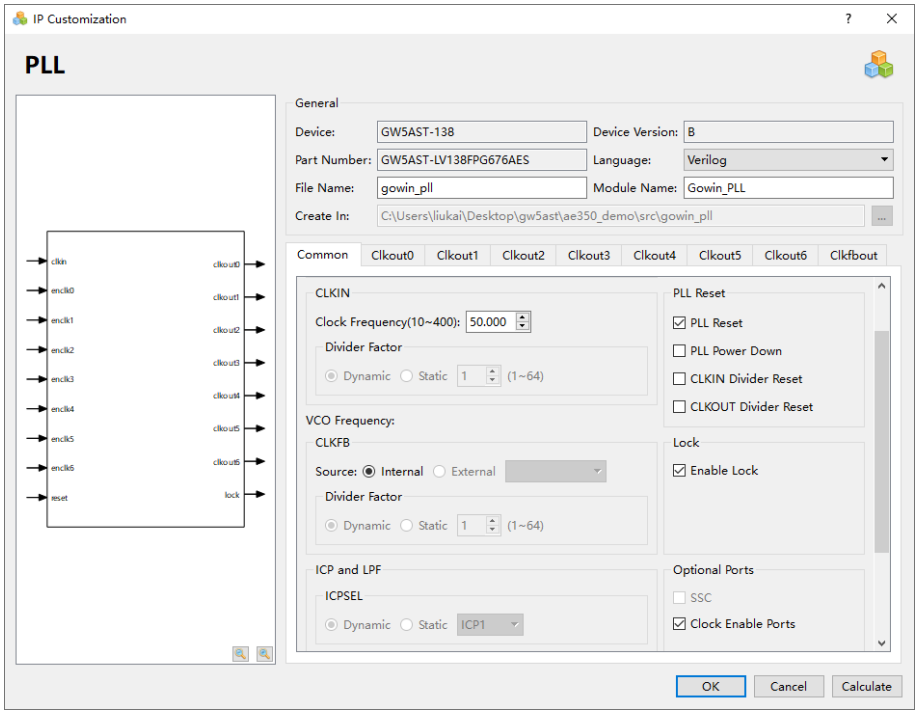
例如用于 RiscV_AE350_SOC 内核的 PLL_ADV IP：

- Clkout0：DDR clock
- Clkout1：CORE clock
- Clkout2：AHB clock
- Clkout3：APB clock
- Clkout4：RTC clock

用于 RiscV_AE350_SOC DDR3 Memory 的 PLL_ADV IP：

- Clkout0：DDR3 input clock
- Clkout2：DDR3 memory clock

图 2-7 PLL_ADV IP 设计



注！

- RiscV_AE350_SOC 的内核时钟由“PLL_R[0] > clkout1”直连提供，必须使用 PLL_ADV IP 的“**clkout1**”产生内核时钟。
- RiscV_AE350_SOC 的 DDR3 Memory 时钟由“PLL_L[0] > clkout2”直连提供，建议使用 PLL_ADV IP 的“**clkout2**”产生 DDR3 Memory 时钟。

用户设计

硬件设计顶层模块中，实例化 RiscV_AE350_SOC IP，实例化 PLL_ADV IP，加入其他用户逻辑设计，连接各模块组成完整的硬件设计。

2.6.4 约束

物理约束

参照所用开发板，加入物理约束，可以使用云源软件的物理约束工具“FloorPlanner”。

例如参考设计 DK-START-GW5AT138 V2.0 DVK Board 与 AICE-MINI+ 的 JTAG 接口的对应连接方式，如表 2-1 所示。

表 2-1 参考设计的 JTAG 物理约束

JTAG 接口	DVK Board	AICE-MINI+
GND	J3-8	P3
TMS	J3-3	P4
TCK	J3-4	P6
VREF (3.3V)	J3-7	P7
TRST	J3-5	P10
TDO	J3-6	P11
TDI	J60-3	P12

注！

- RiscV_AE350_SOC 的内核时钟由“PLL_R[0] > clkout1”直连提供，必须约束此 PLL_ADV IP 的位置为“**PLL_R[0]**”。例如，**INS_LOC "u_Gowin_PLL_AE350/PLL_inst" PLL_R[0]**。
- RiscV_AE350_SOC 的 DDR3 Memory 时钟由“PLL_L[0] > clkout2”直连提供，建议约束此 PLL_ADV IP 的位置为“**PLL_L[0]**”。例如，**INS_LOC "u_Gowin_PLL_DDR3/PLL_inst" PLL_L[0]**。

时序约束

参照软件时序分析报告，加入时序约束，可以使用云源软件的时序约束工具“Timing Constraints Editor”。

2.6.5 配置

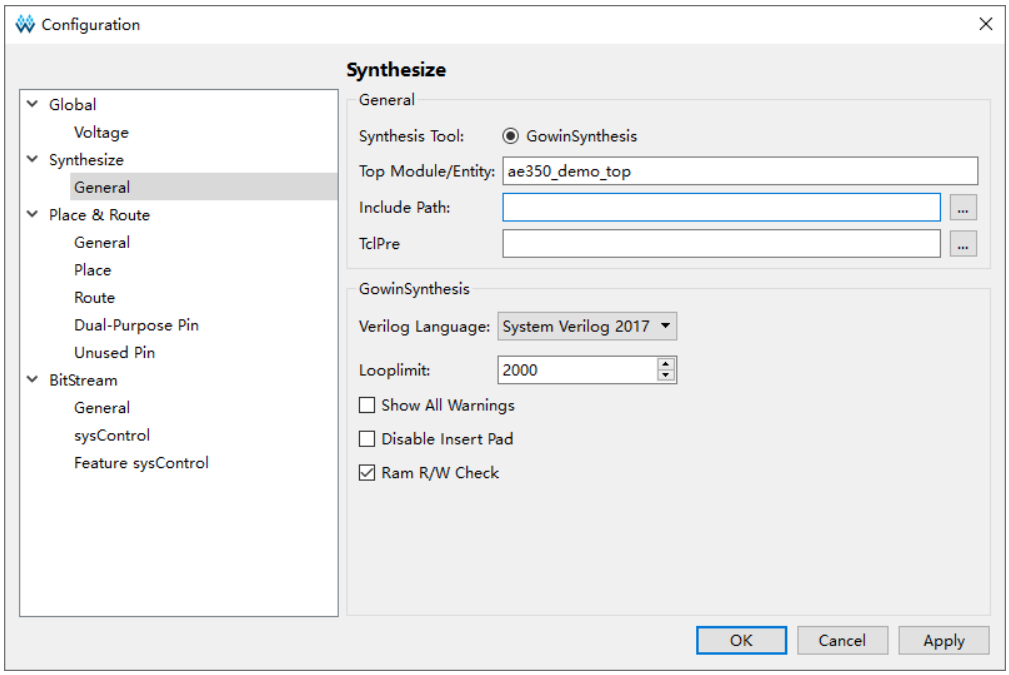
综合选项

“Synthesize > General”综合选项配置，请参照硬件设计的实际需求配置，如图 2-8 所示。

例如：

- Top Module/Entity：ae350_demo_top
- Verilog Language：System Verilog 2017

图 2-8 综合选项配置

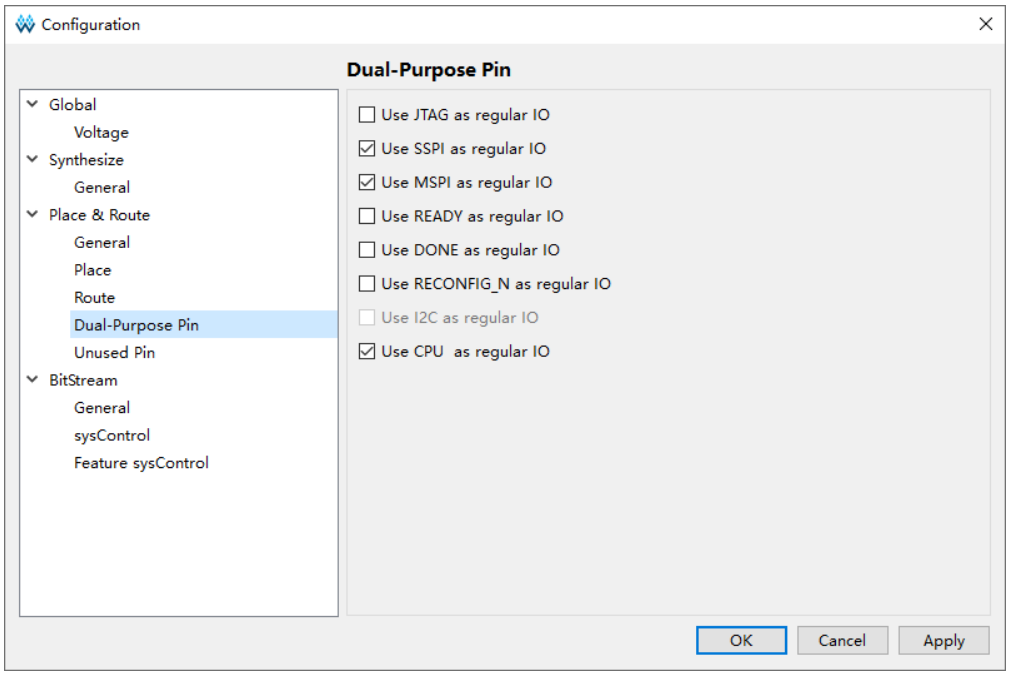


布局布线选项

布局布线选项配置，请参照硬件设计的实际需求配置，如图 2-9 所示。

例如 Dual-Purpose Pin：开启复用 SSPI、MSPI 和 CPU。

图 2-9 布局布线选项配置



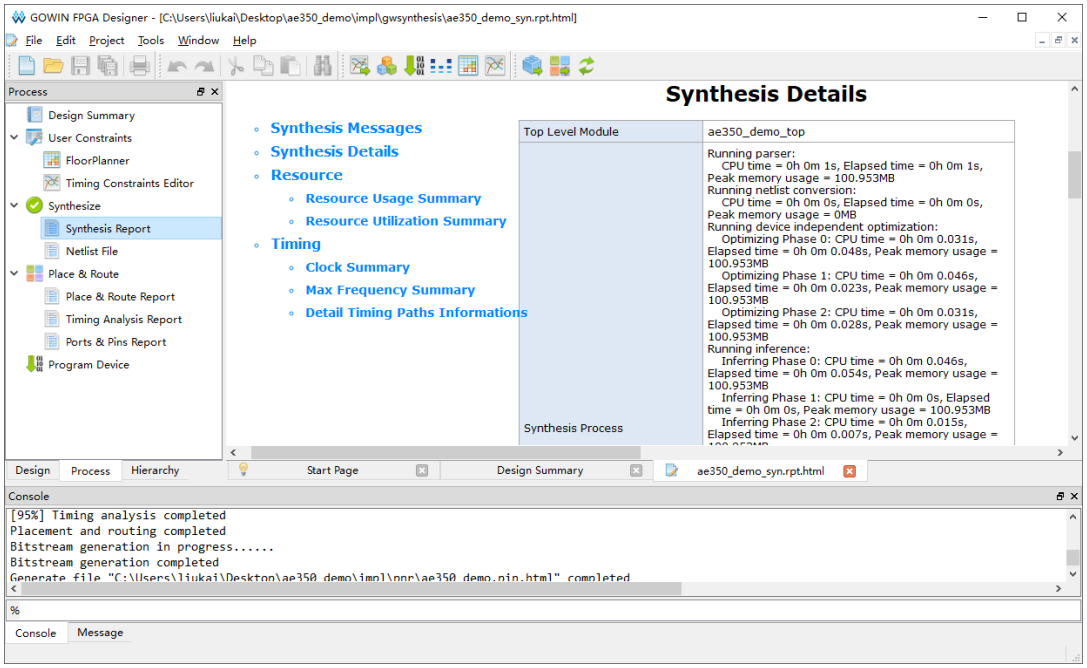
码流选项

码流选项配置，请参照硬件设计的实际需求配置。

2.6.6 综合

云源软件的综合工具“GowinSynthesis®”，综合 RiscV_AE350_SOC 硬件设计，产生网表文件，如图 2-10 所示。

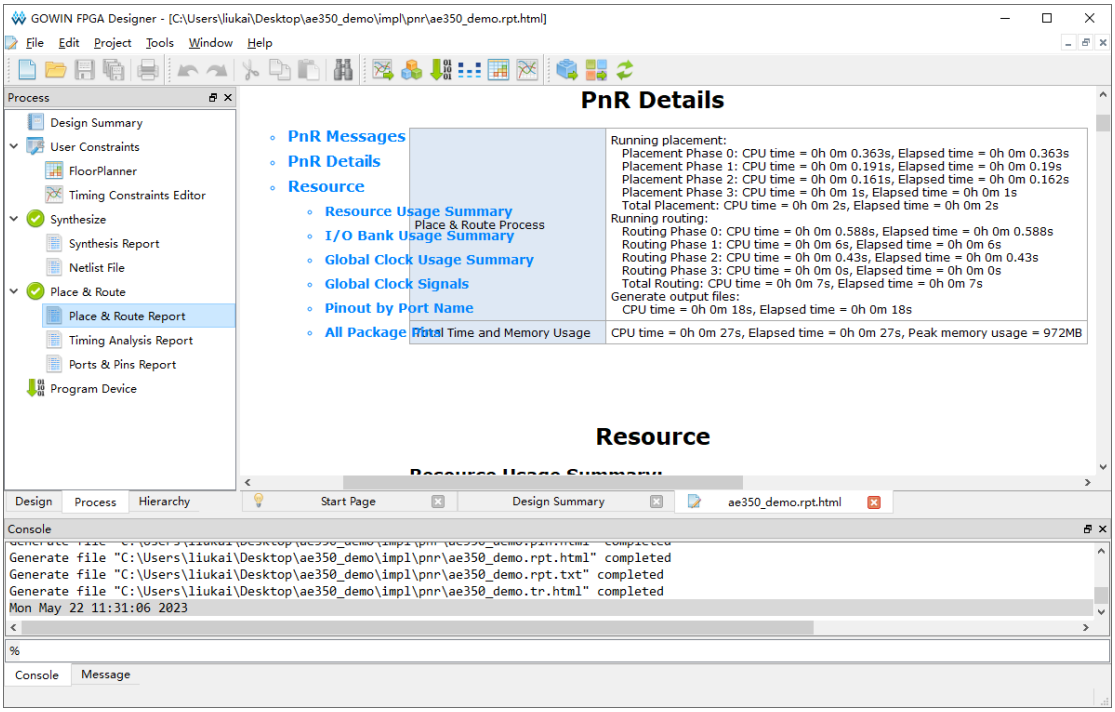
图 2-10 综合



2.6.7 布局布线

云源软件的布局布线工具“Place & Route”，布局布线网表文件，产生码流文件，如图 2-11 所示。

图 2-11 布局布线



2.6.8 下载

云源软件的下载工具“Programmer”，下载码流文件。

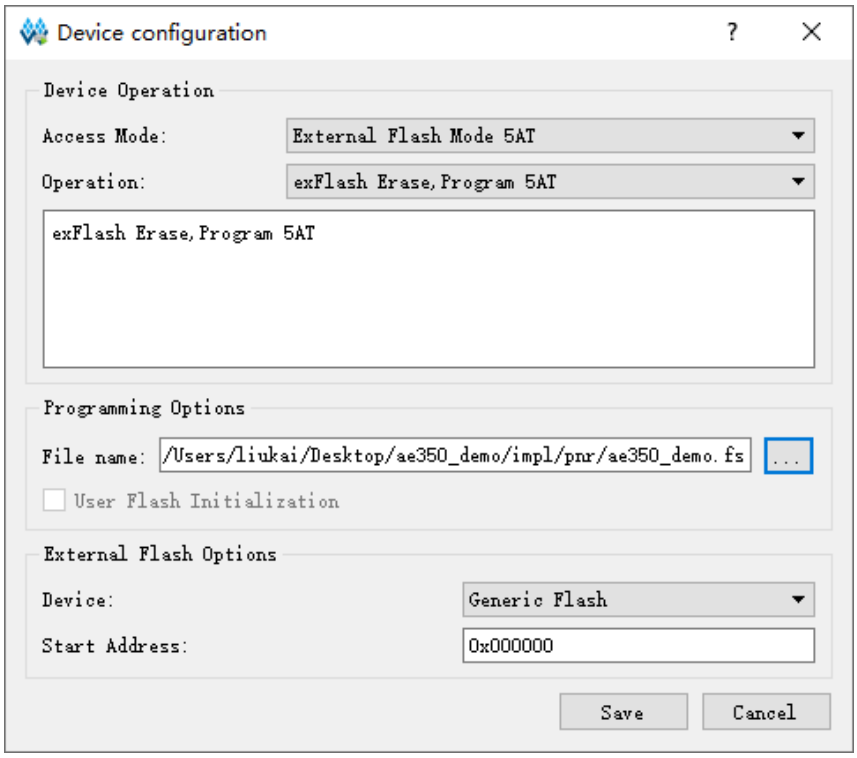
云源软件，“Process > Program Device”，或主菜单“Tools > Programmer”，或工具栏“”，打开 Programmer。

选择 Programmer 主菜单“Edit > Configure Device”，或工具栏“”，配置下载选项，如图 2-12 所示。

例如：

- Access Mode：External Flash Mode 5AT
- Operation：exFlash Erase, Program 5AT
- Programming Options > File name：ae350_demo.fs
- External Flash Options > Device：Generic Flash
- External Flash Options > Start Address：0x000000

图 2-12 下载选项配置



单击“Save”，完成下载选项配置。

单击工具栏“”，下载码流文件。

3 软件设计方法

3.1 软件版本

已测试软件版本：RiscV_AE350_SOC_RDS_v1.0_win

3.2 参考设计

…\ref_design\MCU_RefDesign\ae350_demo

3.3 用户手册

- MUG1029，Gowin RiscV_AE350_SOC 软件编程用户手册
- MUG1025，Gowin RiscV_AE350_SOC RDS 软件用户手册
- SUG502，Gowin Programmer 用户指南

3.4 详细设计方法

3.4.1 建立软件工程

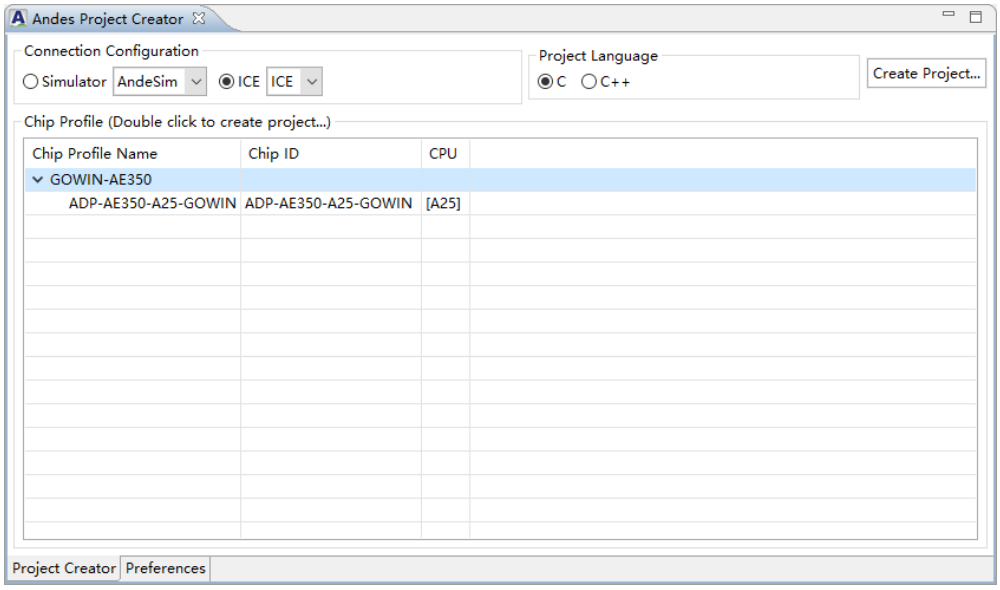
步骤 1

双击打开 RDS 软件，项目创建视图（Andes Project Creator）中，设置以下选项：

- “Connection Configuration”，选择“ICE”
- “Project Language”，选择“C”
- “Chip Profile”，选择“GOWIN-AE350 > ADP-AE350-A25-GOWIN”

单击“Create Project…”，如图 3-1 所示。

图 3-1 Create Project...



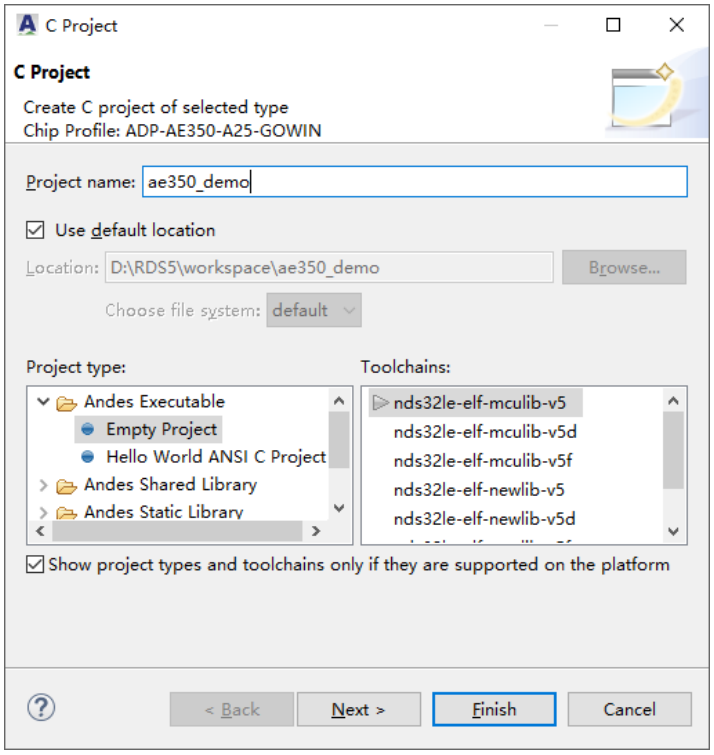
步骤 2

设置以下 C Project 信息：

- “Project name”
- “Location”
- “Project type”，选择“Empty Project”
- “Toolchains”，选择“nds32le-elf-mculib-v5”

单击“Next”，如图 3-2 所示。

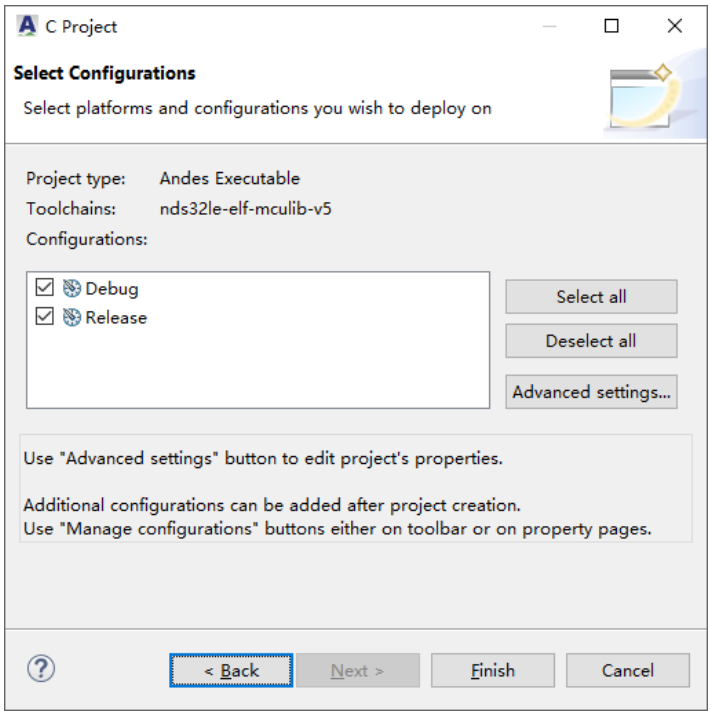
图 3-2 C Project



步骤 3

设置部署平台和配置，例如，“Debug”或“Release”，单击“Finish”，如图 3-3 所示。

图 3-3 Select Configurations



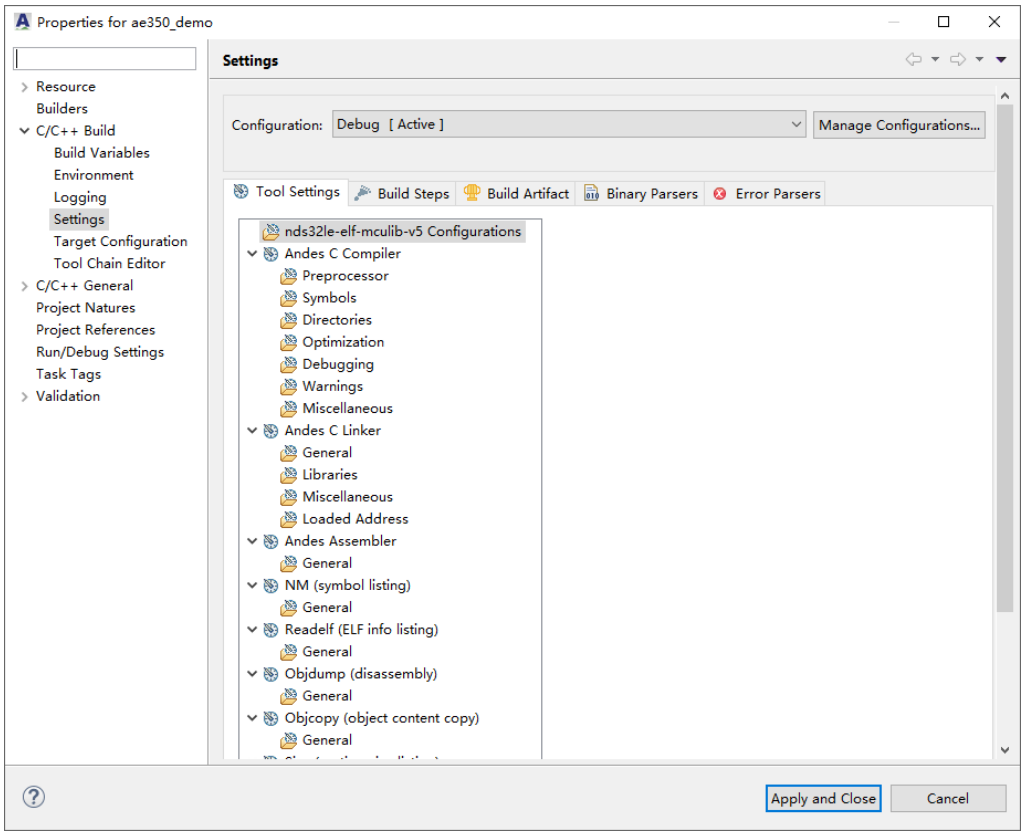
步骤 4

参照应用需求，调用 RiscV_AE350_SOC 软件编程函数库，编写应用程序。

3.4.2 配置软件工程

项目资源管理器视图（Project Explorer View）中，右单击选定的软件工程，下拉菜单中选择“Build Settings”，“Settings”对话框中，参照应用需求配置“Tool Settings”，如图 3-4 所示。

图 3-4 Build Settings



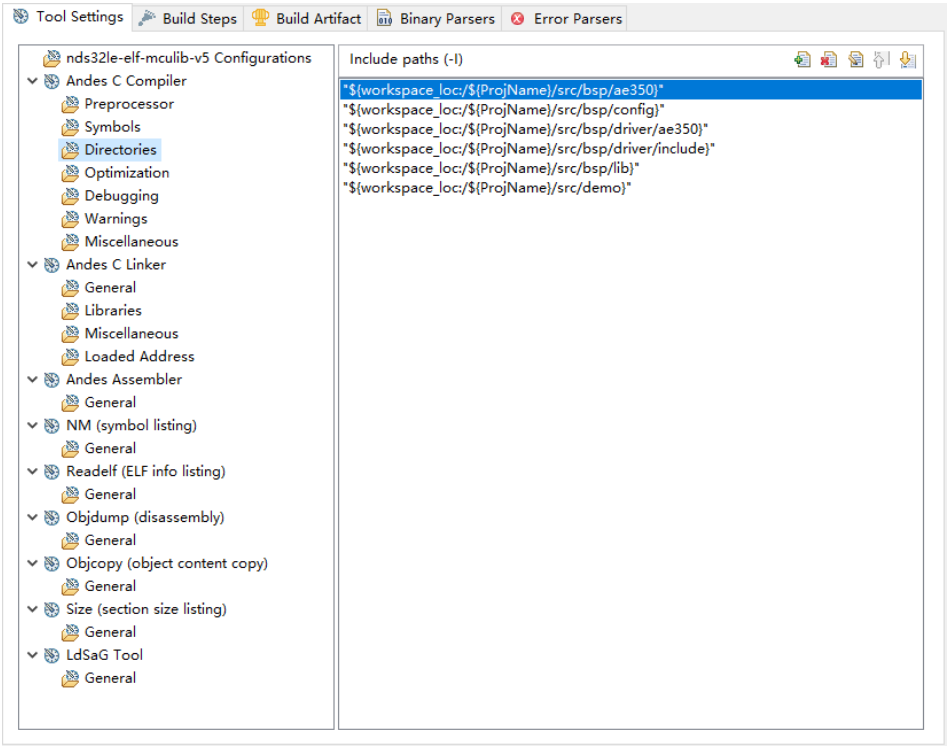
Andes C Compiler > Directories

选择“Andes C Compiler > Directories > Include paths (-I)”，指定软件工程引用的头文件的路径，如图 3-5 所示。

例如：

- “${workspace_loc:/${ProjName}/src/bsp/ae350}”
- “${workspace_loc:/${ProjName}/src/bsp/config}”
- “${workspace_loc:/${ProjName}/src/bsp/driver/ae350}”
- “${workspace_loc:/${ProjName}/src/bsp/driver/include}”
- “${workspace_loc:/${ProjName}/src/bsp/lib}”
- “${workspace_loc:/${ProjName}/src/demo}”

图 3-5 选择 Andes C Compiler > Directories



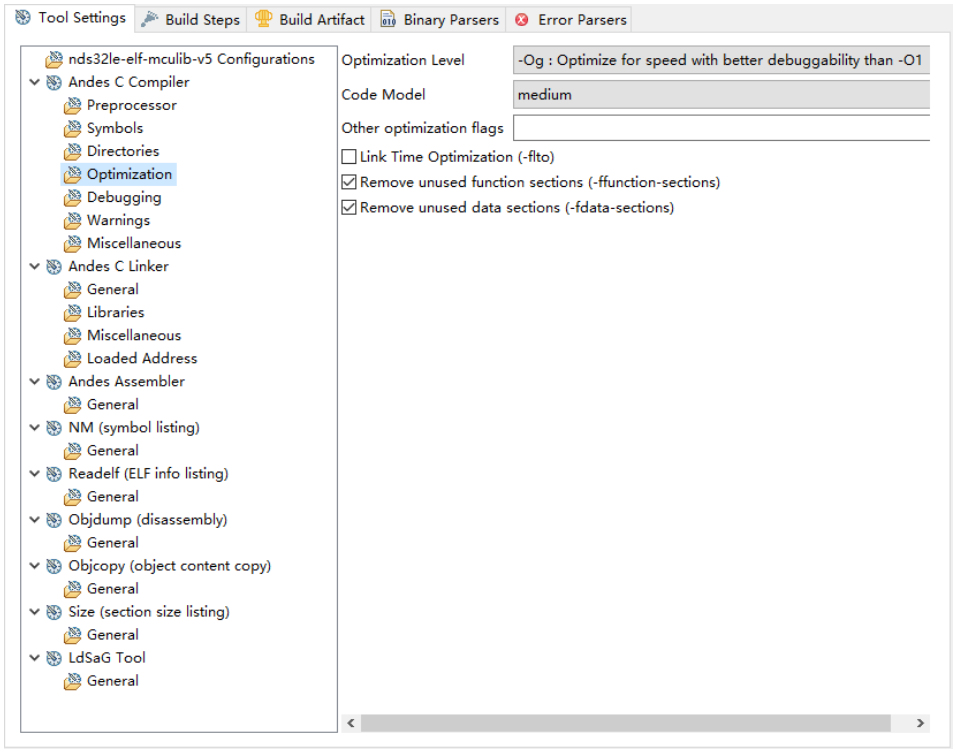
Andes C Compiler > Optimization

选择“Andes C Compiler > Optimization”，指定软件工程的优化等级和代码模型等，如图 3-6 所示。

例如：

- Optimization Level：-Og : Optimize for speed with better debug ability than O1
- Code Model：medium
- Remove unused function sections (-ffunction-sections)：开启
- Remove unused data sections (-fdata-sections)：开启

图 3-6 选择 Andes C Compiler > Optimization

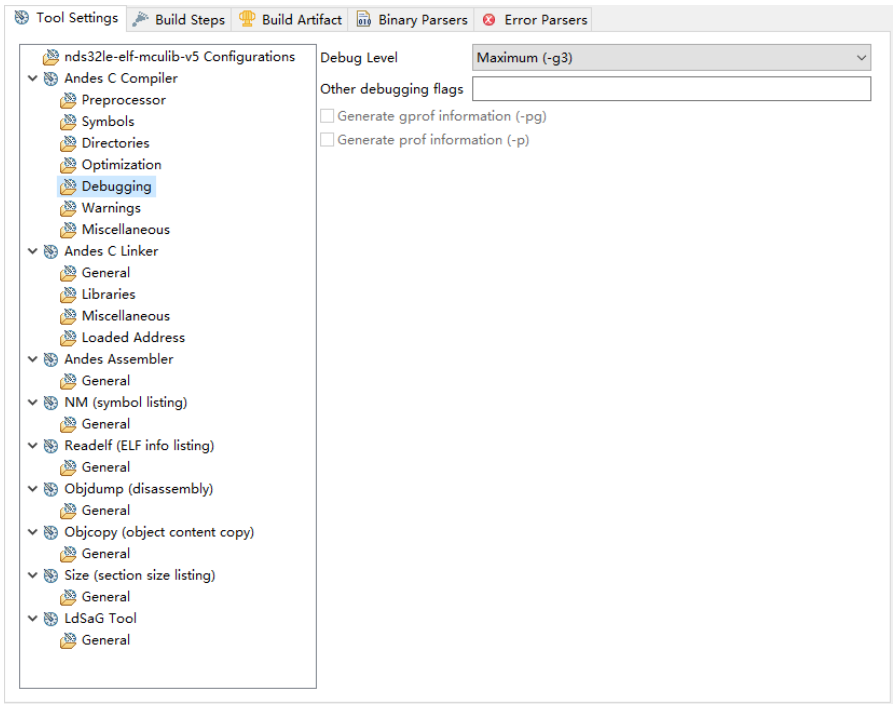


Andes C Compiler > Debugging

选择“Andes C Compiler > Debugging”，指定软件工程的调试等级，如图 3-7 所示。

例如：Debug Level：Maximum (-g3)

图 3-7 选择 Andes C Compiler > Debugging



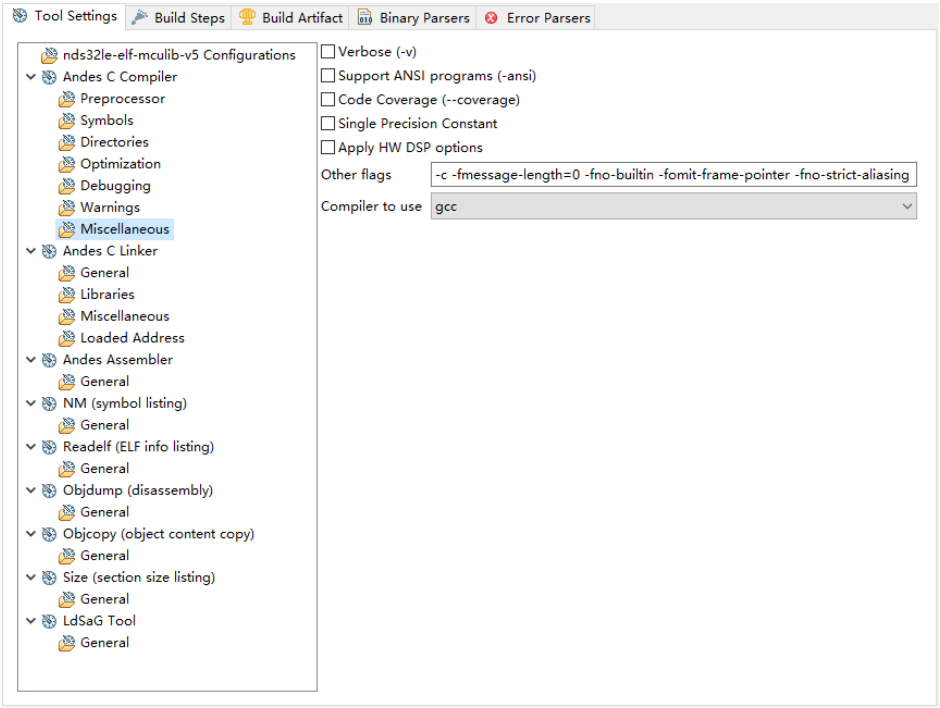
Andes C Compiler > Miscellaneous

选择“Andes C Compiler > Miscellaneous”，指定软件工程的其他各种选项，如图 3-8 所示。

例如：

- Other flags：-c -fmessage-length=0 -fno-builtin -fomit-frame-pointer -fno-strict-aliasing
- Compiler to use：gcc

图 3-8 选择 Andes C Compiler > Miscellaneous



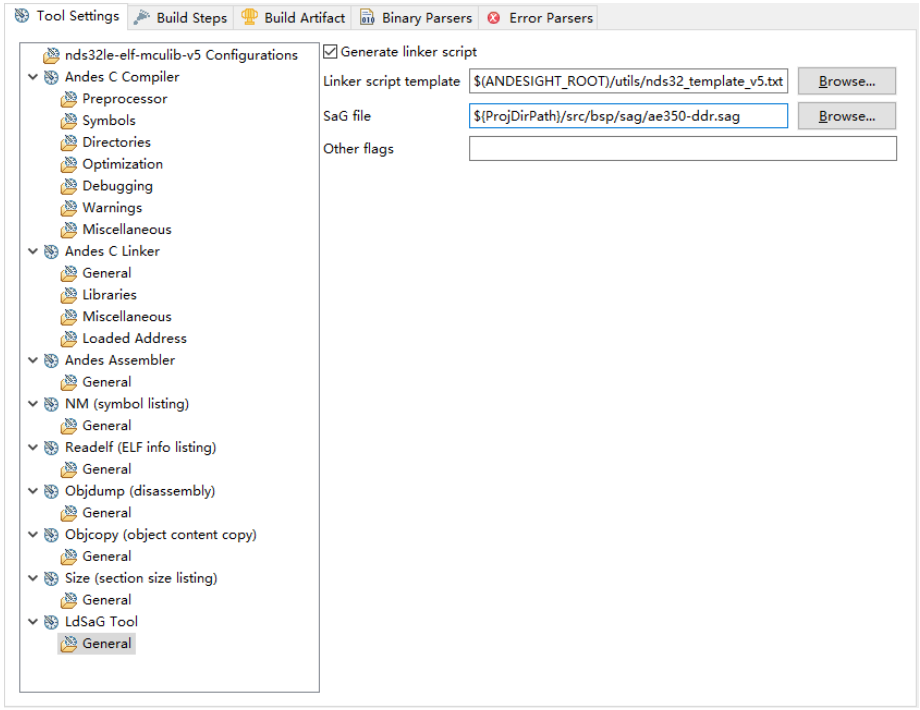
LdSaG Tool > General

选择“LdSaG Tool > General”，指定 SaG 文件，如图 3-9 所示。

例如：

- Generate linker script：开启
- Linker script template：$(ANDESIGHT_ROOT)/utils/nds32_template_v5.txt
- SaG file：${ProjDirPath}/src/bsp/sag/ae350-ddr.sag

图 3-9 选择 LdSaG Tool > General



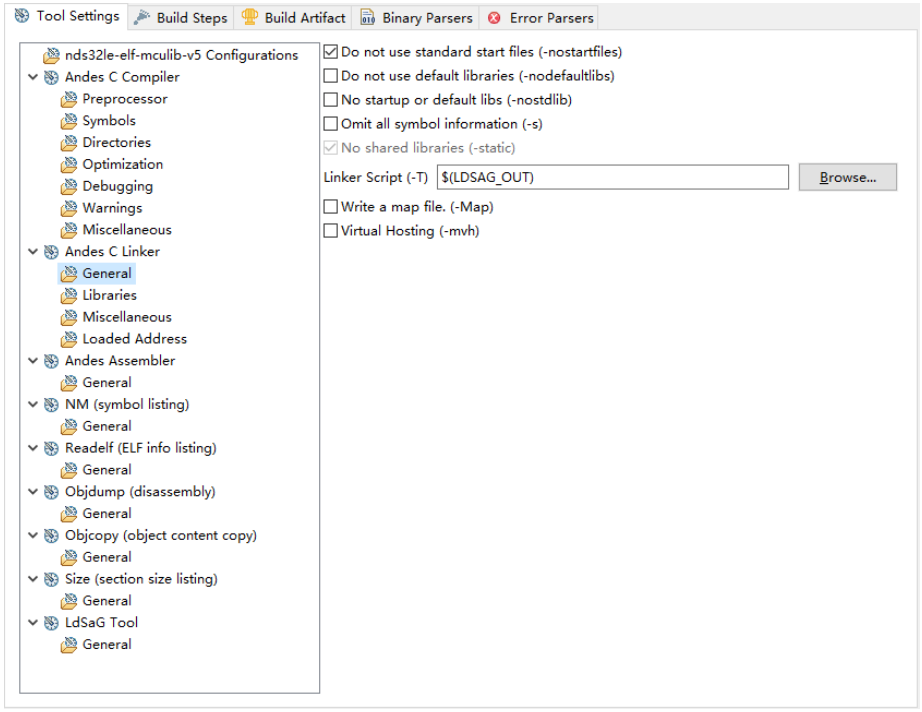
Andes C Linker > General

选择“Andes C Linker > General”，指定软件工程的链接脚本文件，如图 3-10 所示。

例如：

- Do not use standard start files (-nostartfiles)：开启
- Linker Script (-T)：$(LDSAG_OUT)

图 3-10 选择 Andes C Linker > General



注！

此选项关联于“LdSaG Tool > General”选项，如果已配置 SaG 文件，此链接脚本文件由 SaG 文件产生，否则须手动指定。

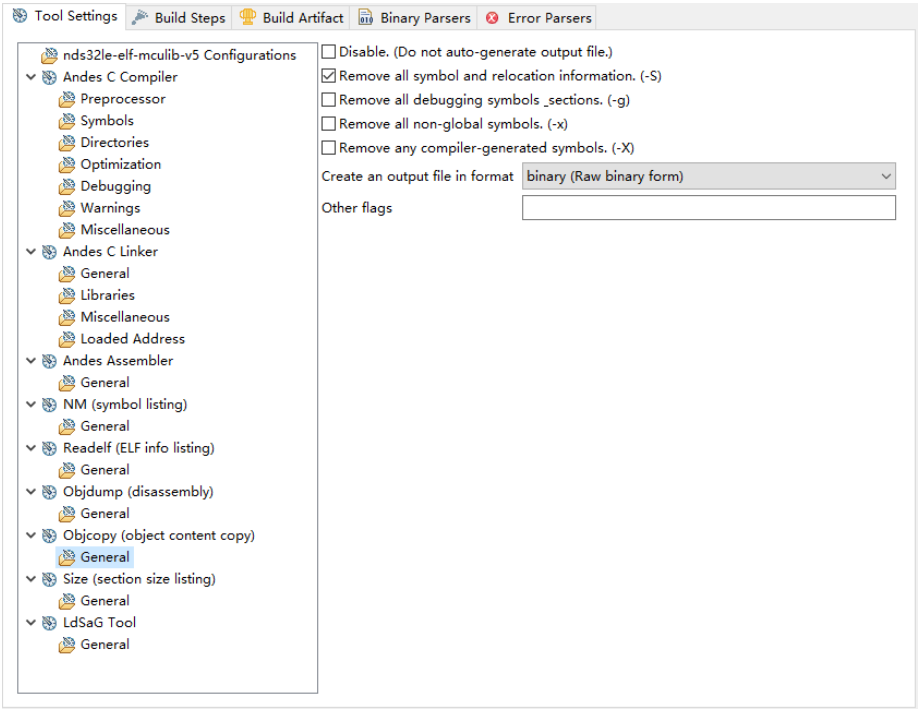
Objcopy (object content copy) > General

选择“Objcopy (object content copy) > General”，指定软件工程产生 Binary 文件，如图 3-11 所示。

例如：

- Disable. (Do not auto-generate output file.)：关闭
- Create an output file in format：binary (Raw binary form)

图 3-11 选择 Objcopy (object content copy) > General



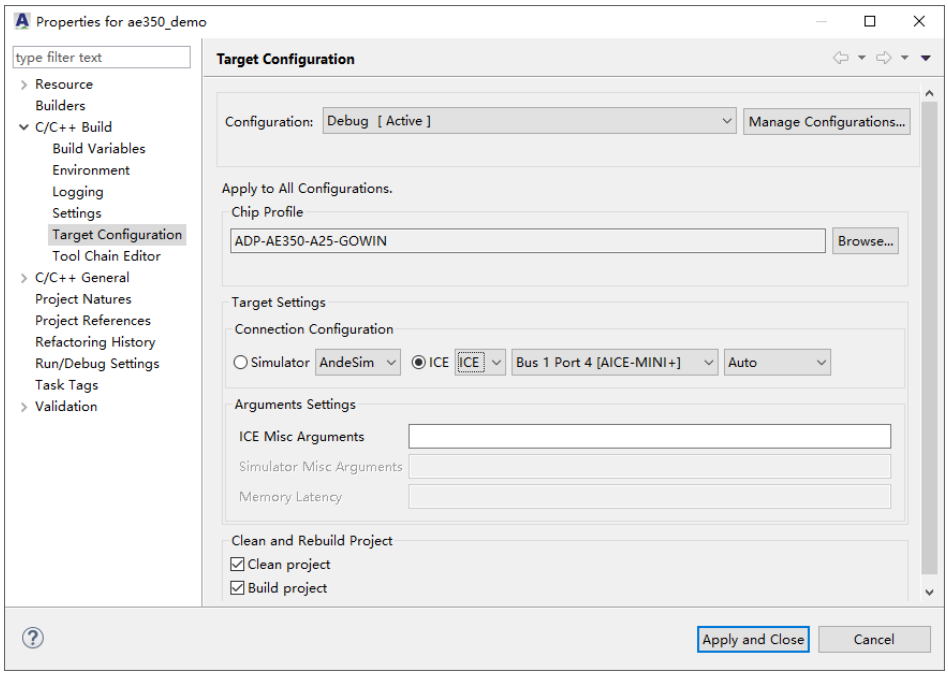
3.4.3 配置目标

项目资源管理器视图中，右单击选定的软件工程，下拉菜单中选择“Target Configuration”，配置“Target Configuration”选项，指定软件工程的 Chip Profile、Connection Configuration、Clean and Rebuild Project 等，如图 3-12 所示。

例如：

- Chip Profile：ADP-AE350-A25-GOWIN
- Connection Configuration
  - ICE
  - Bus 1 Port 4 [AICE-MINI+]
  - Auto
- Clean project：建议开启
- Build project：建议开启

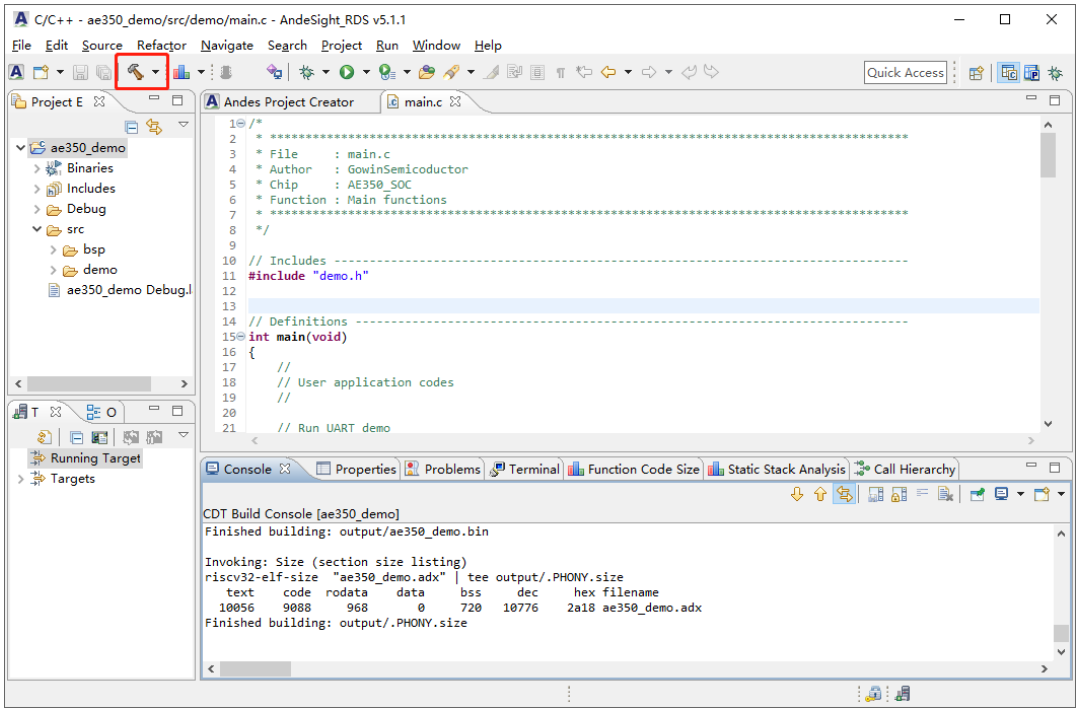
图 3-12 Target Configuration



3.4.4 构建软件工程

单击 RDS 软件工具栏 “”，构建软件工程，产生 Binary 文件，如图 3-13 所示。

图 3-13 构建软件工程



3.4.5 下载软件工程

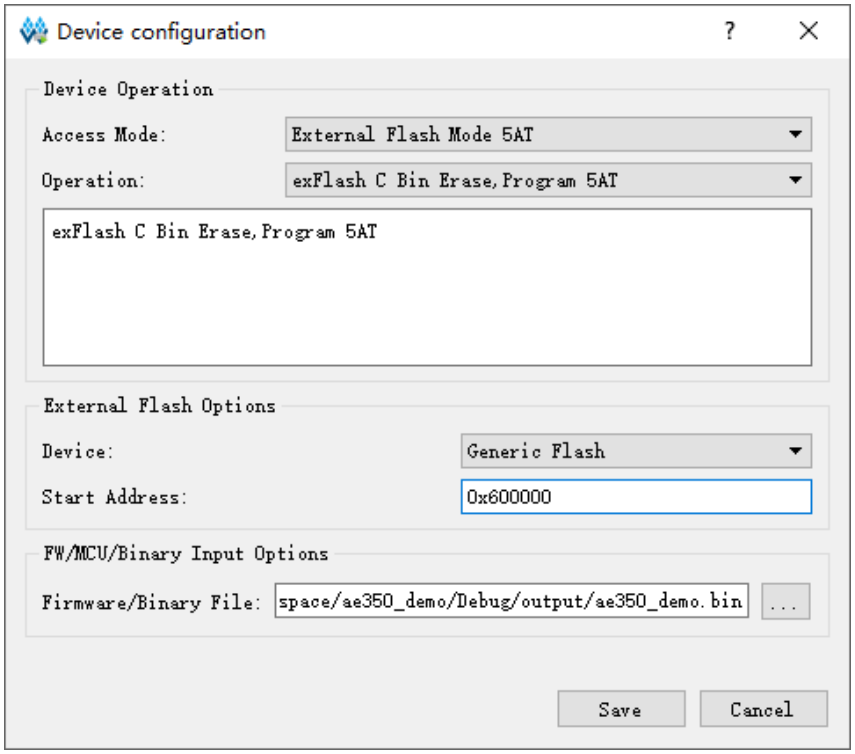
云源软件的下载工具“Programmer”，下载 Binary 文件。

云源软件 IDE 或安装路径，打开“Programmer”，选择主菜单“Edit > Configure Device”，或单击工具栏“”，配置下载选项，如图 3-14 所示。

例如：

- Access Mode：External Flash Mode 5AT
- Operation：exFlash C Bin Erase, Program 5AT
- External Flash Options > Device：Generic Flash
- External Flash Options > Start Address：0x600000
- FW/MCU/Binary Input Options > Firmware/Binary File：ae350_demo.bin

图 3-14 下载选项配置



单击“Save”，完成下载选项配置。

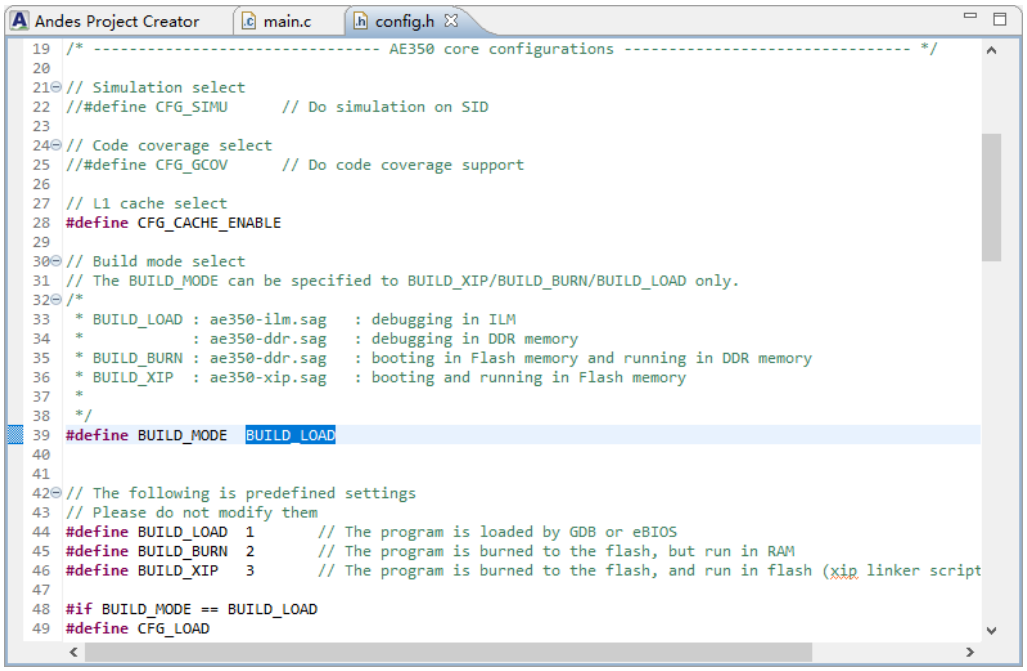
单击工具栏“”，下载 Binary 文件。

3.4.6 调试软件工程

配置构建模式

修改 bsp\config\config.h，指定 BUILD_MODE 为“BUILD_LOAD”，重新构建软件工程，如图 3-15 所示。

图 3-15 配置构建模式



建立调试配置

项目资源管理器视图中，右单击选定的软件工程，下拉菜单中选择“Debug As > Debug Configurations…”，建立“MCU Program”模式的调试配置，如图 3-16 和图 3-17 所示。

例如：

- Main > Project：ae350_demo
- Main > Program：Debug\ae350_demo.adx
- Startup > GDB Initialization Commands：
  - Reset and Hold
  - load
- Startup > Runtime Options：Set breakpoint at: main

图 3-16 建立调试配置

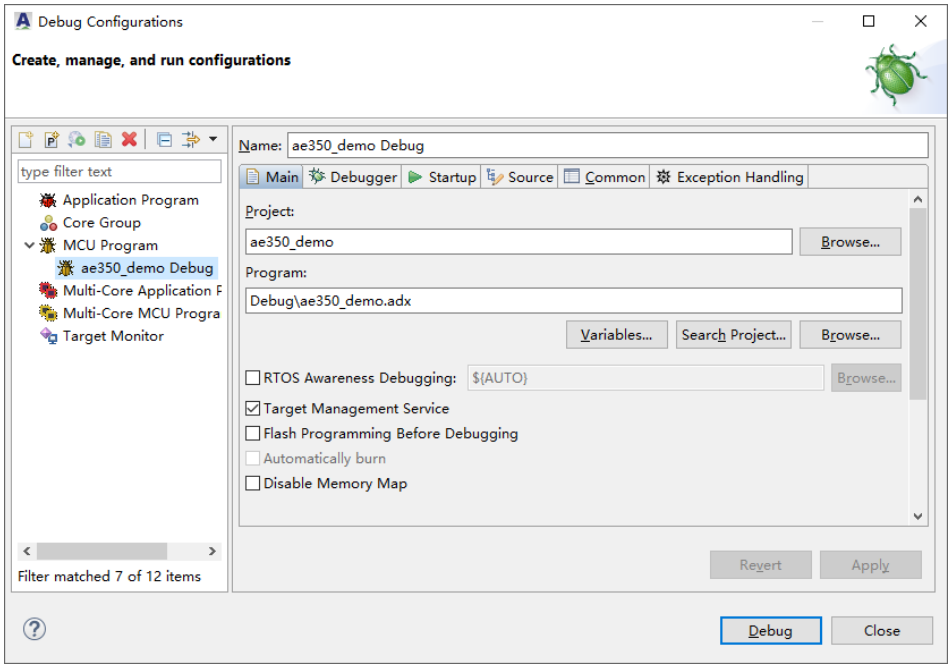
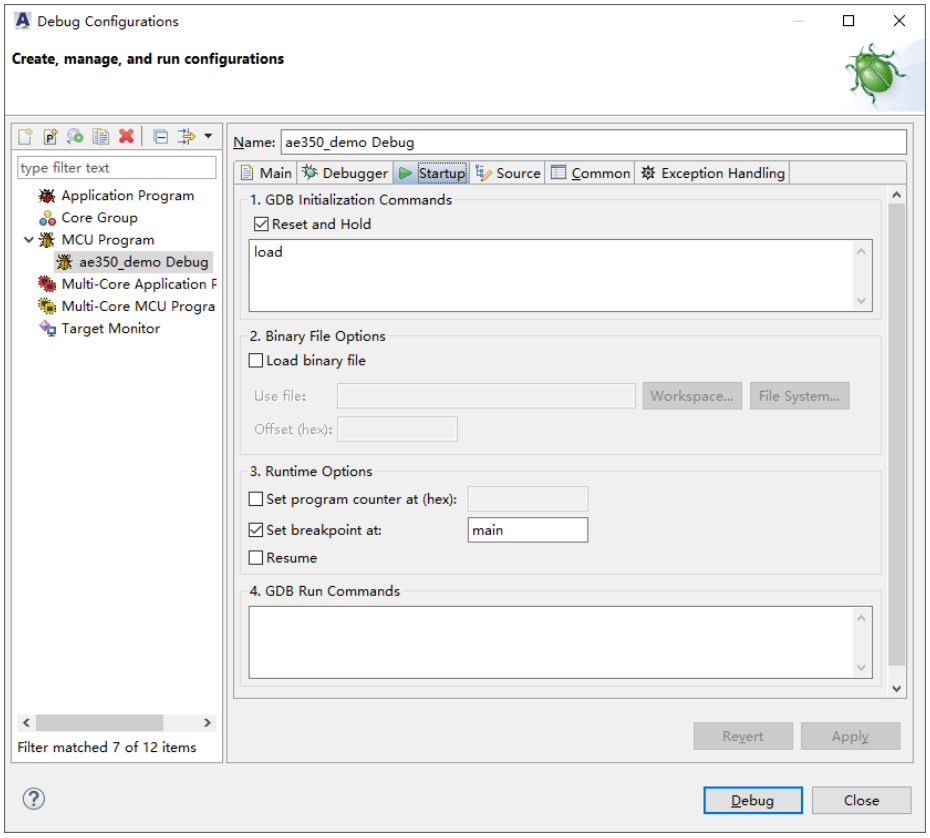


图 3-17 选择 Debug Configurations > Startup



开启调试会话

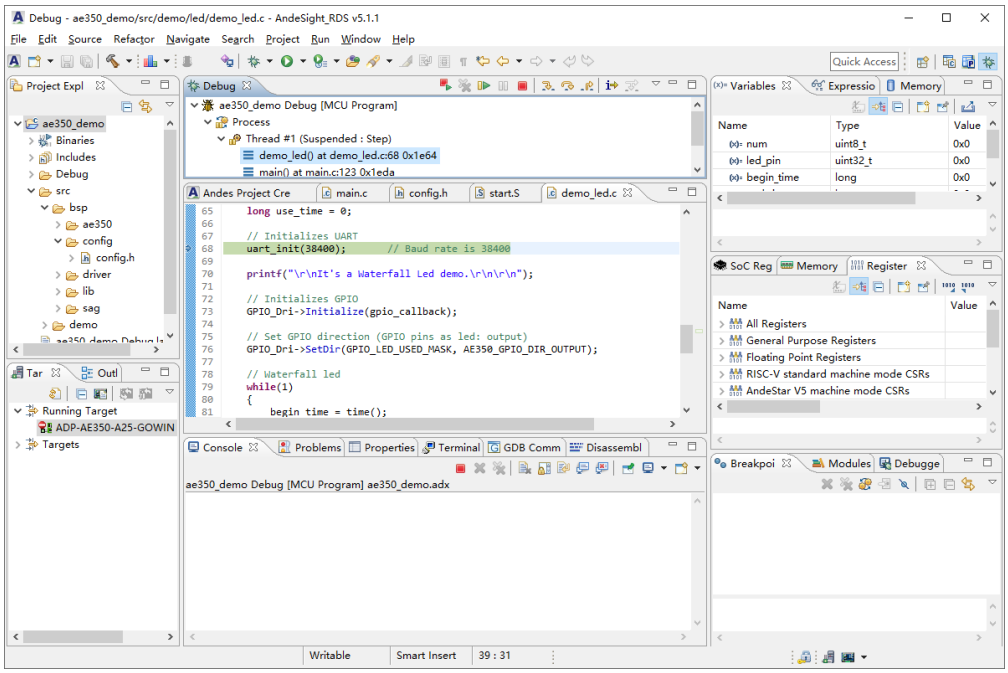
物理连接 Windows PC、AICE-MINI+、DK-START-GW5AT138 V2.0，启动开发板。

选择 RDS 软件主菜单“Debug Configurations > Debug”或单击工具栏“”，开启调试会话，如图 3-18 所示。

例如：

- ：Terminate and Relaunch
- ：Resume
- ：Step Into
- ：Step Over
- ：Terminate

图 3-18 开启调试会话




GOWIN高云
智慧逻辑 定制未来