



Gowin RiscV_AE350_SOC 快速开发 用户手册

MUG1030-1.3, 2025-03-21

版权所有 © 2025 广东高云半导体科技股份有限公司

 GOWIN高云、Gowin、云源、GOWIN 以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其所有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	描述
2023/09/12	1.0	初始版本。
2023/12/29	1.1	● 新增端口信号 DDR3_CS_N、DDR3_RSTN、POR_RSTN 和 HW_RSTN； ● 新增 DK-START-GW5AT138K V2.1 和 Tang-MEGA-138K-Pro-Dock 开发板参考设计； ● 更新 Extended_AHB2AHBBridge、Extended_Memory (BlockRAM)及新增 Extended_Memory (DDR3)、Extended_AHB_CAN、Extended_AHB_Ethernet 解决方案； ● 支持 NN 软件库编程及其软件编程参考设计； ● 支持 RTOS RT-Thread 标准版本及其软件开发工具包； ● 支持 Ethernet TCP/IP 协议栈及其软件编程参考设计； ● 更新 FreeRTOS 及新增 DDR3 Memory、Ethernet 软件编程参考设计。
2024/06/14	1.2	● 指令存储器支持多种类型的存储器，包括 SPI Flash Memory、ITCM 和用户自定义的存储器； ● 数据存储器支持多种类型的存储器，包括 DDR3 Memory、DTCM 和用户自定义的存储器； ● DDR3 Memory 支持多端口模式，MCU 端和 FPGA 端可以共享访问； ● DDR3 Memory 支持用户自定义选项配置； ● 支持逻辑扩展的 SD 外设功能； ● 新增多个实例，如共享访问 DDR3 Memory、用户自定义存储器、Extended AHB Master、TCM 和 SD 等； ● 更新 Flash R/W 模式的外设驱动函数。
2025/03/21	1.3	● 更新参考设计开发板类型； ● 更新调试器工具； ● 更新软件版本及部分软件截图。

目录

目录 i

图目录 iii

表目录 v

1 关于本手册 1

 1.1 手册内容 1

 1.2 术语、缩略语 1

 1.3 技术支持与反馈 2

2 硬件设计方法 3

 2.1 硬件目标 3

 2.2 软件版本 3

 2.3 参考设计 3

 2.4 用户手册 3

 2.5 设计流程 3

 2.6 详细设计方法 4

 2.6.1 建立工程 4

 2.6.2 IP 设计 4

 2.6.3 用户设计 8

 2.6.4 约束 10

 2.6.5 配置 10

 2.6.6 综合 14

 2.6.7 布局布线 14

 2.6.8 下载 15

3 软件设计方法 17

 3.1 软件版本 17

 3.2 参考设计 17

3.3 用户手册	17
3.4 详细设计方法	17
3.4.1 建立软件工程	17
3.4.2 配置软件工程	19
3.4.3 配置目标.....	26
3.4.4 构建软件工程	27
3.4.5 下载软件工程	28
3.4.6 调试软件工程	30

图目录

图 2-1 RiscV_AE350_SOC IP Core	5
图 2-2 SPI Flash 配置.....	6
图 2-3 DDR3 配置.....	6
图 2-4 GPIO 配置	7
图 2-5 UART2 配置.....	7
图 2-6 RiscV_AE350_SOC IP 设计.....	8
图 2-7 PLL_ADV IP 设计	9
图 2-8 全局选项配置.....	11
图 2-9 综合选项配置.....	12
图 2-10 Place 选项配置	12
图 2-11 Route 选项配置.....	13
图 2-12 Dual-Purpose Pin 选项配置.....	13
图 2-13 综合	14
图 2-14 布局布线	15
图 2-15 下载选项配置	16
图 2-16 下载码流文件.....	16
图 3-1 Create Project.....	18
图 3-2 C Project.....	18
图 3-3 Select Configurations	19
图 3-4 Build Settings	20
图 3-5 选择 Andes C Compiler > Directories.....	21
图 3-6 选择 Andes C Compiler > Optimization	22
图 3-7 选择 Andes C Compiler > Debugging	22
图 3-8 选择 Andes C Compiler > Miscellaneous	23
图 3-9 选择 LdSaG Tool > General.....	24

图 3-10 选择 Andes C Linker > General.....	25
图 3-11 选择 Objcopy (object content copy) > General	26
图 3-12 Target Configuration	27
图 3-13 构建软件工程.....	27
图 3-14 下载选项配置	28
图 3-15 下载选项配置	29
图 3-16 下载软件编程 Binary 文件.....	29
图 3-17 配置构建模式	30
图 3-18 建立调试配置	31
图 3-19 选择 Debug Configurations > Startup.....	31
图 3-20 开启调试会话	32

表目录

表 1-1 术语、缩略语 1

表 2-1 参考设计的 JTAG 物理约束 10

1 关于本手册

1.1 手册内容

本手册以 Gowin RiscV_AE350_SOC 硬件参考设计案例和软件编程参考设计案例以及 DK_START_GW5AST-LV138FPG676A V1.0 开发板为例，描述如何快速建立、配置、下载和调试硬件工程和软件工程，旨在帮助用户快速掌握 Gowin RiscV_AE350_SOC 的软硬件开发方法，节省开发时间，提高开发效率。

1.2 术语、缩略语

本手册中的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
IDE	Integrated Development Environment	集成开发环境
MCU	Micro Controller Unit	微控制器单元
RISC-V	Reduced Instruction Set Computer V	第五代精简指令集计算机
SaG	Scattering and Gathering	散布和收集
SOC	System on Chip	片上系统
UART	Universal Synchronous and Asynchronous Receiver/Transmitter	通用同步和异步接收器/发射器

1.3 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 硬件设计方法

2.1 硬件目标

- DK_START_GW5AST-LV138FPG676A V1.0
 - GW5AST-LV138FPG676AC1/I0
 - GW5AST-138B

2.2 软件版本

已测试软件版本：云源软件 Gowin_V1.9.11.01 (64-bit)。

2.3 参考设计

...\ref_design\FPGA_RefDesign\DK_START_GW5AST138_V1.0\ae350_demo。

2.4 用户手册

- [MUG1031, Gowin RiscV AE350 SOC 硬件设计用户手册](#)
- [SUG100, Gowin 云源软件用户指南](#)
- [SUG940, Gowin 设计时序约束指南](#)
- [SUG935, Gowin 设计物理约束指南](#)
- [SUG502, Gowin Programmer 用户指南](#)

2.5 设计流程

Gowin RiscV_AE350_SOC IP 设计流程，如下所示：

1. 高云半导体云源软件的 IP 设计工具“IP Core Generator”，配置 RiscV_AE350_SOC IP 选项，产生 RiscV_AE350_SOC IP 设计；
2. 云源软件的 IP 设计工具“IP Core Generator”，配置 PLL_ADV IP 选项，产生 PLL_ADV IP，为 RiscV_AE350_SOC IP 提供时钟资源；

3. 硬件设计中，实例化 RiscV_AE350_SOC IP，实例化 PLL_ADV IP，加入其他用户逻辑设计，连接各模块组成完整的顶层设计；
4. 参照所用开发板，加入物理约束，可以使用云源软件的物理约束工具“FloorPlanner”；
5. 参照软件时序分析报告，加入时序约束，可以使用云源软件的时序约束工具“Timing Constraints Editor”；
6. 配置综合选项、布局布线选项和码流选项；
7. 云源软件的综合工具“GowinSynthesis”，综合 RiscV_AE350_SOC 硬件设计，产生网表文件；
8. 云源软件的布局布线工具“Place & Route”，布局布线网表文件，产生码流文件；
9. 云源软件的下载工具“Programmer”，下载码流文件。

2.6 详细设计方法

2.6.1 建立工程

双击打开云源软件，新建 FPGA 设计工程。

例如：

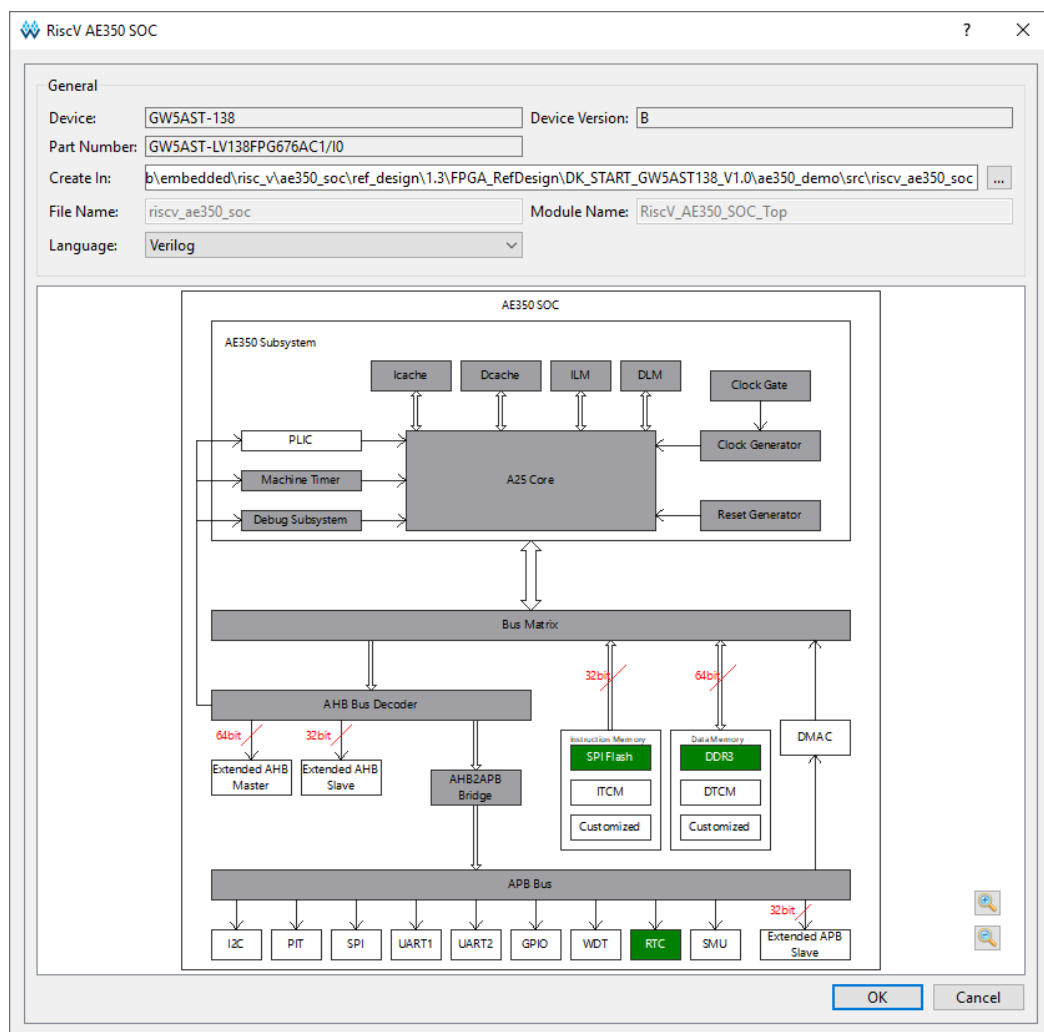
- Series: GW5AST
- Device: GW5AST-138
- Device Version: B
- Package: FCPBGA676A
- Speed: C1/I0
- Part Number: GW5AST-LV138FPG676AC1/I0

2.6.2 IP 设计

云源软件的 IP 设计工具“IP Core Generator”，配置 RiscV_AE350_SOC 选项，产生 RiscV_AE350_SOC IP。

在 IP Core Generator 工具中选择“Soft IP Core > Microprocessor System > Hard-Core-MCU > RiscV AE350 SOC 1.2”，打开 RiscV_AE350_SOC IP Core，如图 2-1 所示。

图 2-1 RiscV_AE350_SOC IP Core



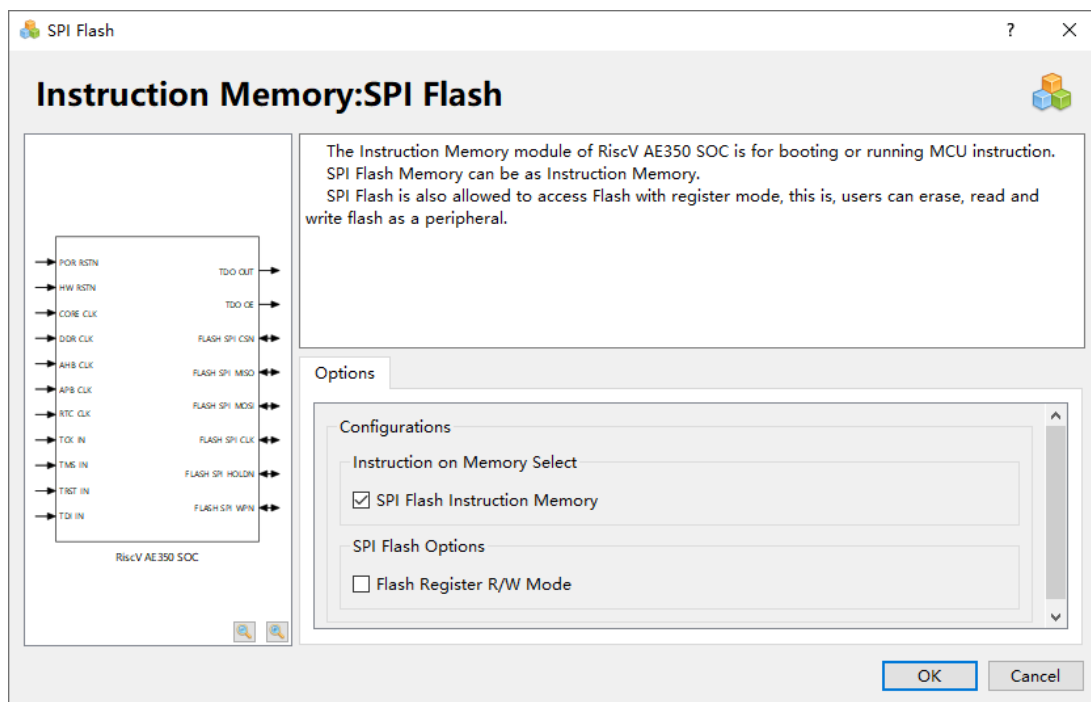
参照应用需求配置相应功能，例如 SPI Flash、DDR3、GPIO 和 UART2。

SPI Flash

双击打开“SPI Flash”，配置 SPI Flash 指令存储器选项。

选择“SPI Flash Instruction Memory”，开启 SPI Flash Memory 作为指令存储器，如图 2-2 所示。

图 2-2 SPI Flash 配置

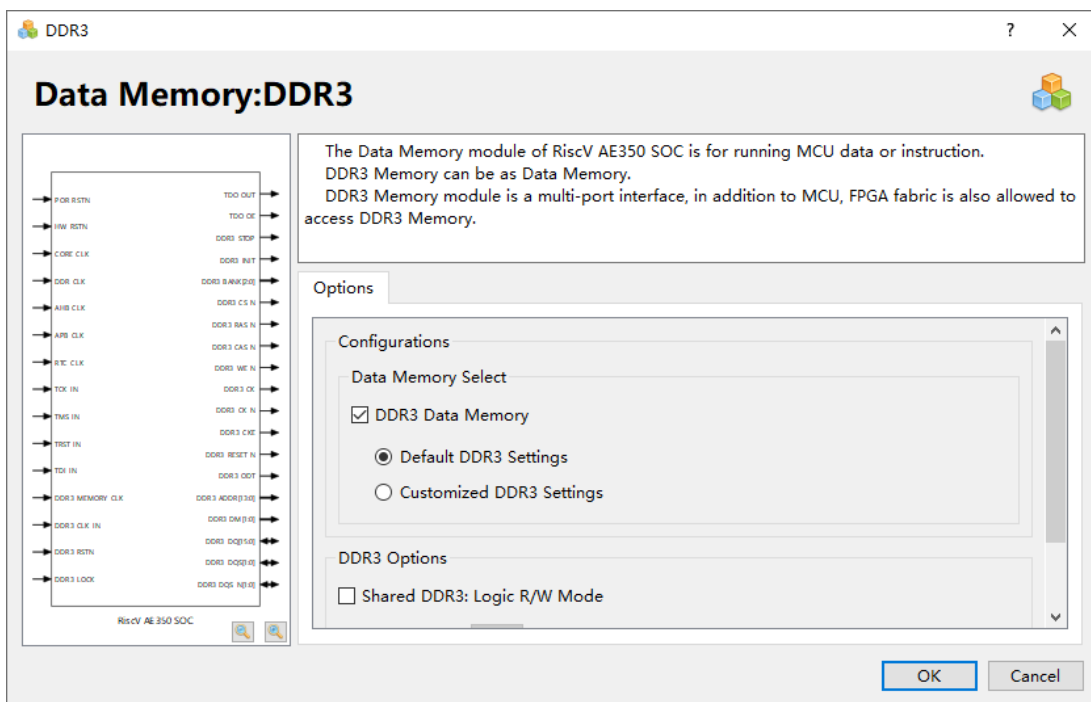


DDR3

双击打开“DDR3”，配置 DDR3 数据存储器选项。

选择“DDR3 Data Memory”，开启 DDR3 Memory 作为数据存储器，如图 2-3 所示。

图 2-3 DDR3 配置

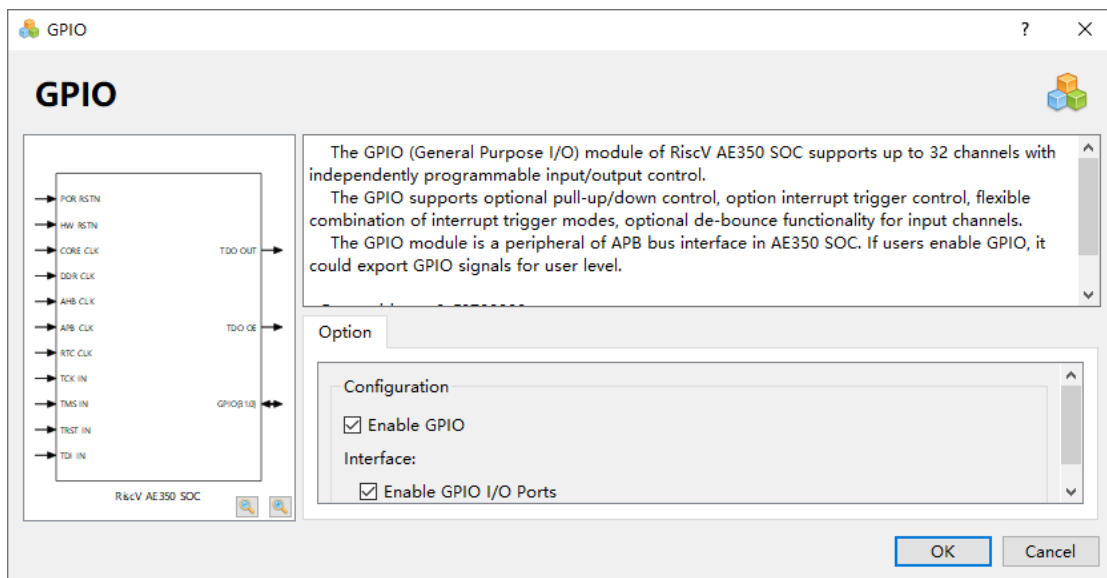


GPIO

双击打开“GPIO”，配置 GPIO 选项。

选择“Enable GPIO”和“Enable GPIO I/O Ports”，开启 GPIO 和 GPIO “INOUT”类型端口，如图 2-4 所示。

图 2-4 GPIO 配置

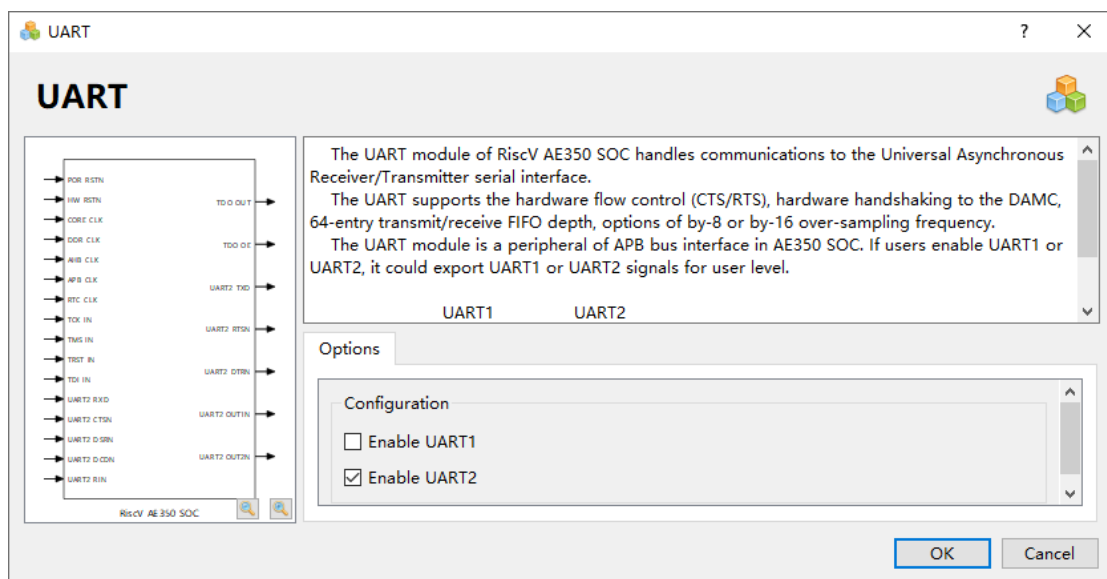


UART2

双击“UART2”，配置 UART2 选项。

选择“Enable UART2”，开启 UART2，如图 2-5 所示。

图 2-5 UART2 配置

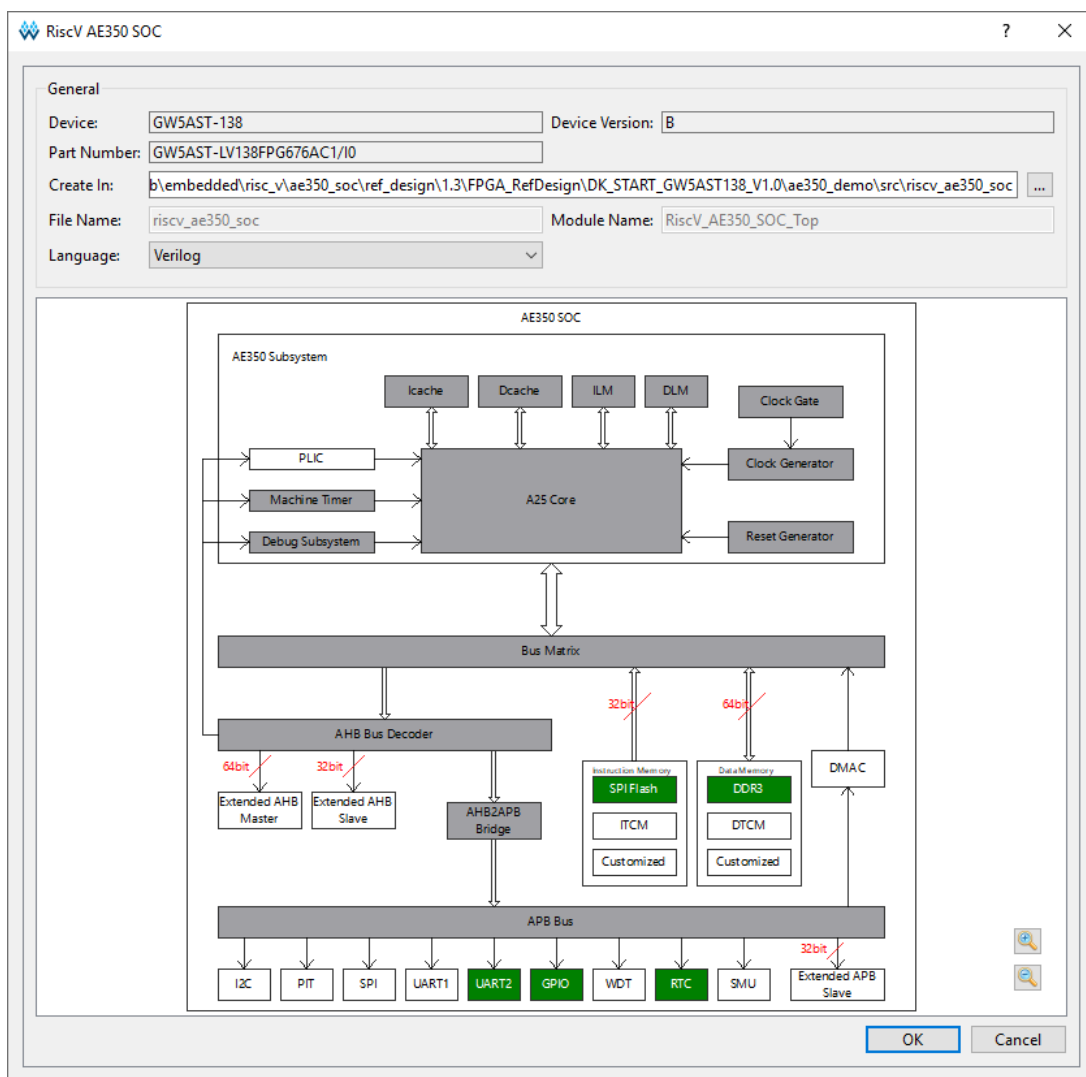


2.6.3 用户设计

RiscV_AE350_SOC IP 设计

云源软件的 IP 设计工具“IP Core Generator”，完成 RiscV_AE350_SOC IP 配置后，单击“OK”，产生 RiscV_AE350_SOC IP 设计，如图 2-6 所示。

图 2-6 RiscV_AE350_SOC IP 设计



PLL_ADV IP 设计

云源软件的 IP 设计工具“IP Core Generator”，配置 PLL_ADV IP 选项，产生 PLL_ADV IP 设计，为 RiscV_AE350_SOC IP 提供时钟资源。

在 IP Core Generator 工具中选择“Hard Module > CLOCK > PLL_ADV 1.0”，请参照参考设计的时钟配置，配置 PLL_ADV IP，产生 PLL_ADV IP 设计，如图 2-7 所示。

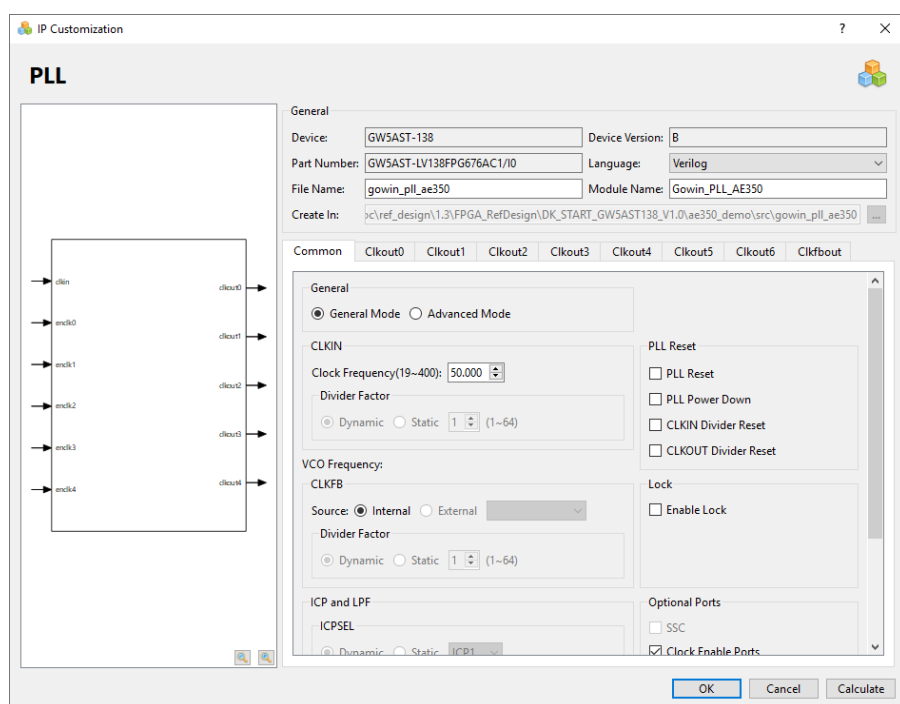
例如用于 RiscV_AE350_SOC 内核的 PLL_ADV IP:

- Clkout0: DDR clock
- Clkout1: CORE clock
- Clkout2: AHB clock
- Clkout3: APB clock
- Clkout4: RTC clock

RiscV_AE350_SOC 数据存储器如果选择 “DDR3 Memory”，DDR3 Memory 的 PLL_ADV IP:

- Clkout0: DDR3 input clock
- Clkout2: DDR3 memory clock

图 2-7 PLL_ADV IP 设计



注！

- RiscV_AE350_SOC 的内核时钟由 “PLL_R[0] > clkout1” 直连提供，必须使用 PLL_ADV IP 的 “**clkout1**” 产生内核时钟。
- RiscV_AE350_SOC 的 DDR3 Memory 时钟由 “PLL_L[0] > clkout2” 直连提供，建议使用 PLL_ADV IP 的 “**clkout2**” 产生 DDR3 Memory 时钟。

用户设计

硬件设计顶层模块中，实例化 RiscV_AE350_SOC IP，实例化 PLL_ADV IP，加入其他用户逻辑设计，连接各模块组成完整的硬件设计。

2.6.4 约束

物理约束

参照所用开发板，加入物理约束，可以使用云源软件的物理约束工具“FloorPlanner”。

例如参考设计 DK_START_GW5AST-LV138FPG676A V1.0 DVK Board 与 Gowin FTDI USB 编程器的 JTAG 接口的对应连接方式，如表 2-1 所示。

表 2-1 参考设计的 JTAG 物理约束

JTAG 接口	DVK Board	Gowin FTDI USB 编程器
GND	J3-8	P2
TMS	J3-3	P9
TCK	J3-4	P1
VREF (3.3V)	J3-7	P6
TDO	J3-6	P5
TDI	J60-3	P3

注！

- RiscV_AE350_SOC 的内核时钟由“PLL_R[0] > clkout1”直连提供，必须约束此 PLL_ADV IP 的位置为“PLL_R[0]”。例如，INS_LOC "u_Gowin_PLL_AE350/PLL_inst" PLL_R[0]。
- RiscV_AE350_SOC 的 DDR3 Memory 时钟由“PLL_L[0] > clkout2”直连提供，建议约束此 PLL_ADV IP 的位置为“PLL_L[0]”。例如，INS_LOC "u_Gowin_PLL_DDR3/PLL_inst" PLL_L[0]。

时序约束

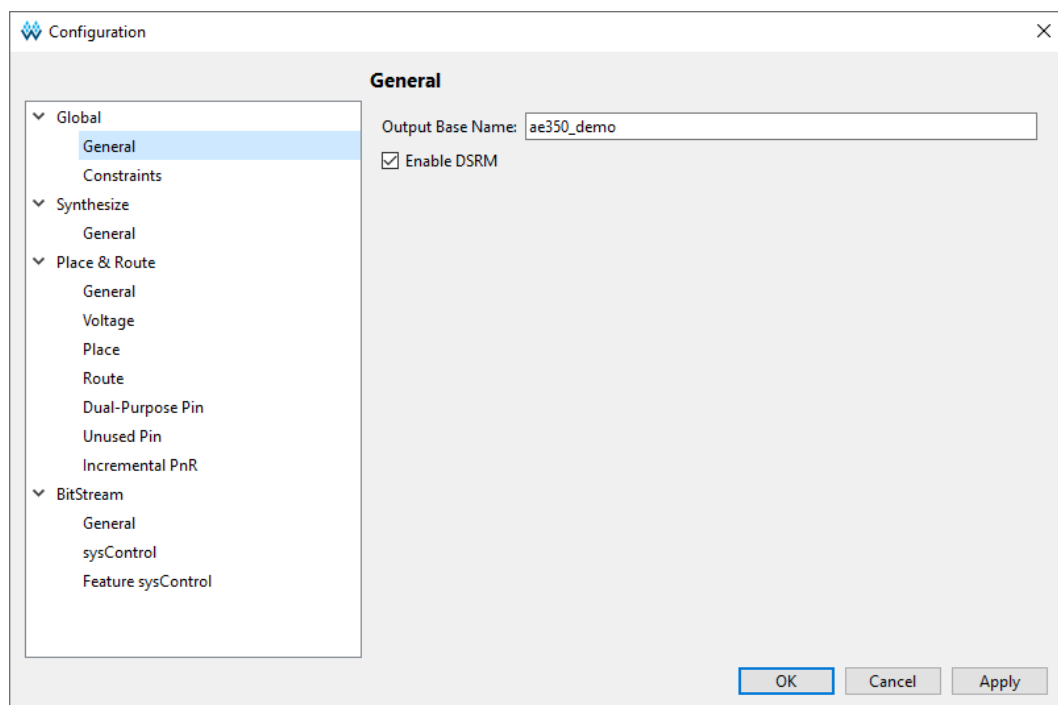
参照软件时序分析报告，加入时序约束，可以使用云源软件的时序约束工具“Timing Constraints Editor”。

2.6.5 配置

全局选项

“Global > General”全局选项配置，如图 2-8 所示。例如：
Enable DSRAM: 开启，综合出 DSRAM

图 2-8 全局选项配置



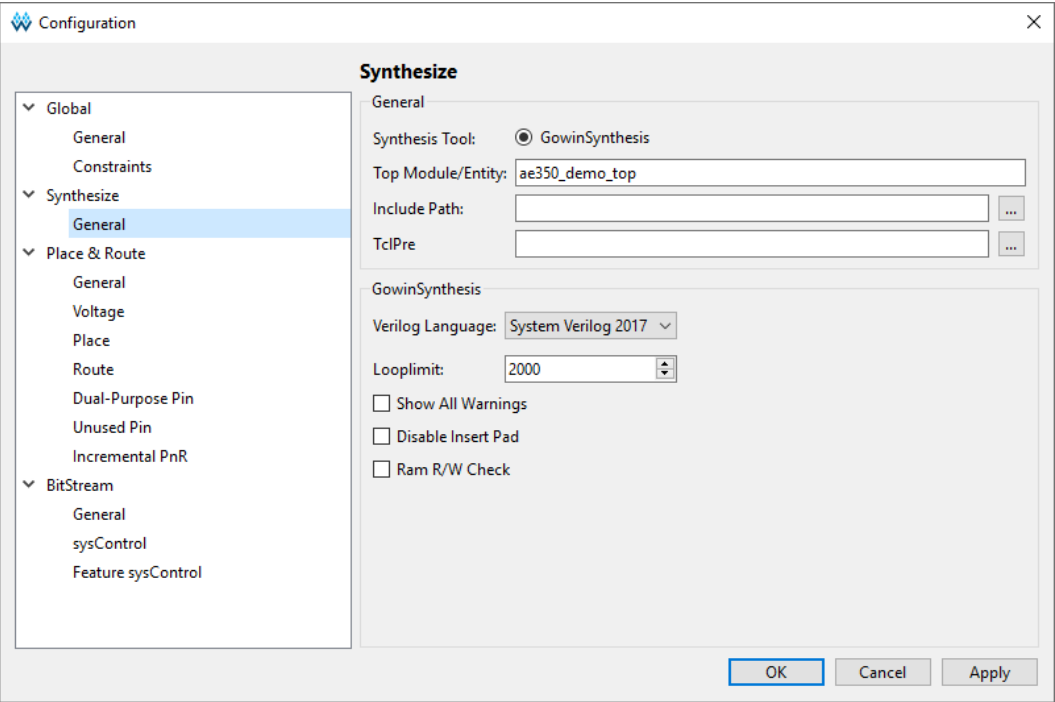
综合选项

“Synthesize > General” 综合选项配置，请参照硬件设计的实际需求配置，如图 2-9 所示。

例如：

- Top Module/Entity: ae350_demo_top
- Verilog Language: System Verilog 2017

图 2-9 综合选项配置



布局布线选项

布局布线选项配置，请参照硬件设计的实际需求配置。例如：

- Place：默认选择 Place Option 3，如图 2-10 所示。
- Route：默认选择 Route Option 2，如图 2-11 所示。
- Dual-Purpose Pin：复用 SSPI、MSPI 和 CPU，如图 2-12 所示。

图 2-10 Place 选项配置

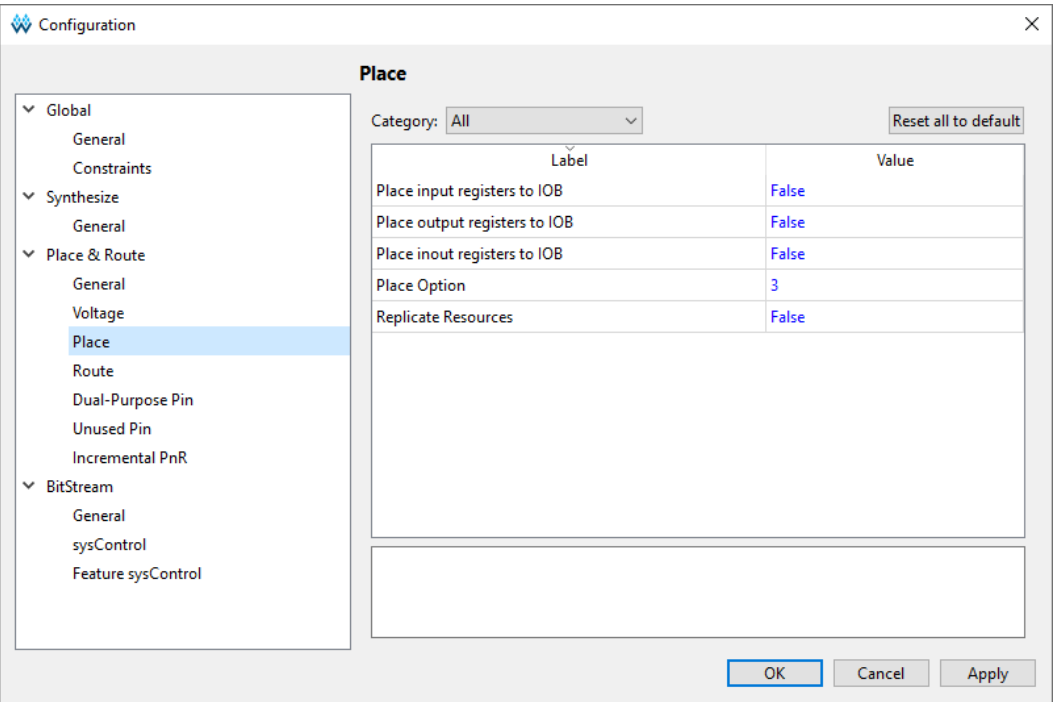


图 2-11 Route 选项配置

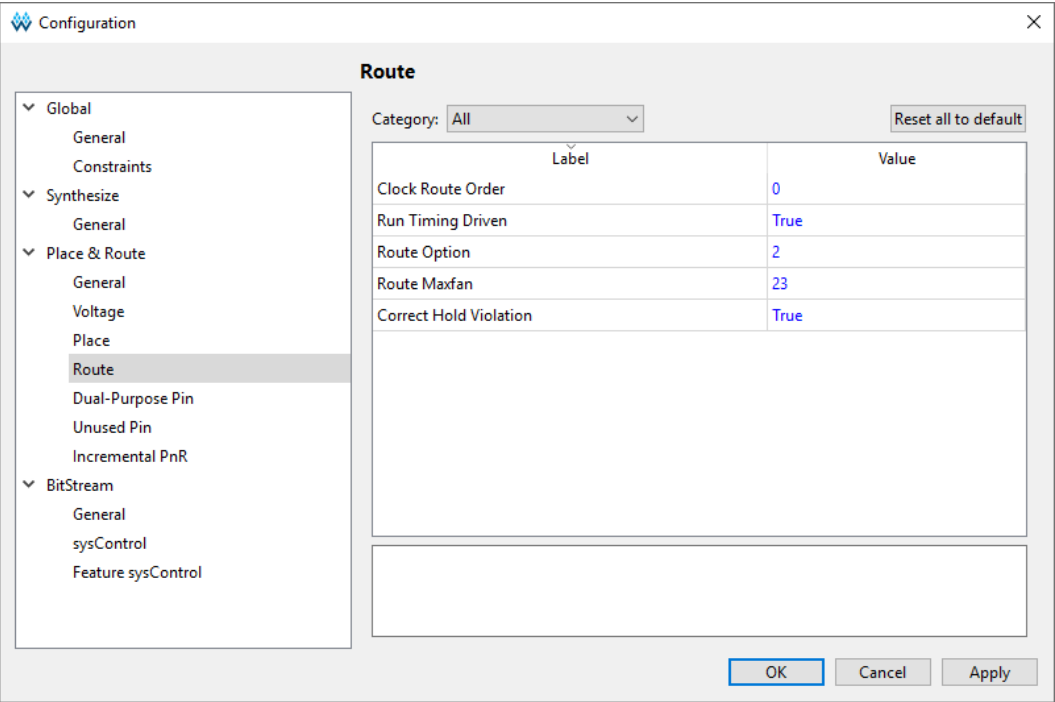
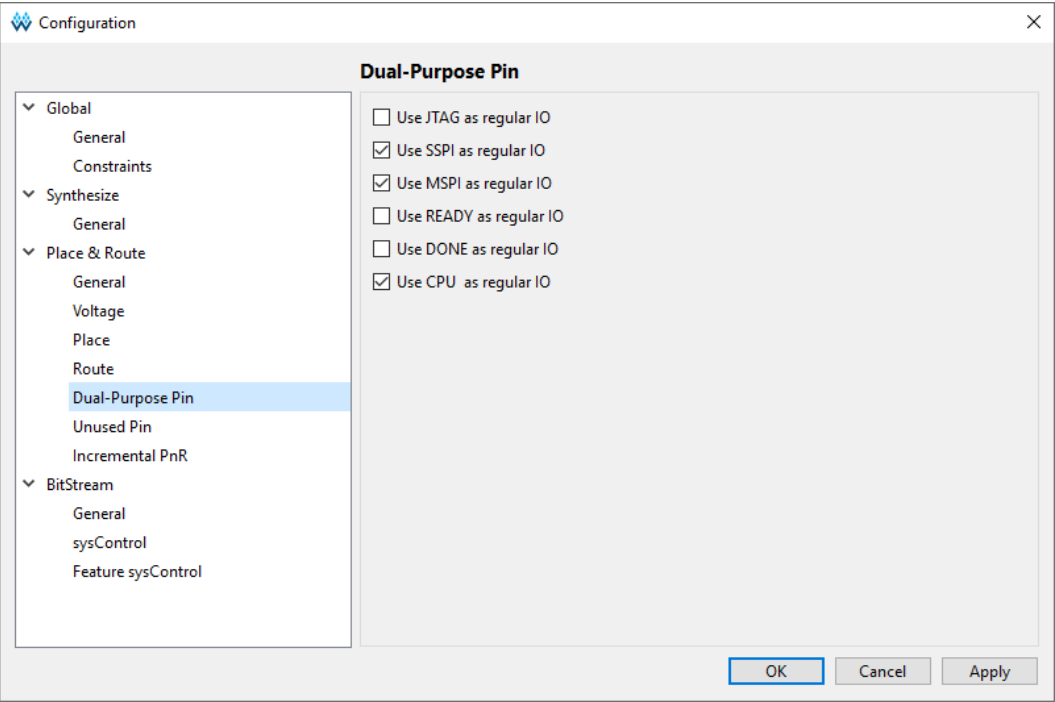


图 2-12 Dual-Purpose Pin 选项配置



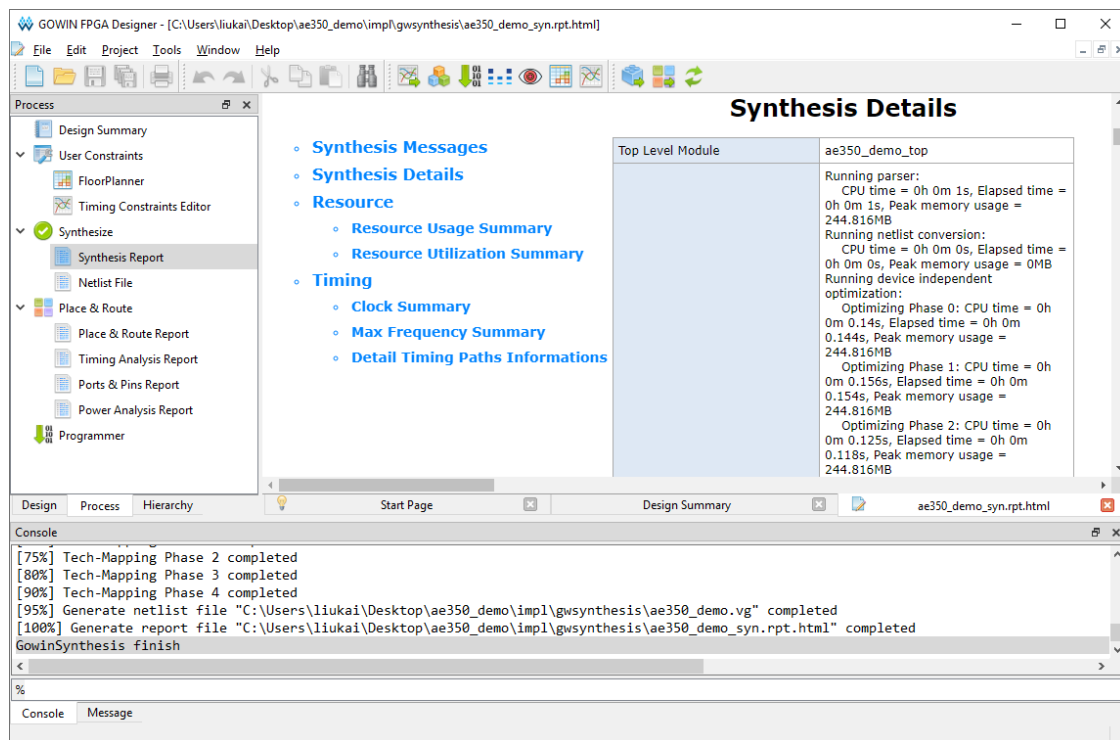
码流选项

码流选项配置，请参照硬件设计的实际需求配置。

2.6.6 综合

云源软件的综合工具“GowinSynthesis”，综合 RiscV_AE350_SOC 硬件设计，产生网表文件，如图 2-13 所示。

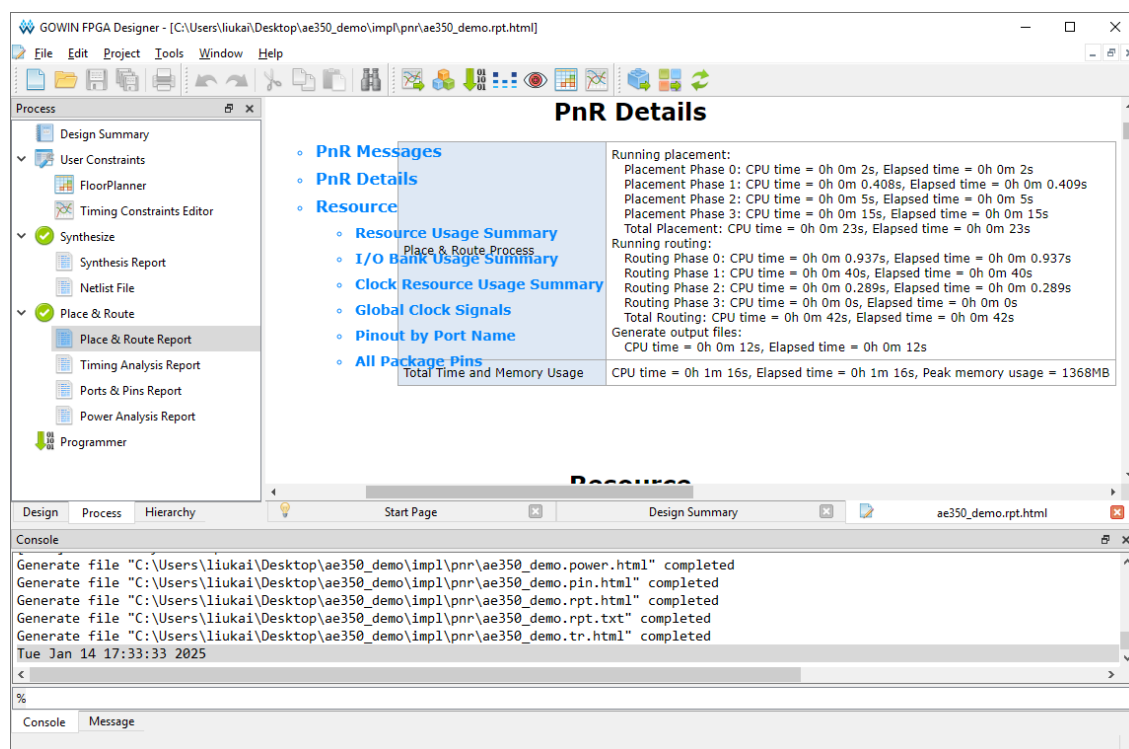
图 2-13 综合



2.6.7 布局布线

云源软件的布局布线工具“Place & Route”，布局布线网表文件，产生码流文件，如图 2-14 所示。

图 2-14 布局布线



2.6.8 下载

云源软件的下载工具“Programmer”，下载码流文件。

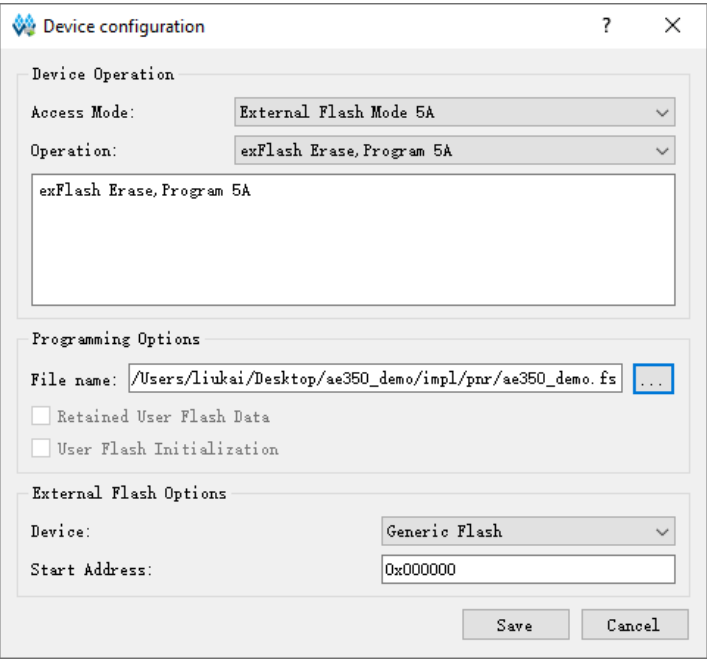
云源软件，“Process > Program Device”，或主菜单“Tools > Programmer”，或工具栏“”，打开 Programmer。

选择 Programmer 主菜单“Edit > Configure Device”，或工具栏“”，配置下载选项，如图 2-15 所示。

例如：

- Access Mode: External Flash Mode 5A
- Operation: exFlash Erase, Program 5A
- Programming Options > File name: ae350_demo.fs
- External Flash Options > Device: Generic Flash
- External Flash Options > Start Address: 0x000000

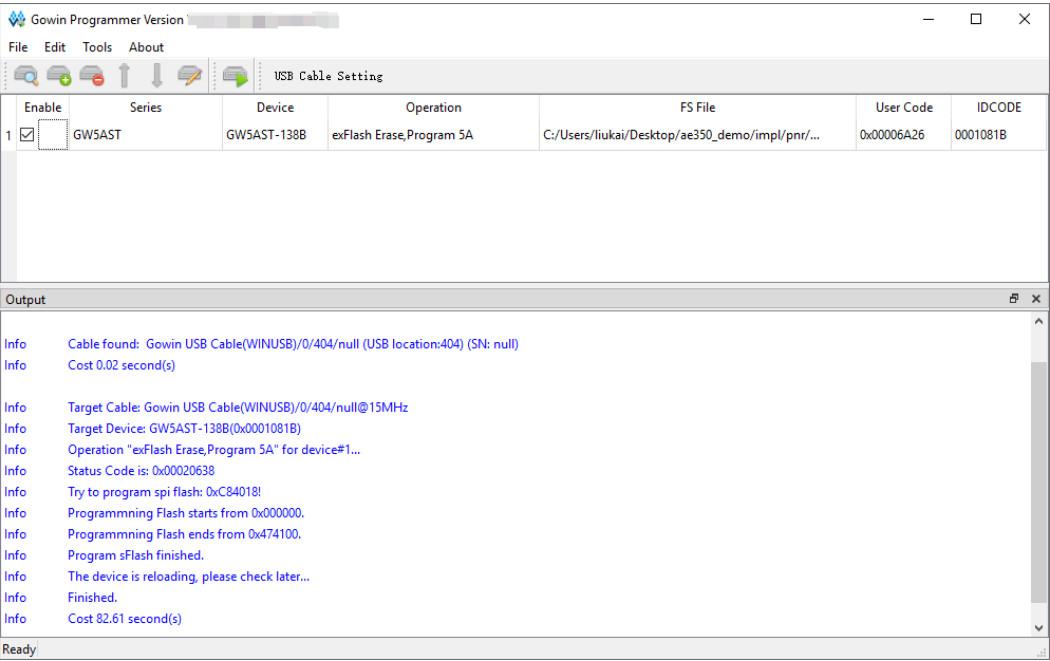
图 2-15 下载选项配置



单击“Save”，完成下载选项配置。

单击工具栏“”，下载码流文件，如图 2-16 所示。

图 2-16 下载码流文件



3 软件设计方法

3.1 软件版本

已测试软件版本: RiscV_AE350_SOC_RDS_v1.3_win

3.2 参考设计

...\ref_design\MCU_RefDesign\ae350_demo

3.3 用户手册

- [MUG1029, Gowin RiscV AE350 SOC 软件编程用户手册](#)
- [MUG1025, Gowin RiscV AE350 SOC RDS 软件用户手册](#)
- [SUG502, Gowin Programmer 用户指南](#)

3.4 详细设计方法

3.4.1 建立软件工程

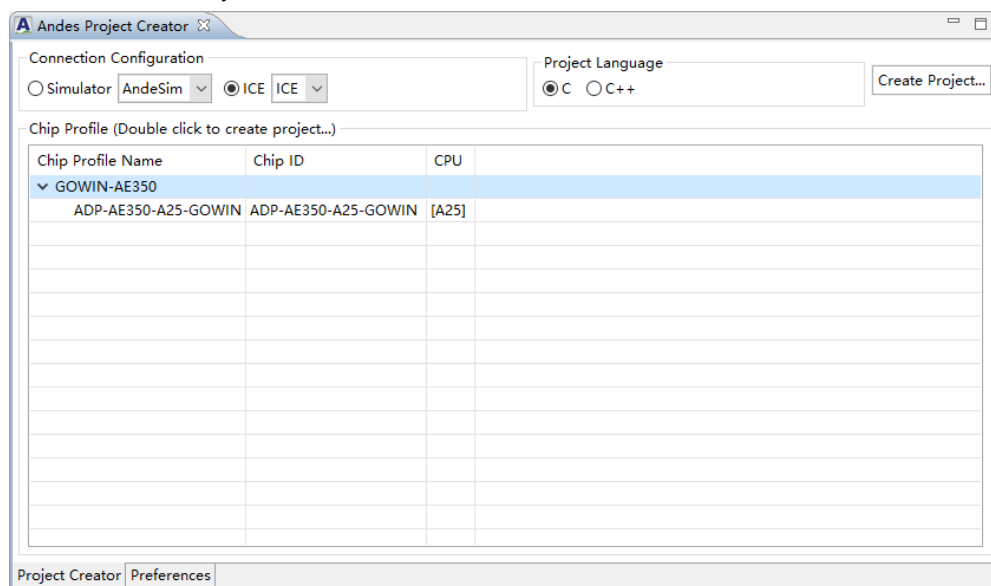
步骤 1

双击打开 RDS 软件，项目创建视图（Andes Project Creator）中，设置以下选项：

- “Connection Configuration”，选择 “ICE”
- “Project Language”，选择 “C”
- “Chip Profile”，选择 “GOWIN-AE350 > ADP-AE350-A25-GOWIN”

单击 “Create Project...”，如图 3-1 所示。

图 3-1 Create Project...



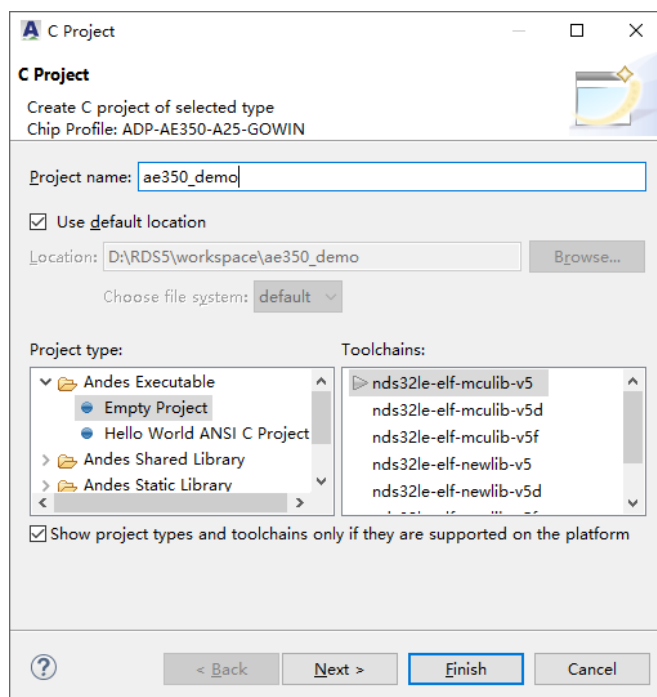
步骤 2

设置以下 C Project 信息:

- “Project name”
- “Location”
- “Project type”，选择 “Empty Project”
- “Toolchains”，选择 “nds32le-elf-mculib-v5”

单击“Next”，如图 3-2 所示。

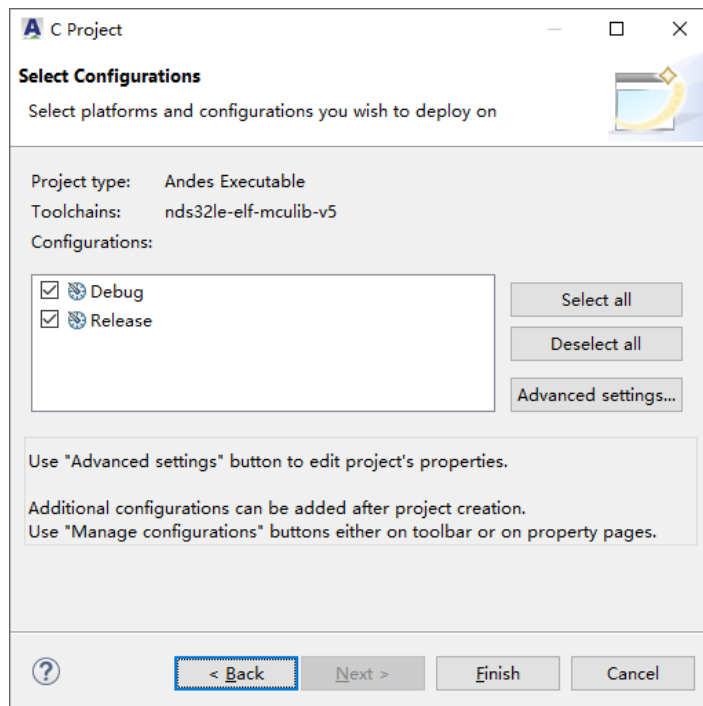
图 3-2 C Project



步骤 3

设置部署平台和配置，例如，“Debug”或“Release”，单击“Finish”，如图 3-3 所示。

图 3-3 Select Configurations



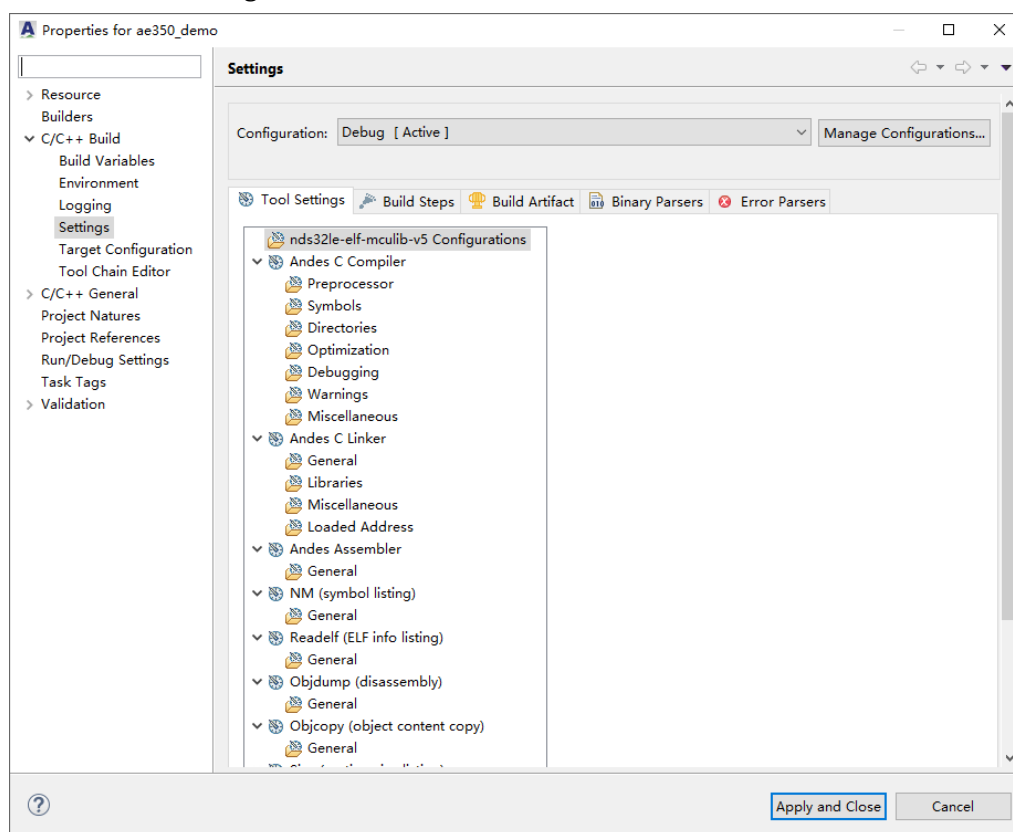
步骤 4

参照应用需求，调用 RiscV_AE350_SOC 软件编程函数库，编写应用程序。

3.4.2 配置软件工程

项目资源管理器视图（Project Explorer View）中，右单击选定的软件工程，下拉菜单中选择“Build Settings”，“Settings”对话框中，参照应用需求配置“Tool Settings”，如图 3-4 所示。

图 3-4 Build Settings



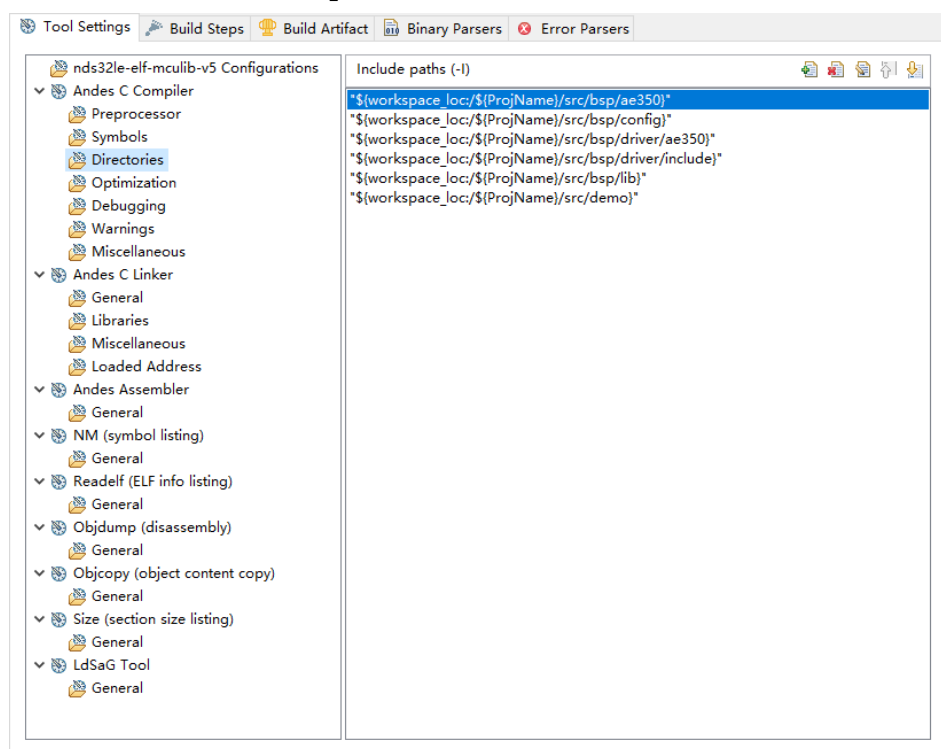
Andes C Compiler > Directories

选择 “Andes C Compiler > Directories > Include paths (-I)”，指定软件工程引用的头文件的路径，如图 3-5 所示。

例如：

- “\${workspace_loc:\${ProjName}}/src/bsp/ae350”
- “\${workspace_loc:\${ProjName}}/src/bsp/config”
- “\${workspace_loc:\${ProjName}}/src/bsp/driver/ae350”
- “\${workspace_loc:\${ProjName}}/src/bsp/driver/include”
- “\${workspace_loc:\${ProjName}}/src/bsp/lib”
- “\${workspace_loc:\${ProjName}}/src/demo”

图 3-5 选择 Andes C Compiler > Directories



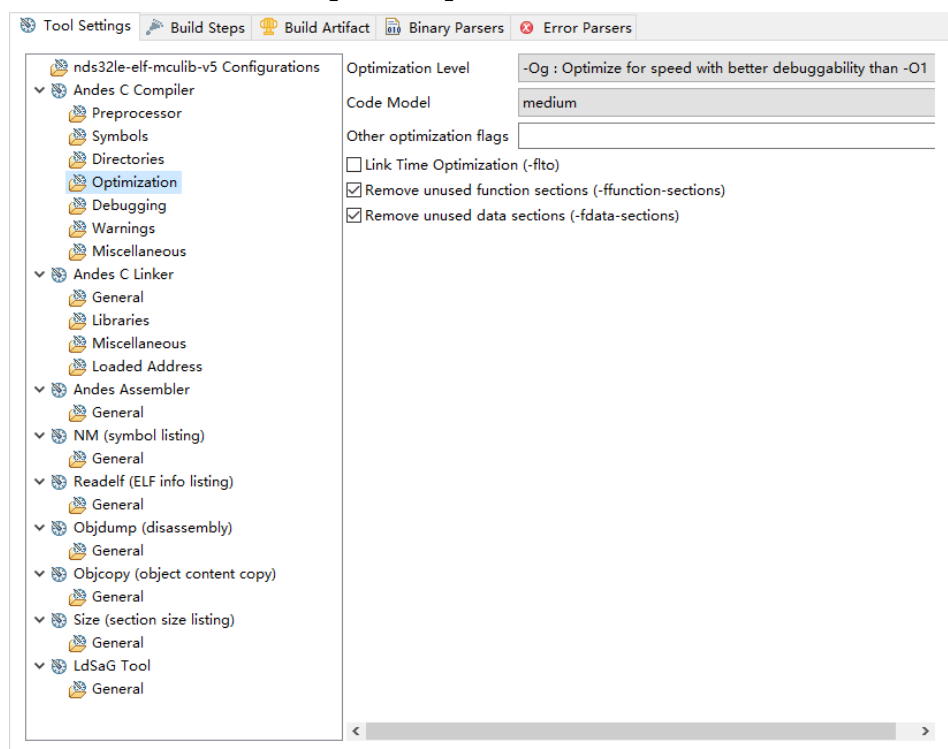
Andes C Compiler > Optimization

选择“Andes C Compiler > Optimization”，指定软件工程的优化等级和代码模型等，如图 3-6 所示。

例如：

- Optimization Level: -Og : Optimize for speed with better debug ability than O1
- Code Model: medium
- Remove unused function sections (-ffunction-sections): 开启
- Remove unused data sections (-fdata-sections): 开启

图 3-6 选择 Andes C Compiler > Optimization

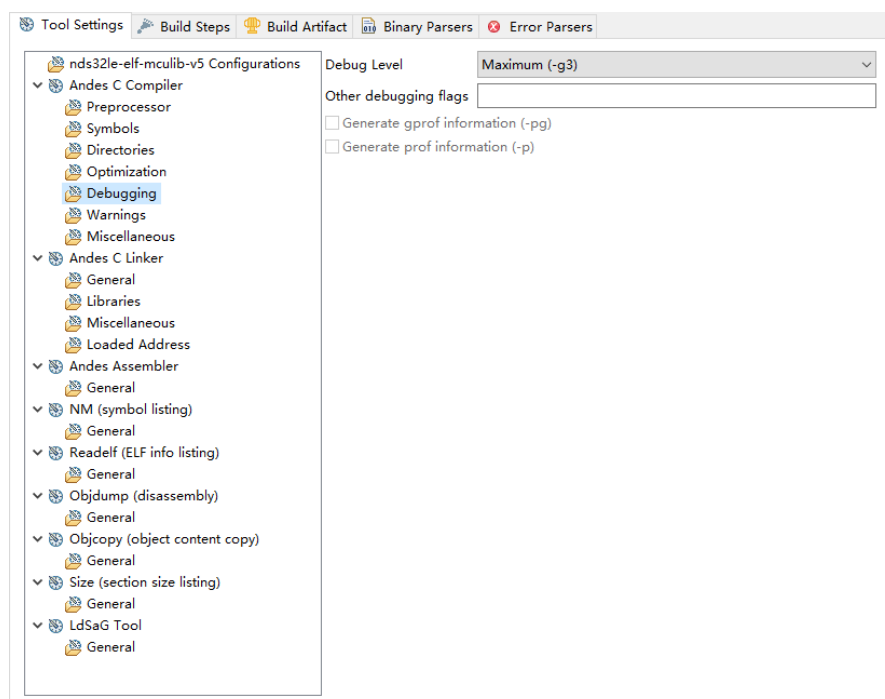


Andes C Compiler > Debugging

选择“Andes C Compiler > Debugging”，指定软件工程的调试等级，如图 3-7 所示。

例如：Debug Level: Maximum (-g3)

图 3-7 选择 Andes C Compiler > Debugging



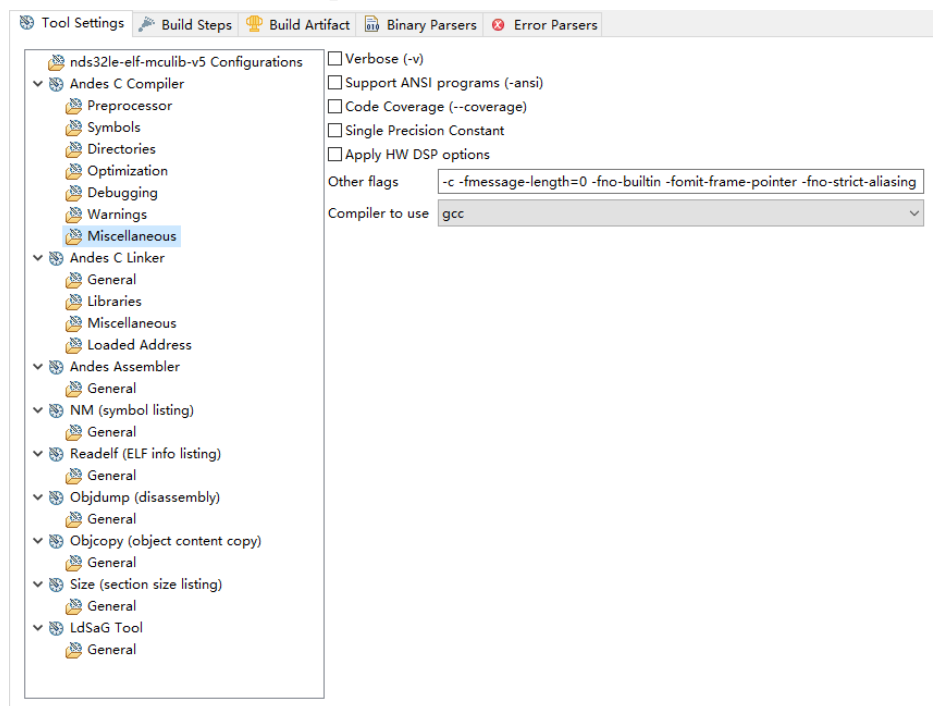
Andes C Compiler > Miscellaneous

选择 “Andes C Compiler > Miscellaneous”，指定软件工程的其他各种选项，如图 3-8 所示。

例如：

- Other flags: `-c -fmessage-length=0 -fno-builtin -fomit-frame-pointer -fno-strict-aliasing`
- Compiler to use: `gcc`

图 3-8 选择 Andes C Compiler > Miscellaneous



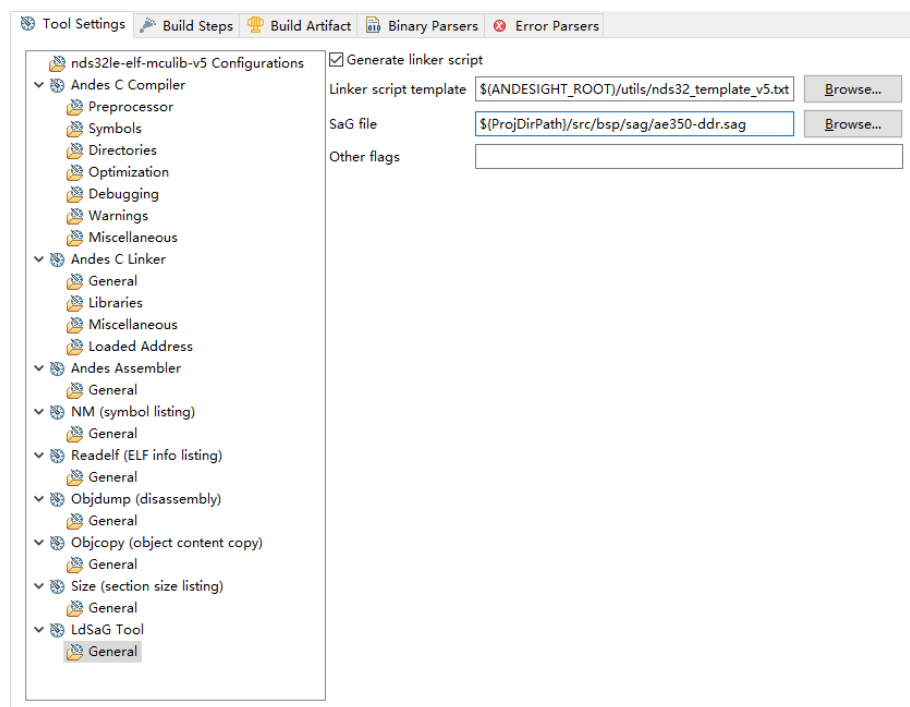
LdSaG Tool > General

选择 “LdSaG Tool > General”，指定 SaG 文件，如图 3-9 所示。

例如：

- Generate linker script: 开启
- Linker script template:
`$(ANDESIGHT_ROOT)/utils/nds32_template_v5.txt`
- SaG file: `${ProjDirPath}/src/bsp/sag/ae350-ddr.sag`

图 3-9 选择 LdSaG Tool > General



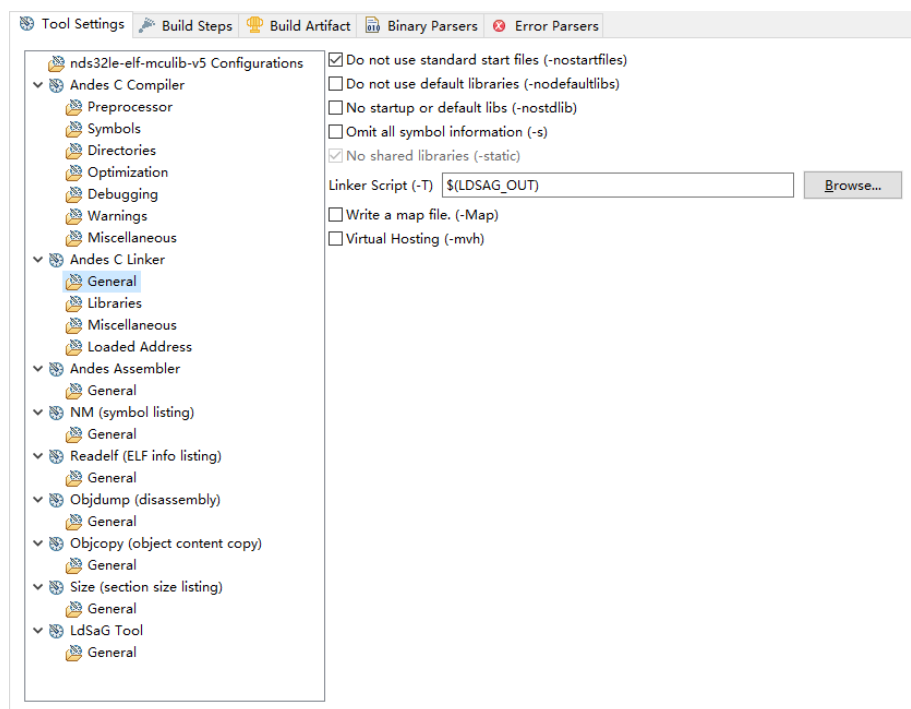
Andes C Linker > General

选择“**Andes C Linker > General**”，指定软件工程的链接脚本文件，如图 3-10 所示。

例如：

- Do not use standard start files (-nostartfiles): 开启
- Linker Script (-T): \$(LDSAG_OUT)

图 3-10 选择 Andes C Linker > General



注！

此选项关联于“LdSaG Tool > General”选项，如果已配置 SaG 文件，此链接脚本文件由 SaG 文件产生，否则须手动指定。

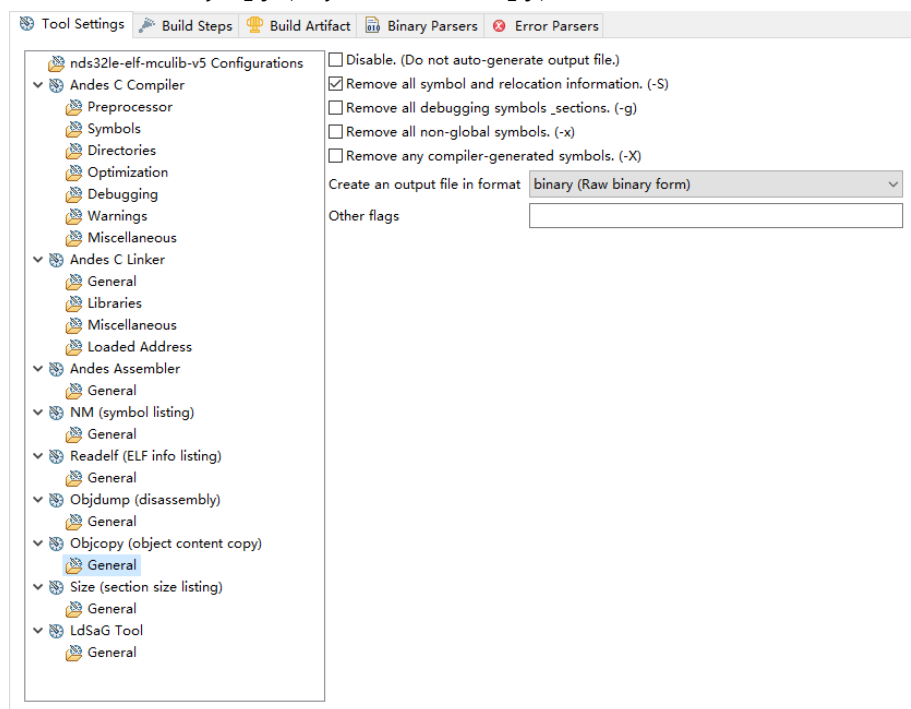
Objcopy (object content copy) > General

选择“Objcopy (object content copy) > General”，指定软件工程产生 Binary 文件，如图 3-11 所示。

例如：

- Disable. (Do not auto-generate output file.): 关闭
- Create an output file in format: binary (Raw binary form)

图 3-11 选择 Objcopy (object content copy) > General



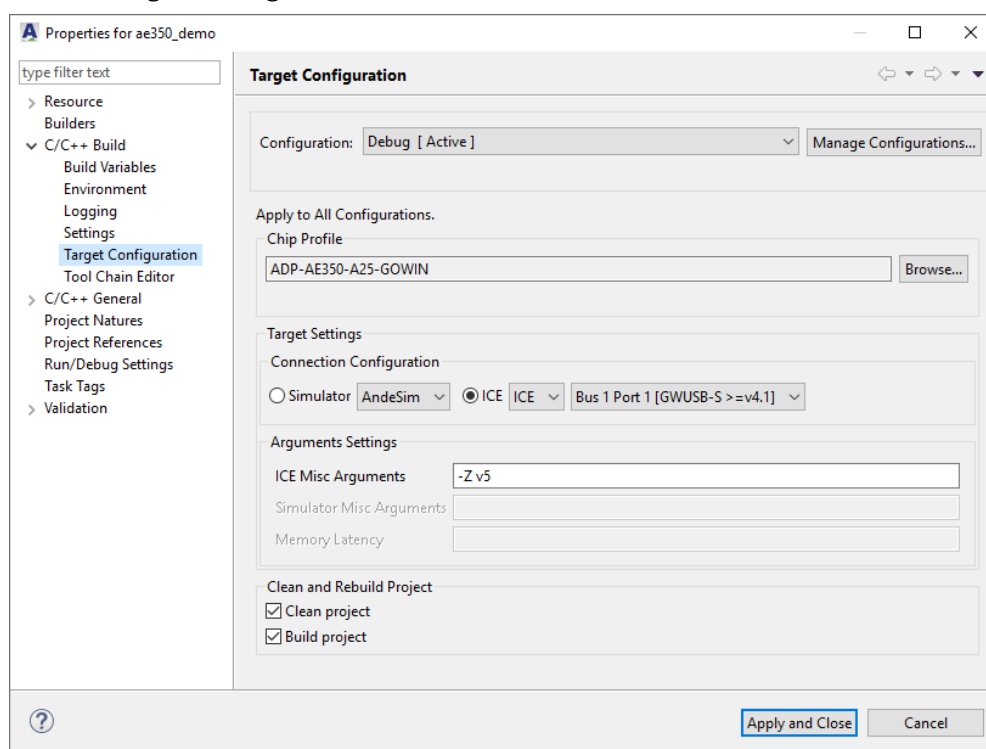
3.4.3 配置目标

项目资源管理器视图中，右单击选定的软件工程，下拉菜单中选择“Target Configuration”，配置“Target Configuration”选项，指定软件工程的 Chip Profile、Connection Configuration、Clean and Rebuild Project 等，如图 3-12 所示。

例如：

- Chip Profile: ADP-AE350-A25-GOWIN
- Connection Configuration
 - ICE
 - Bus 1 Port 1 [GWUSB-S >=v4.1]
- Clean project: 建议开启
- Build project: 建议开启

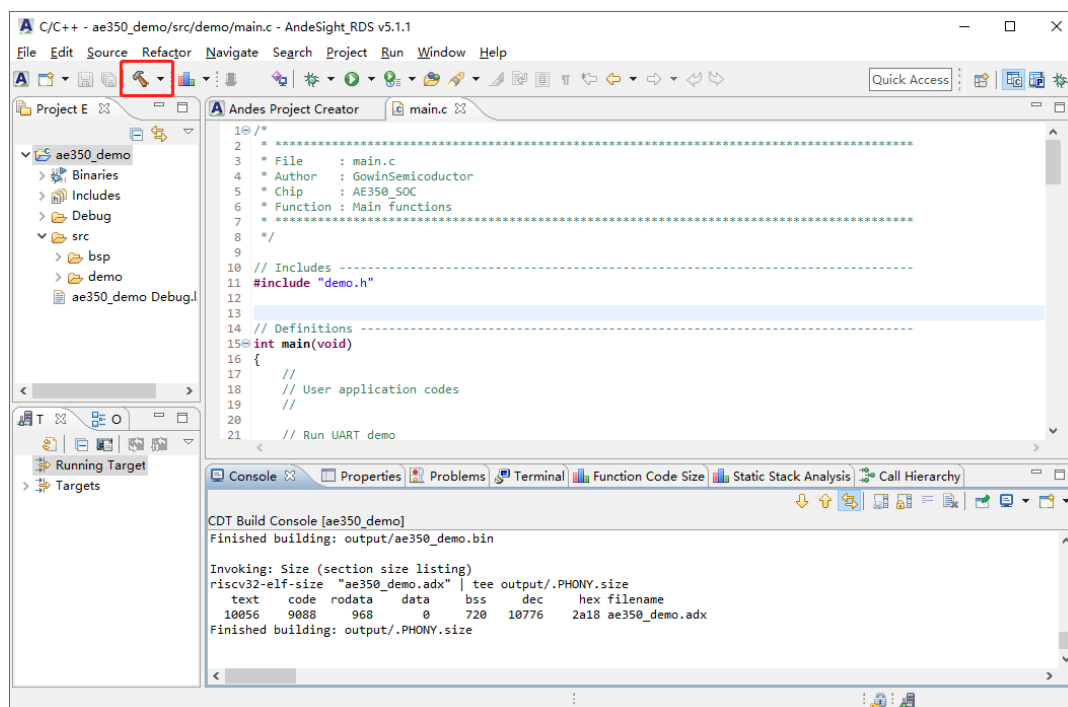
图 3-12 Target Configuration



3.4.4 构建软件工程

单击 RDS 软件工具栏 “”，构建软件工程，产生 Binary 文件，如图 3-13 所示。

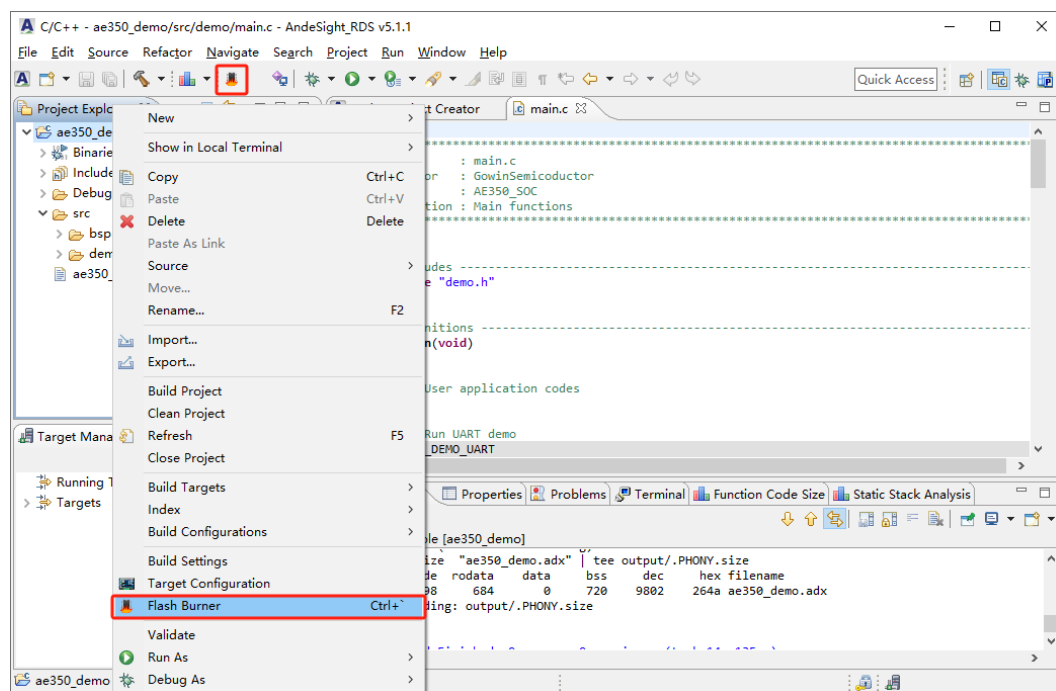
图 3-13 构建软件工程



3.4.5 下载软件工程

单击 RDS 软件工具栏 “” (Flash Burner)，或右单击选定的软件工程，下拉菜单中选择 “Flash Burner”，启动 Gowin Programmer，如图 3-14 所示。

图 3-14 下载选项配置

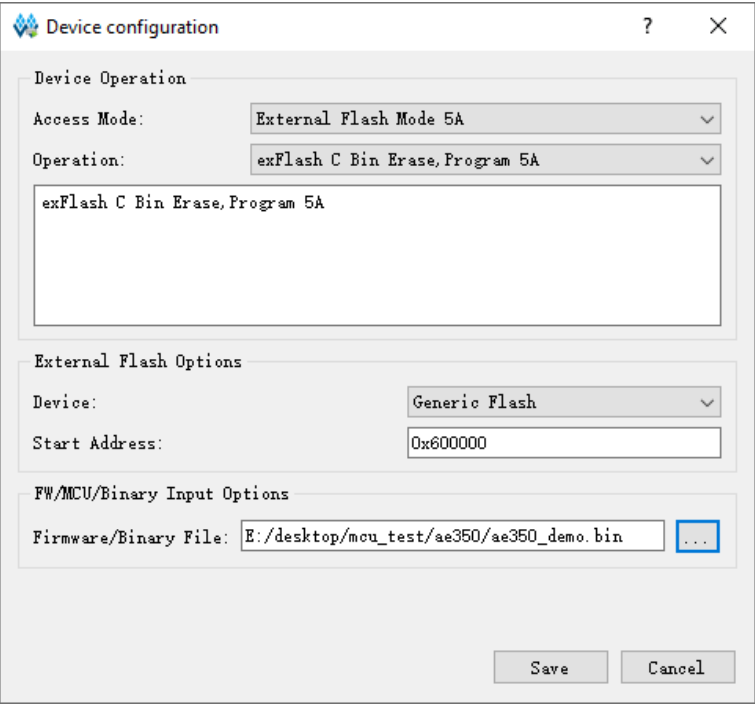


Gowin Programmer，选择主菜单 “Edit > Configure Device”，或单击工具栏 “” (Configure Device)，配置下载选项，如图 3-15 所示。

例如：

- Access Mode: External Flash Mode 5A
- Operation: exFlash C Bin Erase, Program 5A
- External Flash Options > Device: Generic Flash
- External Flash Options > Start Address: 0x600000
- FW/MCU/Binary Input Options > Firmware/Binary File: ae350_demo.bin

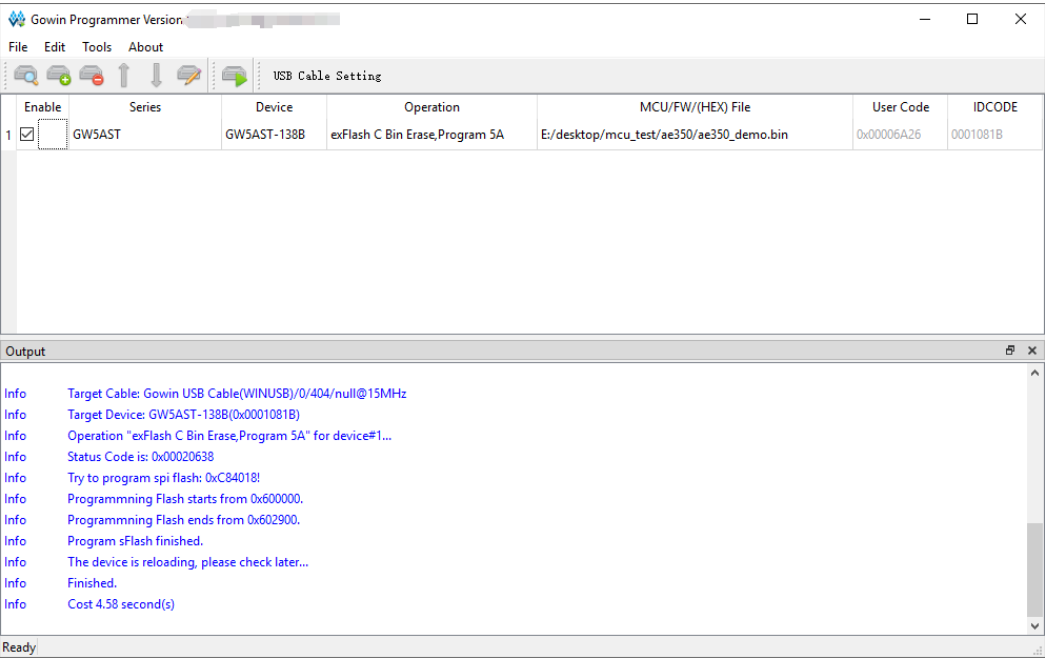
图 3-15 下载选项配置



单击“Save”，完成下载选项配置。

单击工具栏“”，下载软件编程 Binary 文件，如图 3-16 所示。

图 3-16 下载软件编程 Binary 文件

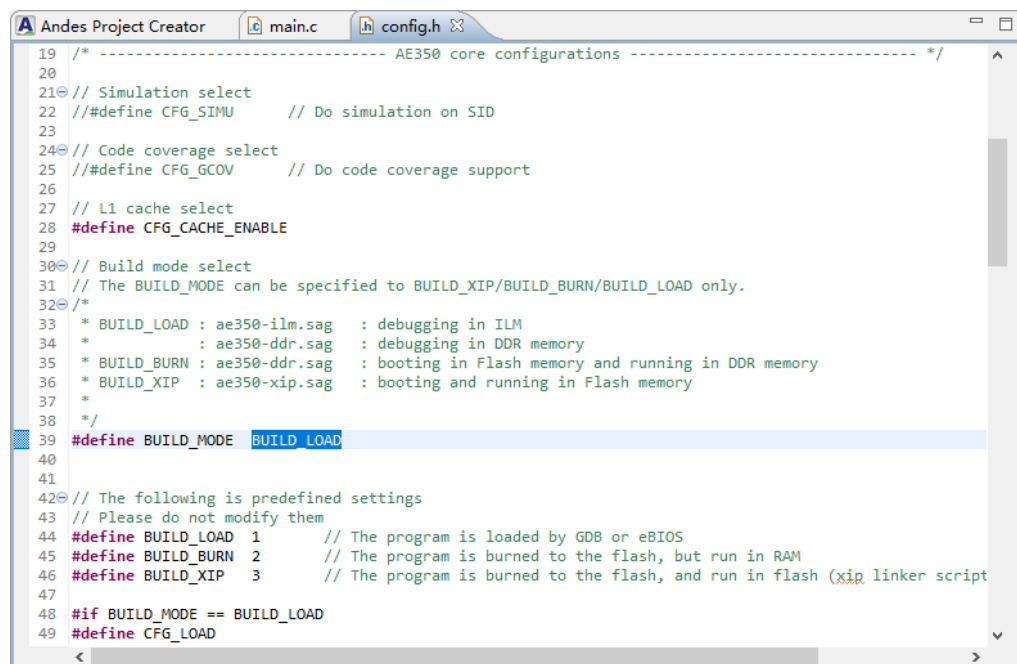


3.4.6 调试软件工程

配置构建模式

修改 bsp\config\config.h，指定 BUILD_MODE 为 “BUILD_LOAD”，重新构建软件工程，如图 3-17 所示。

图 3-17 配置构建模式



建立调试配置

项目资源管理器视图中，右单击选定的软件工程，下拉菜单中选择 “Debug As > Debug Configurations...”，建立 “MCU Program” 模式的调试配置，如图 3-18 和图 3-19 所示。

例如：

- Main > Project: ae350_demo
- Main > Program: Debug\ae350_demo.adx
- Startup > GDB Initialization Commands:
 - Reset and Hold
 - load
- Startup > Runtime Options: Set breakpoint at: main

图 3-18 建立调试配置

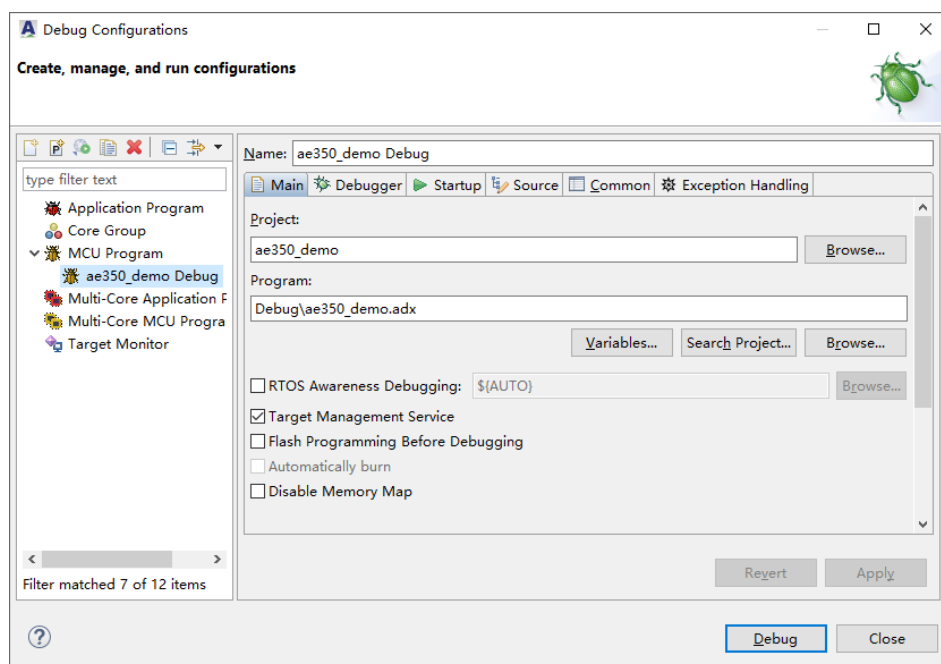
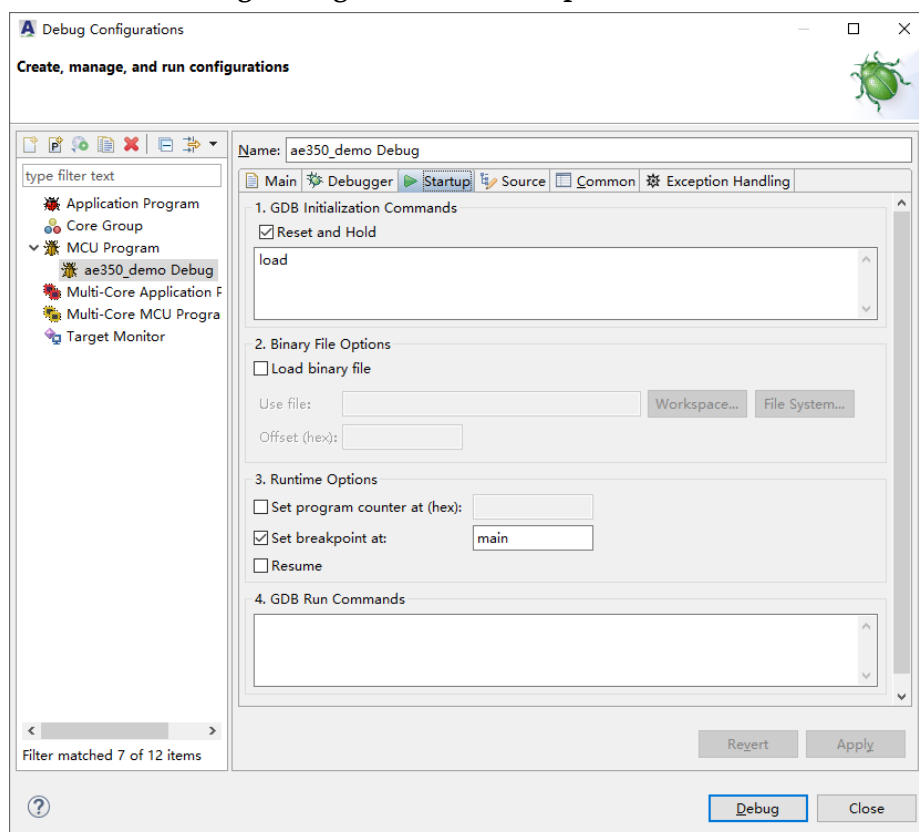


图 3-19 选择 Debug Configurations > Startup



开启调试会话

物理连接 Windows PC、Gowin FTDI USB 编程器、DK_START_GW5AST-LV138FPG676A V1.0，启动开发板。

选择 RDS 软件主菜单 “Debug Configurations > Debug” 或单击工具栏 “”，开启调试会话，如图 3-20 所示。

例如：

-  : Terminate and Relaunch
-  : Resume
-  : Step Into
-  : Step Over
-  : Terminate

图 3-20 开启调试会话

