



# Gowin RiscV\_AE350\_SOC 硬件设计 用户手册

MUG1031-1.2, 2024-06-14

版权所有 © 2024 广东高云半导体科技股份有限公司

**GOWIN高云**、Gowin、GOWIN、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其所有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

## 版本信息

日期	版本	描述
2023/09/12	1.0	初始版本。
2023/12/29	1.1	<ul style="list-style-type: none"><li>● 新增端口信号 DDR3_CS_N、DDR3_RSTN、POR_RSTN 和 HW_RSTN;</li><li>● 新增 DK-START-GW5AT138K V2.1 和 Tang-MEGA-138K-Pro-Dock 开发板参考设计;</li><li>● 更新 Extended_AHB2AHBBridge、Extended_Memory (BlockRAM) 及新增 Extended_Memory (DDR3)、Extended_AHB_CAN、Extended_AHB_Ethernet 解决方案。</li></ul>
2024/06/14	1.2	<ul style="list-style-type: none"><li>● 指令存储器支持多种类型的存储器，包括 SPI Flash Memory、ITCM 和用户自定义的存储器;</li><li>● 数据存储器支持多种类型的存储器，包括 DDR3 Memory、DTCM 和用户自定义的存储器;</li><li>● DDR3 Memory 支持多端口模式，MCU 端和 FPGA 端可以共享访问;</li><li>● DDR3 Memory 支持用户自定义选项配置;</li><li>● 支持逻辑扩展的 SD 外设功能。</li></ul>

# 目录

目录 .....	i
图目录 .....	iii
表目录 .....	v
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 术语、缩略语 .....	1
1.3 技术支持与反馈 .....	2
<b>2 系统架构 .....</b>	<b>3</b>
<b>3 系统特征 .....</b>	<b>5</b>
3.1 内核系统 .....	5
3.2 存储器系统 .....	7
3.3 总线外设系统 .....	8
<b>4 系统性能 .....</b>	<b>11</b>
4.1 系统时钟 .....	11
4.2 DDR3 时钟 .....	11
4.3 性能指标 .....	12
<b>5 系统端口 .....</b>	<b>13</b>
<b>6 系统配置 .....</b>	<b>21</b>
<b>7 设计流程 .....</b>	<b>23</b>
7.1 硬件目标 .....	23
7.2 软件版本 .....	23
7.3 设计流程 .....	23
<b>8 详细设计方法 .....</b>	<b>25</b>
8.1 建立工程 .....	25

8.2 IP 设计 .....	27
8.2.1 PLIC .....	29
8.2.2 Instruction Memory .....	30
8.2.3 Data Memory .....	33
8.2.4 I2C .....	36
8.2.5 PIT .....	36
8.2.6 SPI .....	37
8.2.7 UART1 和 UART2 .....	38
8.2.8 GPIO .....	38
8.2.9 WDT .....	39
8.2.10 RTC .....	39
8.2.11 SMU .....	40
8.2.12 DMAC .....	40
8.2.13 Extended APB Slave .....	41
8.2.14 Extended AHB Slave .....	42
8.2.15 Extended AHB Master .....	42
8.3 用户设计 .....	43
8.3.1 RiscV_AE350_SOC IP 设计 .....	43
8.3.2 PLL_ADV IP 设计 .....	44
8.3.3 用户设计 .....	45
8.4 约束 .....	46
8.4.1 物理约束 .....	46
8.4.2 时序约束 .....	47
8.5 配置 .....	48
8.5.1 全局选项 .....	48
8.5.2 综合选项 .....	48
8.5.3 布局布线选项 .....	49
8.5.4 码流选项 .....	51
8.6 综合 .....	52
8.7 布局布线 .....	52
8.8 下载 .....	53
<b>9 参考设计 .....</b>	<b>55</b>

# 图目录

图 2-1 系统架构 .....	3
图 8-1 New Project .....	25
图 8-2 Project Name .....	26
图 8-3 Select Device .....	27
图 8-4 Summary .....	27
图 8-5 IP Core Generator .....	28
图 8-6 RiscV_AE350_SOC IP Core .....	29
图 8-7 PLIC 配置 .....	30
图 8-8 SPI Flash 配置 .....	31
图 8-9 ITCM 配置 .....	32
图 8-10 Customized 配置 .....	32
图 8-11 DDR3 配置 .....	34
图 8-12 DTCM 配置 .....	35
图 8-13 Customized 配置 .....	35
图 8-14 I2C 配置 .....	36
图 8-15 PIT 配置 .....	37
图 8-16 SPI 配置 .....	37
图 8-17 UART1 和 UART2 配置 .....	38
图 8-18 GPIO 配置 .....	39
图 8-19 WDT 配置 .....	39
图 8-20 RTC 配置 .....	40
图 8-21 SMU 配置 .....	40
图 8-22 DMAC 配置 .....	41
图 8-23 Extended APB Slave 配置 .....	41
图 8-24 Extended AHB Slave 配置 .....	42

---

图 8-25 Extended AHB Master 配置.....	43
图 8-26 RiscV_AE350_SOC IP 设计.....	44
图 8-27 PLL_ADV IP 设计.....	45
图 8-28 时序分析报告.....	47
图 8-29 全局选项配置.....	48
图 8-30 综合选项配置.....	49
图 8-31 Place 选项配置.....	50
图 8-32 Route 选项配置.....	50
图 8-33 Dual-Purpose Pin 选项配置.....	51
图 8-34 码流选项配置.....	51
图 8-35 综合.....	52
图 8-36 布局布线.....	52
图 8-37 下载选项配置.....	53
图 8-38 下载码流文件.....	54

# 表目录

表 1-1 术语、缩略语 .....	1
表 3-1 内核系统特征 .....	5
表 3-2 存储器系统特征 .....	7
表 3-3 总线外设系统特征 .....	8
表 4-1 系统时钟 .....	11
表 4-2 DDR3 时钟 .....	11
表 4-3 性能指标 .....	12
表 5-1 系统端口 .....	13
表 6-1 系统配置 .....	21
表 8-1 参考设计的 JTAG 物理约束 (Andes AICE-MINI+) .....	46
表 8-2 参考设计的 JTAG 物理约束 (Gowin 的 FTDI 下载线) .....	46
表 8-3 参考设计的 JTAG 物理约束 (Olimex 仿真器) .....	46



# 1 关于本手册

## 1.1 手册内容

本手册主要描述 Gowin RiscV\_AE350\_SOC 的系统架构、系统特征、系统性能、系统端口、系统配置、硬件设计流程和方法。

## 1.2 术语、缩略语

本手册中的相关术语、缩略语及相关释义，如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
AHB	Advanced High Performance Bus	高性能总线
APB	Advanced Peripheral Bus	高级外设总线
BMC	Bus Matrix Controller	总线矩阵控制器
CAN	Controller Area Network	控制器局域网总线
DDR	Double Data Rate Memory	双倍数据速率存储器
DLM	Data Local Memory	数据局部存储器
DMAC	Direct Memory Access Controller	直接内存访问控制器
DSP	Digital Signal Processor	数字信号处理器
I2C	Inter-Integrated Circuit Bus	内部集成电路总线
ILM	Instruction Local Memory	指令局部存储器
ISA	Instruction Set Architecture	指令集架构
LRU	Least Recently Used	近期最少使用替换算法
MCU	Micro Controller Unit	微控制器单元
PIT	Programmable Interval Timer	可编程间隔定时器
PLIC	Platform Level Interrupt Controller	平台级中断控制器
PLMT	Platform Level Machine Timer	平台级机器模式定时器
PMP	Physical Memory Protection	物理内存保护
PWM	Pulse Width Modulation	脉冲宽度调制

术语、缩略语	全称	含义
RISC-V	Reduced Instruction Set Computer V	第五代精简指令集计算机
RTC	Real Time Clock	实时时钟
SMU	System Manage Unit	系统管理单元
SOC	System on Chip	片上系统
SPI	Serial Peripheral Interface	串行外设接口
UART	Universal Synchronous and Asynchronous Receiver/Transmitter	通用同步和异步接收器/发射器
WDT	Watch Dog Timer	看门狗定时器
WFI	Wait for Interrupt	等待中断唤醒

## 1.3 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

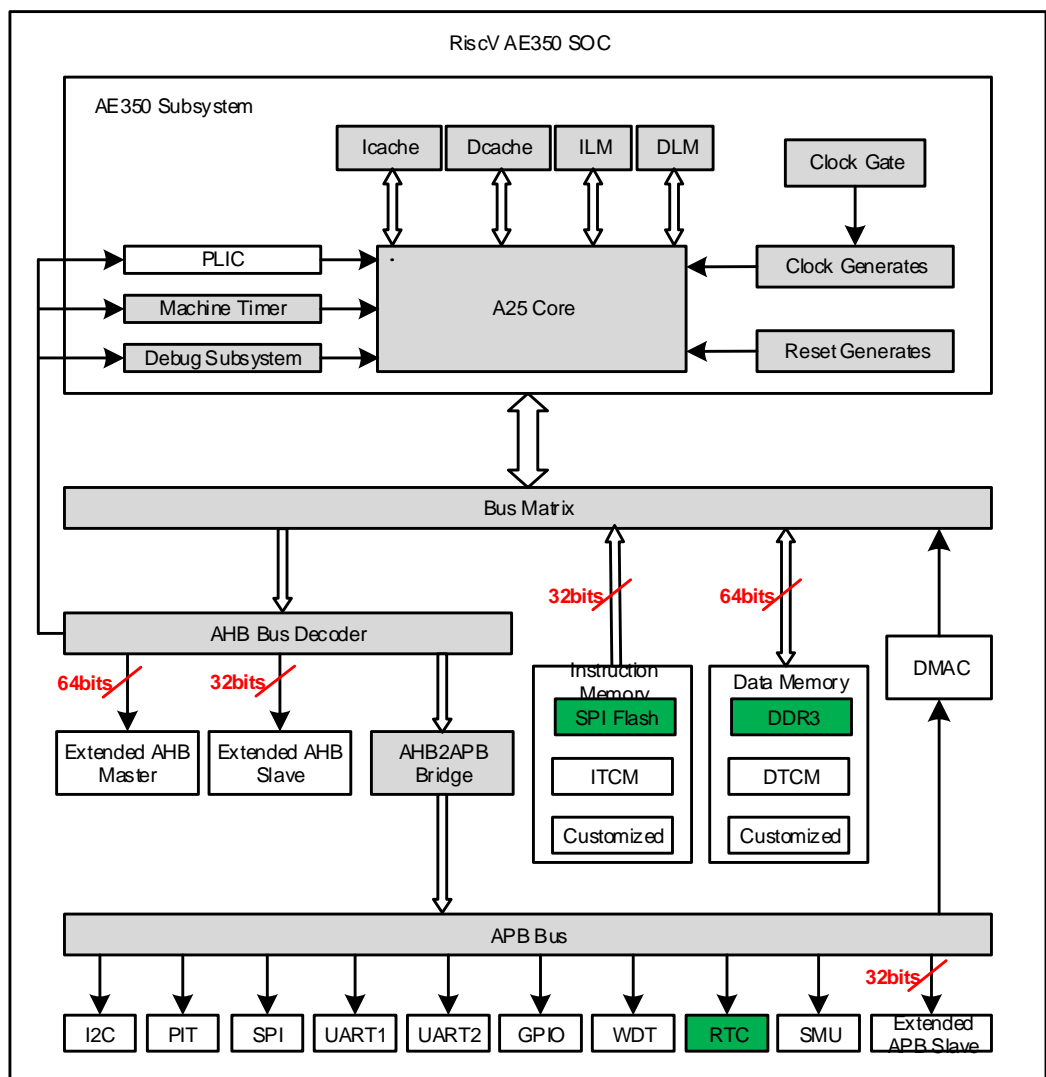
E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 系统架构

Gowin RiscV\_AE350\_SOC 的系统架构，如图 2-1 所示。

图 2-1 系统架构



Gowin RiscV\_AE350\_SOC 包括内核系统、存储器系统和总线外设系统。

- 内核系统包括 RISC-V 内核、PLIC、PLMT、调试系统、时钟门控、时钟系统、复位系统、I-Cache、D-Cache、ILM、DLM。

- 存储器系统包括指令存储器和数据存储器。指令存储器包括 SPI Flash Memory、ITCM 或用户自定义的存储器。数据存储器包括 DDR3 Memory、DTCM 或用户自定义的存储器。
- 总线外设系统包括 AHB 总线外设和 APB 总线外设。AHB 总线外设包括 64-bit Extended AHB Master、32-bit Extended AHB Slave、AHB2APB Bridge。APB 总线外设包括 I2C、PIT、SPI、UART1、UART2、GPIO、WDT、RTC、SMU、DMAC、32-bit Extended APB Slave。实例中还包括 FPGA 逻辑扩展实现的 AHB/APB 总线外设 CAN、Ethernet、Flash、SD 等。

# 3 系统特征

以下各节详细描述 Gowin RiscV\_AE350\_SOC 的系统特征。

## 3.1 内核系统

内核系统的特征如表 3-1 所示。

表 3-1 内核系统特征

系统	特征
MCU Core	5-stage in-order execution pipeline
	Frequency: Max. 800MHz
	Hardware multiplier radix-2/radix-4/radix-14/radix-256/fast
	Hardware divider
	Optional branch prediction
	4-entry return address stack (RAS)
	Static branch prediction
	Dynamic branch prediction
	32/64/128/256-entry branch target buffer (BTB)
	256-entry branch history
	8-bit global branch history
	Machine mode, Supervisor mode and User mode
	Optional performance monitors
	Misaligned memory access
RISC-V physical memory protection	
ISA	RISC-V RV32I base integer instruction set
	RISC-V "C" standard extension for compressed instructions
	RISC-V "M" standard extension for integer multiplication and division
	RISC-V "A" standard extension for atomic instructions

系统	特征
	RISC-V "N" standard extension for user-level interrupt and exception handling
	RISC-V "F" and "D" standard extensions for single/double-precision floating-point
	DSP supported
Privilege	Machine, Supervisor and User privilege mode
	Page-based virtual memory, supervisor mode and SV32 virtual address translation scheme
	128 number of shared Translation Lookaside Buffer (TLB) entries
	8 number of instruction TLB entries
	8 number of data TLB entries
	16 number of support physical memory protection entries
	Hardware performance monitors
	Vectored PLIC extension
	Hardware stack protection extension
	Hardware performance throttling mechanism extension
Power Management	Wait-for-interrupt (WFI) mode
Debug	RISC-V extend debug support
	Number of breakpoints: 8
	External JTAG debug transport module JTAG: IEEE STD 1149.1 style 4-wire JTAG interface Serial: 2-wire serial debug interface
PLIC	Configurable number of interrupts: 1-1023
	Number of interrupt priorities: 15
	Configurable number of targets: 1-16
	Vectored interrupt extension
	Support software interrupts
	Support 16 user interrupts
PLMT	The RISC-V architecture defines a machine timer that provides a real time counter and generates timer interrupts
Cache	I-Cache Size: 32KB Associativity: 4-way Replacement policy: pseudo-LRU

系统	特征
	Soft error protection: single/double error correction
	D-Cache Size: 32KB Associativity: 4-way Replacement policy: pseudo-LRU Soft error protection: single/double error detection
Local Memory	ILM Base: 0xA0000000 Size: 64KB Soft error protection: single error correction and double error detection
	DLM Base: 0xA0200000 Size: 64KB Soft error protection: single error correction and double error detection
	Slave port supports local memory as a slave, can be accessed by FPGA fabric as a master via the 64-bit Extended AHB Master bus

## 3.2 存储器系统

存储器系统的特征如表 3-2 所示。

表 3-2 存储器系统特征

系统	特征
Instruction Memory	Address: 0x80000000~0x8FFFFFFF
	Size: Max. 256MB
	Bus: AHB bus interface
	SPI Flash Memory, ITCM or user customized memory
	Frequency: less than 200MHz
Data Memory	Address: 0x00000000~0x7FFFFFFF
	Size: Max. 2GB
	Bus: AHB bus interface
	DDR3 Memory, DTCM or user customized memory
	Frequency: less than 200MHz

### 3.3 总线外设系统

总线外设系统的特征如表 3-3 所示。

表 3-3 总线外设系统特征

系统	特征
SMU	SMU controls the flow of power and clock changes
UART1	<p>The UART controller handles communications to the UART interface.</p> <p>Compatible with the 16C550A register structure</p> <p>Support of the hardware flow control (CTS/RTS)</p> <p>Support of hardware handshaking to the DMA controller</p> <p>Option of by-8 or by-16 over-sampling frequency</p> <p>Support of 64-entry transmit/receive FIFO depth</p>
UART2	<p>The UART controller handles communications to the UART interface.</p> <p>Compatible with the 16C550A register structure</p> <p>Support of the hardware flow control (CTS/RTS)</p> <p>Support of hardware handshaking to the DMA controller</p> <p>Option of by-8 or by-16 over-sampling frequency</p> <p>Support of 64-entry transmit/receive FIFO depth</p>
PIT	<p>The PIT controller is a set of compact multi-function timers, which can be used as PWM or simple timers. Each multi-function timer provides the following 6 usage scenarios:</p> <p>One 32-bit timer</p> <p>Two 16-bit timers</p> <p>Four 8-bit timers</p> <p>One 16-bit PWM</p> <p>One 16-bit timer and one 8-bit PWM</p> <p>Two 8-bit timers and one 8-bit PWM</p>
WDT	<p>The WDT controller prevents the system from hanging if software is trapped in a deadlock condition.</p> <p>Internal/external clock source selection</p> <p>Separate timers for the watchdog interrupt and the system reset</p> <p>Eight choices of watchdog timer intervals</p> <p>Four choices of reset timer intervals</p> <p>Register write protection for watchdog timer control register and restart register</p> <p>Configurable magic number for register write protection</p>



系统	特征
	Configurable magic number to restart the watchdog timer
RTC	<p>RTC keeps track of current time relative to a base time. The time is stored in a RTC counter which records the amount of elapsed time since RTC is enabled.</p> <p>The frequency of clock source (before the clock divider) for the counter is 32.768KHz</p> <p>Separate second, minute, hour and day counters</p> <p>Periodic interrupts: half-second, second, minute, hour and day interrupts</p> <p>Programmable alarm interrupt with specified second, minute and hour values</p>
GPIO	<p>The GPIO controller supports up to 32 channels with independently programmable input/output control.</p> <p>Support of up to 32 GPIO channels</p> <p>Independent control of each channel</p> <p>Programmable I/O direction</p> <p>Optional pull-up/down control</p> <p>Optional support of interrupt trigger control</p> <p>Flexible combination of interrupt trigger modes: high/low level trigger and rising/falling/both edge trigger</p> <p>Optional de-bounce functionality for input channels</p>
I2C	<p>The I2C controller handles communications to I2C interface.</p> <p>Programmable to be either a master or a slave device</p> <p>Programmable clock/data timing</p> <p>Support of the I2C-bus Standard-mode (100 kb/s), Fast-mode (400 kb/s) and Fast-mode plus (1 Mb/s)</p> <p>Support of hardware handshaking to the DMA controller</p> <p>Support of the master-transmit, master-receive, slave-transmit and slave-receive modes</p> <p>Support of the multi-master mode</p> <p>Support of 7-bit and 10-bit addressing modes</p> <p>Support of general call addressing mode</p> <p>Support of auto clock stretch</p>
SPI	<p>The SPI controller handles communications to the SPI. The supported serial data formats range from 4 bits to 32 bits in length.</p> <p>Compliant with AMBA 2 AHB protocol specification</p> <p>Compliant with AMBA 3 APB protocol specification</p> <p>Support of MSB/LSB first transfer</p> <p>Support of DMA data transfer</p>

系统	特征
	<p>Support of programmable SPI SCLK</p> <p>Support of memory-mapped access (read-only) through AHB bus or EILM bus</p> <p>Support of SPI slave mode</p> <p>Quad I/O SPI interfaces</p> <p>TX/RX FIFO depth is 128</p> <p>Programming port location on APB interfaces</p>
DMAC	<p>The DMAC enhances system performance by transferring large data blocks between devices in background to offload the processor.</p> <p>Compliant with AMBA AXI4 and APB4</p> <p>Support of up to 8 DMA channels</p> <p>Support of up to 16 DMA request/acknowledge pairs for hardware handshake, 7 internal used, 8 for user</p> <p>Support of up to two AXI master ports for data transfers</p> <p>Support of up to two configurable DMA cores</p> <p>Support of an APB slave port for DMA register programming</p> <p>Support of 24–64 bits AXI address width</p> <p>Support of 32/64/128/256 bits AXI data width</p> <p>Support of narrow transfers on the AXI bus</p> <p>Support of group round-robin arbitration scheme with 2 priority levels</p> <p>Support of chain transfers</p>
Extended APB Slave	<p>For user to extend APB interface peripherals in FPGA fabric</p> <p>32-bit data bit width</p> <p>Size: 64MB</p> <p>AE350_SOC is as a master</p>
Extended AHB Slave	<p>For user to extend AHB interface peripherals in FPGA fabric</p> <p>32-bit data bit width</p> <p>Size: 128MB</p> <p>AE350_SOC is as a master</p>
Extended AHB Master	<p>For slave port supported, accesses local memory by a master in FPGA fabric</p> <p>64-bit data bit width</p> <p>AE350_SOC is as a slave</p>

# 4 系统性能

## 4.1 系统时钟

Gowin RiscV\_AE350\_SOC 的系统时钟如表 4-1 所示。

表 4-1 系统时钟

系统时钟	时钟频率	描述
内核时钟	最高可达 800MHz	RISC-V 内核时钟
DDR 时钟	小于 200MHz	数据存储器时钟
AHB 时钟	小于 200MHz	AHB 总线时钟和指令存储器时钟
APB 时钟	小于 200MHz	APB 总线时钟
RTC 时钟	32.768KHz	RTC 时钟

注！

- 内核时钟、DDR 时钟、AHB/APB 时钟，三者之间为异步时钟
- AHB 时钟与 APB 时钟，二者之间为 1:1 同步时钟

## 4.2 DDR3 时钟

Gowin RiscV\_AE350\_SOC 数据存储器如果选择 DDR3 Memory，则 DDR3 Memory 相关的时钟如表 4-2 所示。

表 4-2 DDR3 时钟

DDR3 时钟	时钟频率	描述
DDR3_MEMORY_CLK	小于等于 300MHz	用户输入 DDR3 颗粒工作时钟
DDR3_RW_CLK	大于等于 DDR3_MEMORY_CLK 的四分之一	FPGA fabric 读写访问 DDR3 的 参考输入时钟
DDR3_CLK_IN	50MHz	DDR3 参考输入时钟

## 4.3 性能指标

Gowin RiscV\_AE350\_SOC 基于基准测试程序 Dhrystone、CoreMark 和 Whetstone 测量的性能指标如表 4-3 所示。

表 4-3 性能指标

基准测试程序	性能指标
Dhrystone	1.72 DMIPS/MHz
CoreMark	3.224845 CoreMark/MHz
Whetstone	0.783 MWIPS/MHz

# 5 系统端口

Gowin RiscV\_AE350\_SOC 的系统端口如表 5-1 所示。

表 5-1 系统端口

名称	I/O	位宽	描述	所属
POR_RSTN	input	1	Power on reset	-
HW_RSTN	input	1	Hardware reset	-
CORE_CLK	input	1	Core clock	-
DDR_CLK	input	1	Data memory clock	-
AHB_CLK	input	1	AHB or instruction memory clock	-
APB_CLK	input	1	APB clock	-
RTC_CLK	input	1	RTC clock	RTC
TCK_IN	input	1	JTAG clock	Debug Subsystem
TMS_IN	input	1	JTAG tms	
TRST_IN	input	1	JTAG trst	
TDI_IN	input	1	JTAG tdi	
TDO_OUT	output	1	JTAG tdo	
TDO_OE	output	1	JTAG tdo oe	
FLASH_SPI_CSN	inout	1	Flash chip select n	
FLASH_SPI_MISO	inout	1	Flash master in and slave out	
FLASH_SPI_MOSI	inout	1	Flash master out and slave in	
FLASH_SPI_CLK	inout	1	Flash clock	
FLASH_SPI_HOLDN	inout	1	Flash hold n	
FLASH_SPI_WPN	inout	1	Flash write protection n	
FR_PCLK	input	1	Flash register APB	SPI Flash

名称	I/O	位宽	描述	所属
			clock	Instruction Memory 以及 Flash Register R/W Mode
FR_PRESETN	input	1	Flash register APB reset n	
FR_PADDR	input	[31:0]	Flash register APB address	
FR_PENABLE	input	1	Flash register APB enable	
FR_PRDATA	output	[31:0]	Flash register APB read data	
FR_PREADY	output	1	Flash register APB ready out	
FR_PSEL	input	1	Flash register APB select	
FR_PWDATA	input	[31:0]	Flash register APB write data	
FR_PWRITE	input	1	Flash register APB write enable	
ROM_HADDR	output	[31:0]	ROM AHB address	Customized Instruction Memory
ROM_HRDATA	input	[31:0]	ROM AHB read data	
ROM_HREADY	input	1	ROM AHB ready in	
ROM_HRESP	input	1	ROM AHB response	
ROM_HTRANS	output	[1:0]	ROM AHB transmission type	
ROM_HWRITE	output	1	ROM AHB write enable	
ROM_HCLK	output	1	ROM AHB clock	
ROM_HRSTN	output	1	ROM AHB reset n	DDR3 Data Memory
DDR3_MEMORY_CLK	input	1	DDR3 memory clock	
DDR3_CLK_IN	input	1	DDR3 input clock	
DDR3_RSTN	input	1	DDR3 reset	
DDR3_LOCK	input	1	DDR3 lock	
DDR3_STOP	output	1	DDR3 stop	
DDR3_INIT	output	1	DDR3 initialized flag	
DDR3_BANK	output	[2:0]	DDR3 bank address	
DDR3_CS_N	output	1	DDR3 chip select	
DDR3_RAS_N	output	1	DDR3 row address	

名称	I/O	位宽	描述	所属
			select	
DDR3_CAS_N	output	1	DDR3 column address select	
DDR3_WE_N	output	1	DDR3 write enable	
DDR3_CK	output	1	DDR3 clock	
DDR3_CK_N	output	1	DDR3 clock differential	
DDR3_CKE	output	1	DDR3 clock enable	
DDR3_RESET_N	output	1	DDR3 reset	
DDR3_ODT	output	1	DDR3 on-die termination	
DDR3_ADDR	output	[13:0]	DDR3 address	
DDR3_DM	output	[1:0]	DDR3 data mask	
DDR3_DQ	inout	[15:0]	DDR3 data	
DDR3_DQS	inout	[1:0]	DDR3 data select	
DDR3_DQS_N	inout	[1:0]	DDR3 data select differential	
clk_lane4	input	1	Writing clock	
addr_lane4	input	[31:0]	Writing address	
wr_mask_lane4	input	[3:0]	Writing mask	
wr_data_lane4	input	[63:0] [31:0]	Writing data	
wr_en_lane4	input	1	Writing enable	
wr_go_lane4	input	1	Writing control	
burstcount_lane4	input	[7:0]	Writing burst amount	
wr_wait_lane4	output	1	Writing wait	
wr_done_lane4	output	1	Writing done	
clk_lane5	input	1	Reading clock	
addr_lane5	input	[31:0]	Reading address	
rd_en_lane5	input	1	Reading enable	
rd_go_lane5	input	1	Reading control	
burstcount_lane5	input	[7:0]	Reading burst amount	
rd_valid_lane5	output	1	Reading valid	
rd_data_lane5	output	[63:0]	Reading data	

名称	I/O	位宽	描述	所属	
		[31:0]			
rd_rdy_lane5	output	1	Reading ready		
DDR_HADDR	output	[31:0]	DDR AHB address	Customized Data Memory	
DDR_HBURST	output	[2:0]	DDR AHB burst		
DDR_HPROT	output	[3:0]	DDR AHB protection		
DDR_HRDATA	input	[63:0]	DDR AHB read data		
DDR_HREADY	input	1	DDR AHB ready in		
DDR_HRESP	input	1	DDR AHB response		
DDR_HSIZE	output	[2:0]	DDR AHB size		
DDR_HTRANS	output	[1:0]	DDR AHB transmission type		
DDR_HWDATA	output	[63:0]	DDR AHB write data		
DDR_HWRITE	output	1	DDR AHB write enable		
DDR_HCLK	output	1	DDR AHB clock		
DDR_HRSTN	output	1	DDR AHB reset n		
EXT_INT	input	[15:0]	Extended interrupts		PLIC
APB_PADDR	output	[31:0]	APB slave address		Extended APB Slave
APB_PENABLE	output	1	APB slave enable		
APB_PRDATA	input	[31:0]	APB slave read data		
APB_PREADY	input	1	APB slave ready in		
APB_PSEL	output	1	APB slave select		
APB_PWDATA	output	[31:0]	APB slave write data		
APB_PWRITE	output	1	APB slave write enable		
APB_PSLVERR	input	1	APB slave error response		
APB_PPROT	output	[2:0]	APB slave protection		
APB_PSTRB	output	[3:0]	APB slave write strobe		
APB_PCLK	output	1	APB slave clock		
APB_PRSTN	output	1	APB slave reset n		
EXTS_HRDATA	input	[31:0]	AHB slave read data	Extended AHB Slave	
EXTS_HREADYIN	input	1	AHB slave ready in		



名称	I/O	位宽	描述	所属
EXTS_HRESP	input	1	AHB slave response	
EXTS_HADDR	output	[31:0]	AHB slave address	
EXTS_HBURST	output	[2:0]	AHB slave burst	
EXTS_HPROT	output	[3:0]	AHB slave protection	
EXTS_HSEL	output	1	AHB slave select	
EXTS_HSIZE	output	[2:0]	AHB slave size	
EXTS_HTRANS	output	[1:0]	AHB slave transmission type	
EXTS_HWDATA	output	[31:0]	AHB slave write data	
EXTS_HWRITE	output	1	AHB slave write enable	
EXTS_HCLK	output	1	AHB slave clock	
EXTS_HRSTN	output	1	AHB slave reset n	
EXTM_HADDR	input	[31:0]	AHB master address	Extended AHB Master
EXTM_HBURST	input	[2:0]	AHB master burst	
EXTM_HPROT	input	[3:0]	AHB master protection	
EXTM_HREADY	input	1	AHB master ready in	
EXTM_HSEL	input	1	AHB master select	
EXTM_HSIZE	input	[2:0]	AHB master size	
EXTM_HTRANS	input	[1:0]	AHB master transmission type	
EXTM_HWDATA	input	[63:0]	AHB master write data	
EXTM_HWRITE	input	1	AHB master write enable	
EXTM_HRDATA	output	[63:0]	AHB master read data	
EXTM_HREADYOUT	output	1	AHB master ready out	
EXTM_HRESP	output	1	AHB master response	
DMA_REQ	input	[7:0]	DMA requests	DMAC
DMA_ACK	output	[7:0]	DMA acknowledges	
SPI_HOLDN_IN	input	1	SPI hold n in	SPI 以及 non-

名称	I/O	位宽	描述	所属
SPI_WPN_IN	input	1	SPI write protection n in	I/O ports
SPI_CLK_IN	input	1	SPI clock in	
SPI_CSN_IN	input	1	SPI chip select n in	
SPI_MISO_IN	input	1	SPI miso in	
SPI_MOSI_IN	input	1	SPI mosi in	
SPI_HOLDN_OUT	output	1	SPI hold n out	
SPI_HOLDN_OE	output	1	SPI hold n oe	
SPI_WPN_OUT	output	1	SPI write protection n out	
SPI_WPN_OE	output	1	SPI write protection n oe	
SPI_CLK_OUT	output	1	SPI clock out	
SPI_CLK_OE	output	1	SPI clock oe	
SPI_CSN_OUT	output	1	SPI chip select n out	
SPI_CSN_OE	output	1	SPI chip select n oe	
SPI_MISO_OUT	output	1	SPI miso out	
SPI_MISO_OE	output	1	SPI miso oe	
SPI_MOSI_OUT	output	1	SPI mosi out	
SPI_MOSI_OE	output	1	SPI mosi oe	
SPI_HOLDN	inout	1	SPI hold n	SPI 以及 I/O ports
SPI_WPN	inout	1	SPI write protection n	
SPI_CLK	inout	1	SPI clock	
SPI_CSN	inout	1	SPI chip select n	
SPI_MISO	inout	1	SPI master in and slave out	
SPI_MOSI	inout	1	SPI master out and slave in	
I2C_SCL_IN	input	1	I2C clock in	I2C 以及 non-I/O ports
I2C_SDA_IN	input	1	I2C data in	
I2C_SCL_OUT	output	1	I2C clock out	
I2C_SDA_OUT	output	1	I2C data out	
I2C_SCL	inout	1	I2C clock	I2C 以及 I/O ports
I2C_SDA	inout	1	I2C data	

名称	I/O	位宽	描述	所属
UART1_TXD	output	1	UART1 transmits data	UART1
UART1_RTSN	output	1	UART1 rts n	
UART1_RXD	input	1	UART1 receives data	
UART1_CTSN	input	1	UART1 cts n	
UART1_DSRN	input	1	UART1 dsr n	
UART1_DCDN	input	1	UART1 dcd n	
UART1_RIN	input	1	UART1 rin	
UART1_DTRN	output	1	UART1 dtr n	
UART1_OUT1N	output	1	UART1 out1 n	
UART1_OUT2N	output	1	UART1 out2 n	
UART2_TXD	output	1	UART2 transmits data	UART2
UART2_RTSN	output	1	UART2 rts n	
UART2_RXD	input	1	UART2 receives data	
UART2_CTSN	input	1	UART2 cts n	
UART2_DSRN	input	1	UART2 dsr n	
UART2_DCDN	input	1	UART2 dcd n	
UART2_RIN	input	1	UART2 rin	
UART2_DTRN	output	1	UART2 dtr n	
UART2_OUT1N	output	1	UART2 out1 n	
UART2_OUT2N	output	1	UART2 out2 n	
CH0_PWM	output	1	PWM channel 0 output	PWM
CH0_PWMOE	output	1	PWM channel 0 output enable	
CH1_PWM	output	1	PWM channel 1 output	
CH1_PWMOE	output	1	PWM channel 1 output enable	
CH2_PWM	output	1	PWM channel 2 output	
CH2_PWMOE	output	1	PWM channel 2 output enable	
CH3_PWM	output	1	PWM channel 3	

名称	I/O	位宽	描述	所属
			output	
CH3_PWMOE	output	1	PWM channel 3 output enable	
GPIO_IN	input	[31:0]	GPIO in	GPIO 以及 non- I/O ports
GPIO_OE	output	[31:0]	GPIO output enable	
GPIO_OUT	output	[31:0]	GPIO output	
GPIO	inout	[31:0]	GPIO	GPIO 以及 I/O ports
CORE0_WFI_MODE	output	1	Core WFI mode status	SMU
RTC_WAKEUP	output	1	RTC wakeup status	

# 6 系统配置

Gowin RiscV\_AE350\_SOC 的系统配置如表 6-1 所示。

表 6-1 系统配置

配置选项	默认	说明
Enable Extended Interrupts	关闭	开启扩展的 16 个外部中断信号
SPI Flash Instruction Memory	开启	指令存储器: SPI Flash Memory
Flash Register R/W Mode	关闭	开启 Flash 寄存器模式的 APB 总线接口
ITCM Instruction Memory	关闭	指令存储器: ITCM
ITCM Size	关闭	ITCM 的大小
ITCM Initialization Path	关闭	ITCM 的初始值路径
Customized Instruction Memory	关闭	指令存储器: 用户自定义的存储器
DDR3 Data Memory	开启	数据存储器: DDR3 Memory
Default DDR3 Settings	开启	默认的 DDR3 Memory Interface IP 的参数配置
Customized DDR3 Settings	关闭	用户自定义的 DDR3 Memory Interface IP 的参数配置
Shared DDR3: Logic R/W Mode	关闭	MCU 端与 FPGA 端共享访问 DDR3 Memory
Addr Width	关闭	FPGA 端访问 DDR3 Memory 的地址总线位宽
Data Width	关闭	FPGA 端访问 DDR3 Memory 的数据总线位宽
DTCM Data Memory	关闭	数据存储器: DTCM
DTCM Size	关闭	DTCM 的大小
Customized Data Memory	关闭	数据存储器: 用户自定义的存储器
Enable Extended AHB Slave	关闭	开启扩展的 32-bit AHB Slave 接口, AE350 作为 Master

配置选项	默认	说明
Enable Extended AHB Master	关闭	开启扩展的 64-bit AHB Master 接口, AE350 作为 Slave 设备
Enable Extended DMAC	关闭	开启扩展的 8 组 DMA 请求/应答信号
Enable I2C	关闭	开启 I2C
Enable I2C I/O Ports	开启	开启 I2C “INOUT” 类型端口
Enable PIT	关闭	开启 PIT
PWM Channel 0	关闭	开启 PWM 通道 0
PWM Channel 1	关闭	开启 PWM 通道 1
PWM Channel 2	关闭	开启 PWM 通道 2
PWM Channel 3	关闭	开启 PWM 通道 3
Enable SPI	关闭	开启 SPI
Enable SPI I/O Ports	开启	开启 SPI “INOUT” 类型端口
Enable UART1	关闭	开启 UART1
Enable UART2	关闭	开启 UART2
Enable GPIO	关闭	开启 GPIO
Enable GPIO I/O Ports	开启	开启 GPIO “INOUT” 类型端口
Enable WDT	关闭	开启 WDT
Enable RTC	开启	开启 RTC
Enable SMU	关闭	开启 SMU
Enable Extended APB Slave	关闭	开启扩展的 32-bit APB Slave 接口, AE350 作为 Master

# 7 设计流程

## 7.1 硬件目标

- DK-START-GW5AT138 V2.1
  - GW5AST-LV138FPG676AES
  - GW5AST-138B
- Tang-MEGA-138K-Pro-Dock
  - GW5AST-LV138FPG676AES
  - GW5AST-138B

## 7.2 软件版本

已测试软件版本：云源软件 Gowin\_V1.9.9.03 (64-bit)。

## 7.3 设计流程

Gowin RiscV\_AE350\_SOC IP 设计流程，如下所示：

1. 高云半导体云源软件的 IP 设计工具“IP Core Generator”，配置 RiscV\_AE350\_SOC IP 选项，产生 RiscV\_AE350\_SOC IP 设计；
2. 在云源软件的 IP 设计工具“IP Core Generator”中，配置 PLL\_ADV IP 选项，产生 PLL\_ADV IP 设计，为 RiscV\_AE350\_SOC IP 提供时钟资源；
3. 硬件设计中，实例化 RiscV\_AE350\_SOC IP，实例化 PLL\_ADV IP，加入其他用户逻辑设计，连接各模块组成完整的顶层设计；
4. 参照所用开发板，加入物理约束，可以使用云源软件的物理约束工具 FloorPlanner；
5. 参照软件时序分析报告，加入时序约束，可以使用云源软件的时序约束工具 Timing Constraints Editor；
6. 配置综合选项、布局布线选项和码流选项；
7. 使用云源软件的综合工具 GowinSynthesis 综合 RiscV\_AE350\_SOC 硬

件设计，产生网表文件；

8. 使用云源软件的布局布线工具 **Place & Route**，布局布线网表文件，产生码流文件；
9. 使用云源软件的下载工具 **Programmer**，下载码流文件。



# 8 详细设计方法

## 8.1 建立工程

### 步骤 1


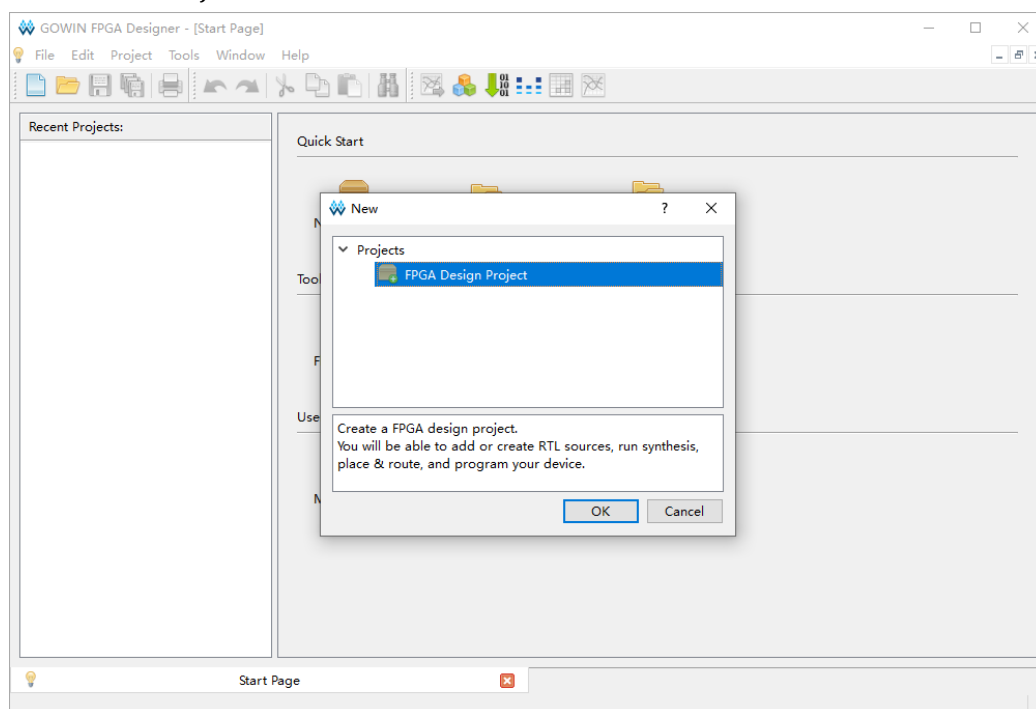
双击打开云源软件，选择主菜单“File > New... > FPGA Design Project”，或工具栏“”，或“Quick Start”标签下“New Project...”，单击“OK”，如图 8-1 所示。

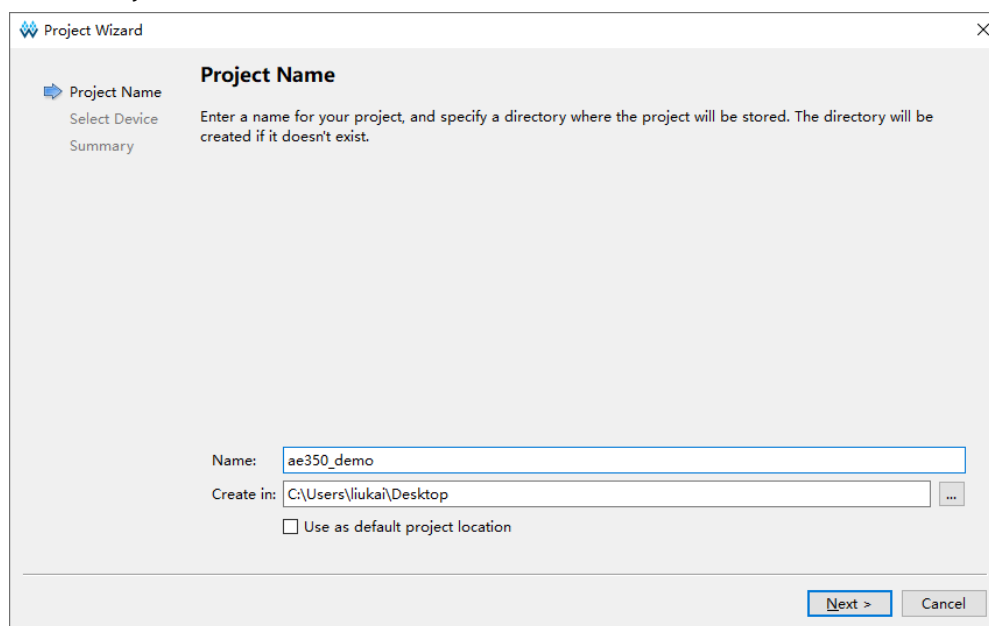
图 8-1 New Project



### 步骤 2

设置工程名称和工程路径，单击“Next”，如图 8-2 所示。

图 8-2 Project Name



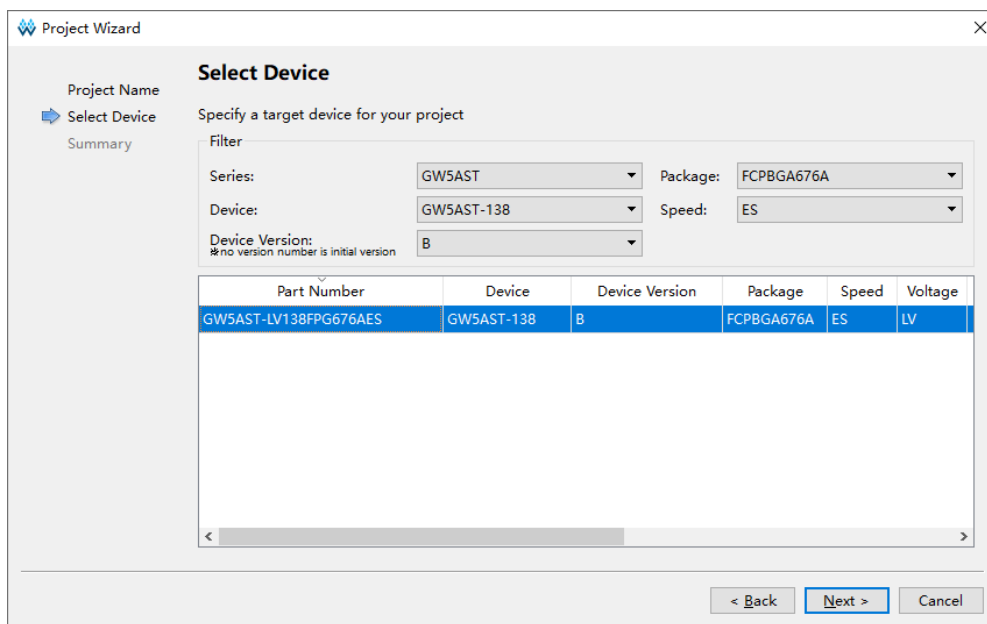
### 步骤 3

设置器件信息，包括 Series、Device、Device Version、Package、Speed 和 Part Number，单击“Next”，如图 8-3 所示。

例如：

- Series: GW5AST
- Device: GW5AST-138
- Device Version: B
- Package: FCPBGA676A
- Speed: ES
- Part Number: GW5AST-LV138FPG676AES

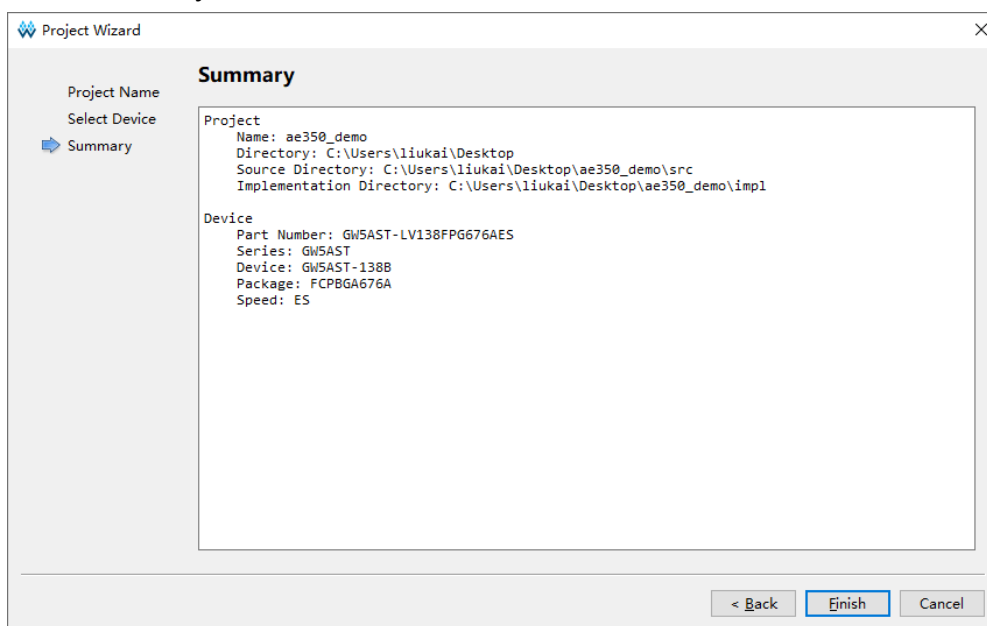
图 8-3 Select Device



#### 步骤 4

完成工程建立，单击“Finish”，如图 8-4 所示。

图 8-4 Summary



## 8.2 IP 设计

云源软件的 IP 设计工具“IP Core Generator”，配置 RiscV\_AE350\_SOC 选项，产生 RiscV\_AE350\_SOC IP。


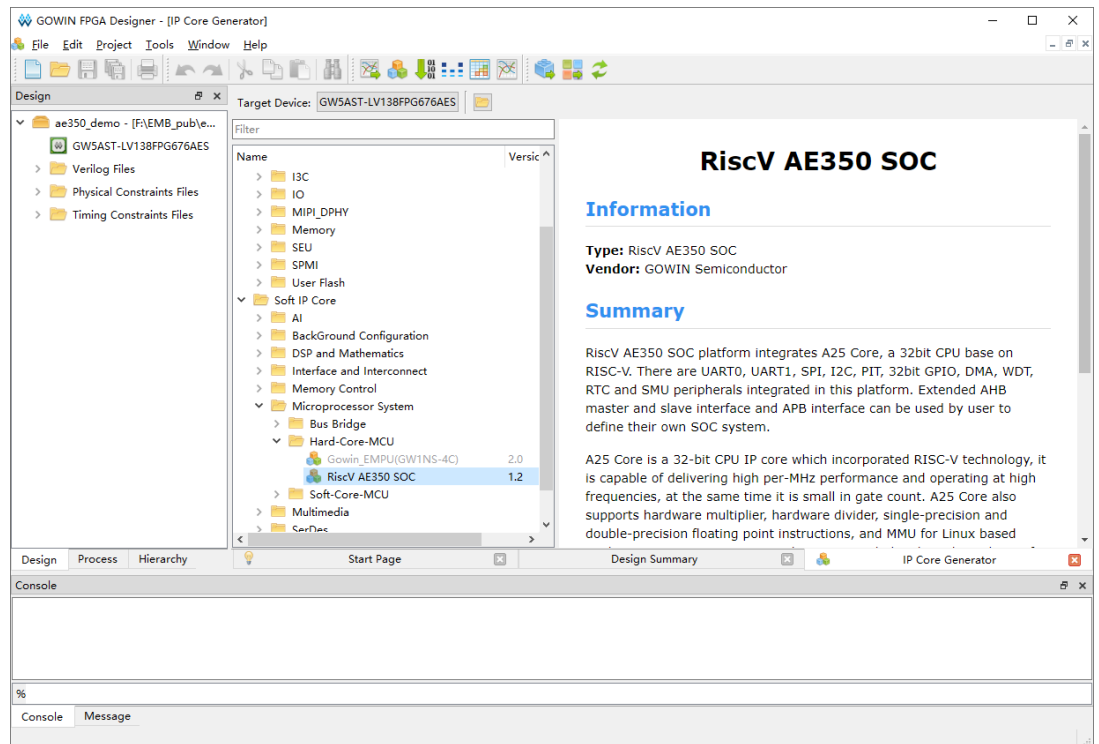
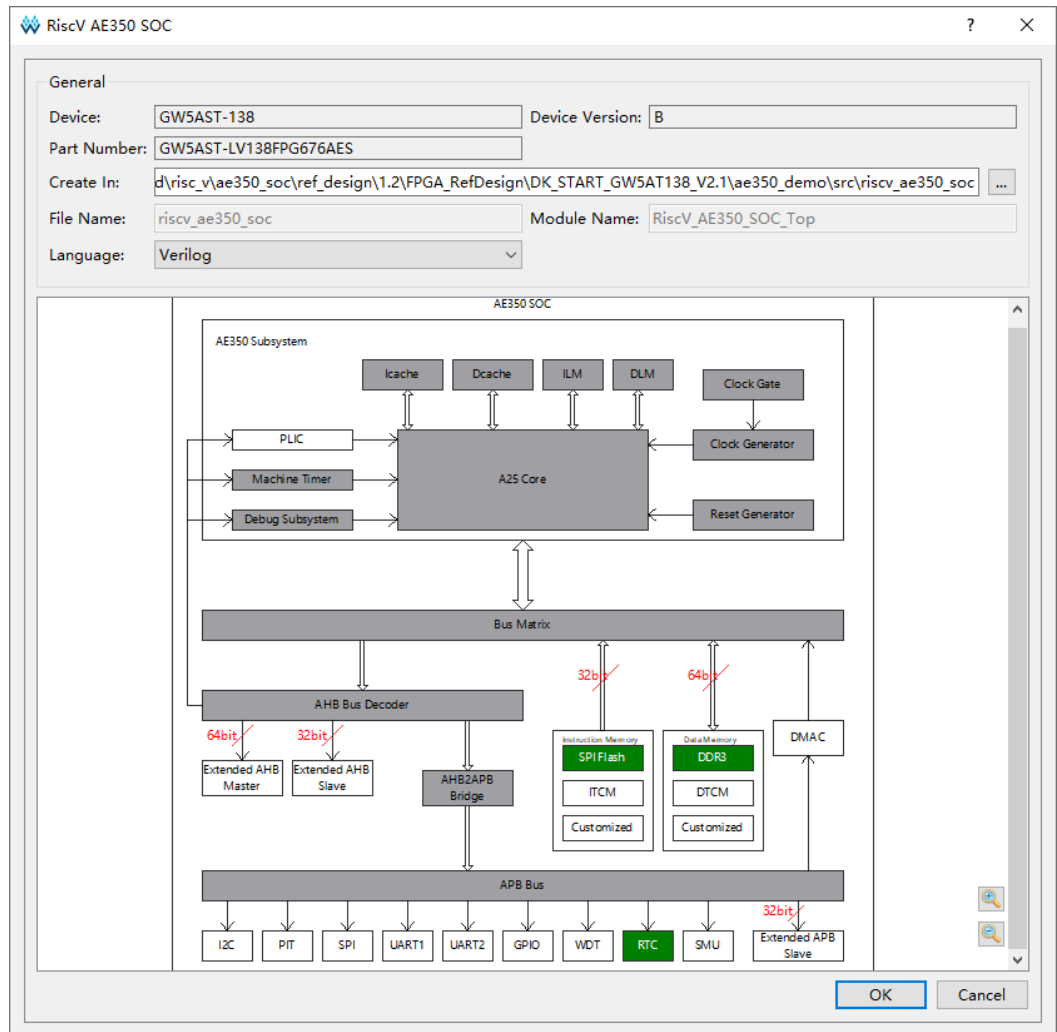
在云源软件中选择主菜单“Tools > IP Core Generator”，或工具栏“”，打开 IP Core Generator，选择“Soft IP Core > Microprocessor System > Hard-Core-MCU > RiscV AE350 SOC 1.2”，如图 8-5 所示。

图 8-5 IP Core Generator



双击“RiscV AE350 SOC 1.2”，打开 RiscV\_AE350\_SOC IP Core，如图 8-6 所示。

图 8-6 RiscV\_AE350\_SOC IP Core



RiscV\_AE350\_SOC 可配置的系统功能包括 PLIC、Instruction Memory（包含 SPI Flash、ITCM、Customized）、Data Memory（包含 DDR3、DTCM、Customized）、I2C、PIT、SPI、UART1、UART2、GPIO、WDT、RTC、SMU、DMAC、Extended APB Slave、Extended AHB Slave 和 Extended AHB Master，配置选项如表 6-1 所描述。

以下各节详细描述每个系统功能和选项的配置方法。

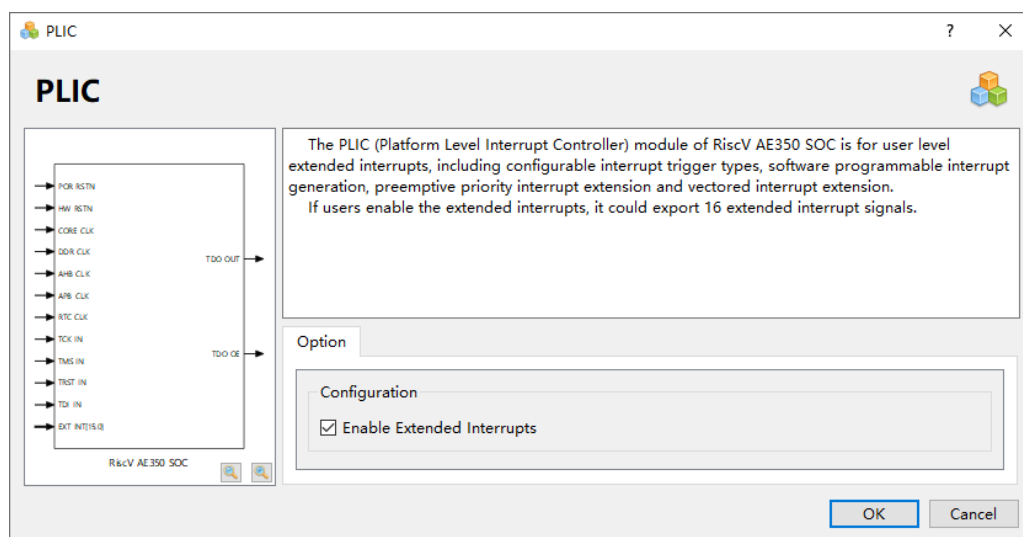
## 8.2.1 PLIC

双击打开“PLIC”，配置“PLIC”选项，如

图 8-7 所示。

如果选择“Enable Extended Interrupts”，则开启扩展的 16 个外部中断信号，默认关闭。

图 8-7 PLIC 配置



## 8.2.2 Instruction Memory

### SPI Flash

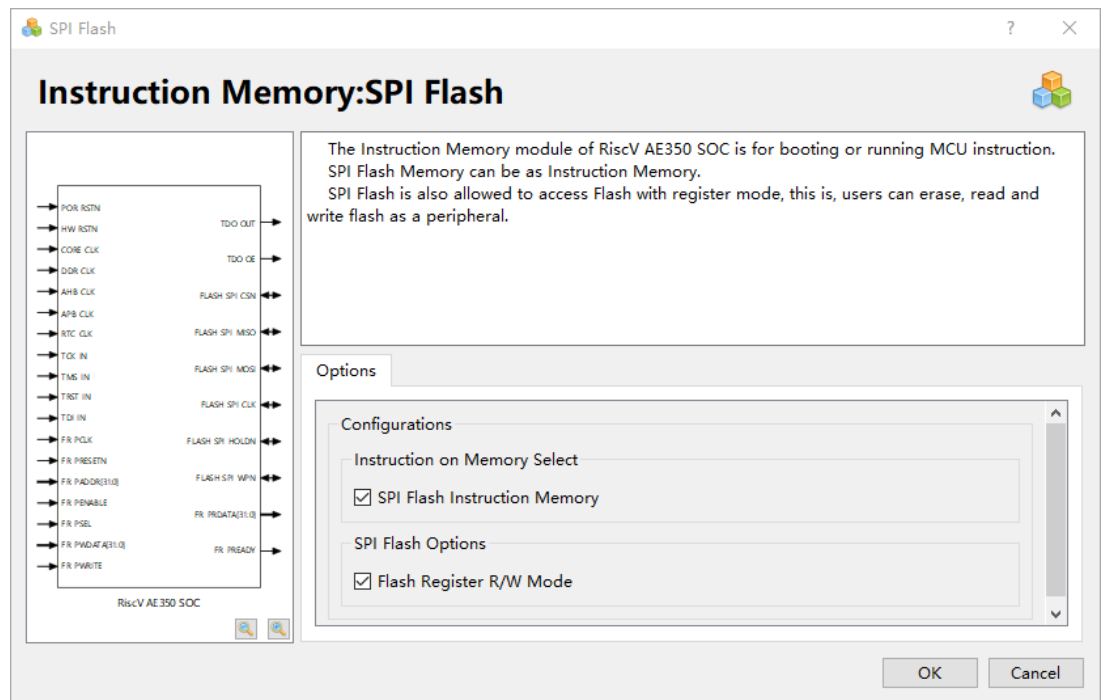
双击打开“SPI Flash”，配置 SPI Flash 指令存储器选项，如图 8-8 所示。

如果选择“SPI Flash Instruction Memory”，则开启 SPI Flash Memory 作为指令存储器，默认开启 SPI Flash Memory。

如果开启“SPI Flash Instruction Memory”，则可以配置 Flash Register R/W Mode。如果选择“Flash Register R/W Mode”，则开启 Flash 寄存器模式的 APB 总线接口，Flash 可以作为外设，通过寄存器读、写和擦除数据，默认关闭。

Flash Register R/W Mode 的应用实例请参照“...\example\Flash”。

图 8-8 SPI Flash 配置



## ITCM

双击打开“ITCM”，配置 ITCM 指令存储器选项，如图 8-9 所示。

如果选择“ITCM Instruction Memory”，则开启 ITCM 作为指令存储器，默认关闭 ITCM。

如果开启“ITCM Instruction Memory”，则可以配置 ITCM Size 和 ITCM Initialization Path。

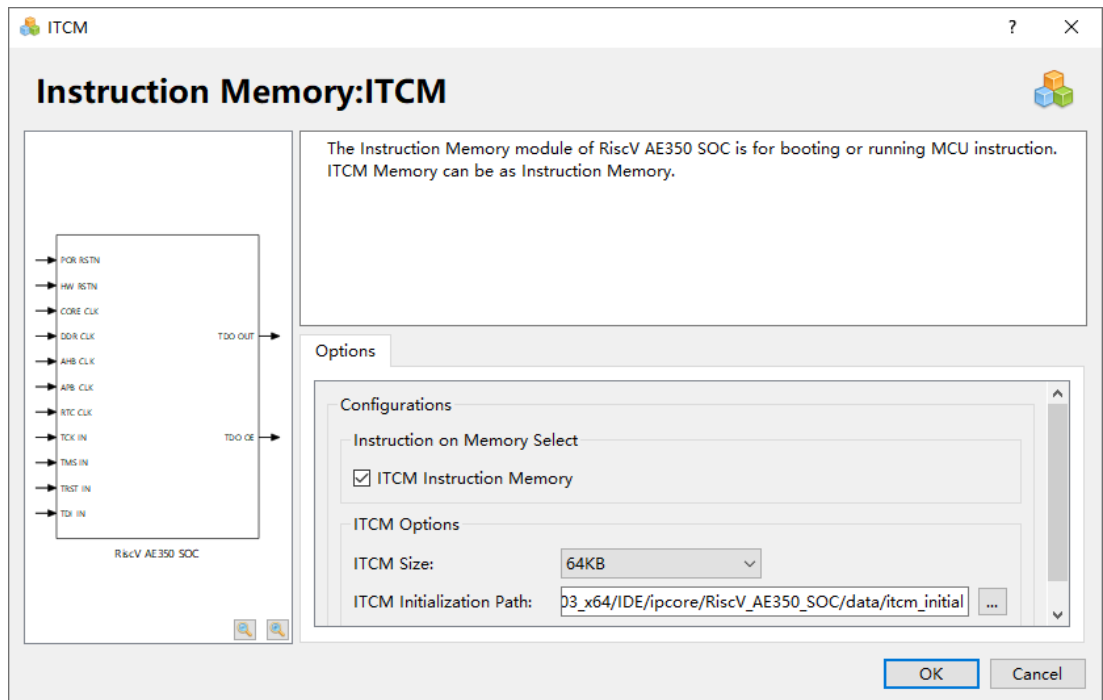
ITCM Size 可以配置为 32KB、64KB、128KB、256KB 和 512KB，默认为 64KB。

ITCM Initialization Path 可以配置 ITCM 的初始值路径，即 RiscV\_AE350\_SOC 软件编程可执行程序，默认为云源软件安装路径下预置的流水灯程序。ITCM 的初始值文件格式为 4 个十六进制文件 itcm0、itcm1、itcm2 和 itcm3，其产生方法是：使用

“...\example\TCM\tool\make\_hex”工具转换软件编程可执行程序二进制文件，即 make\_hex.exe binary-file。

ITCM 的应用实例请参照“...\example\TCM”。

图 8-9 ITCM 配置



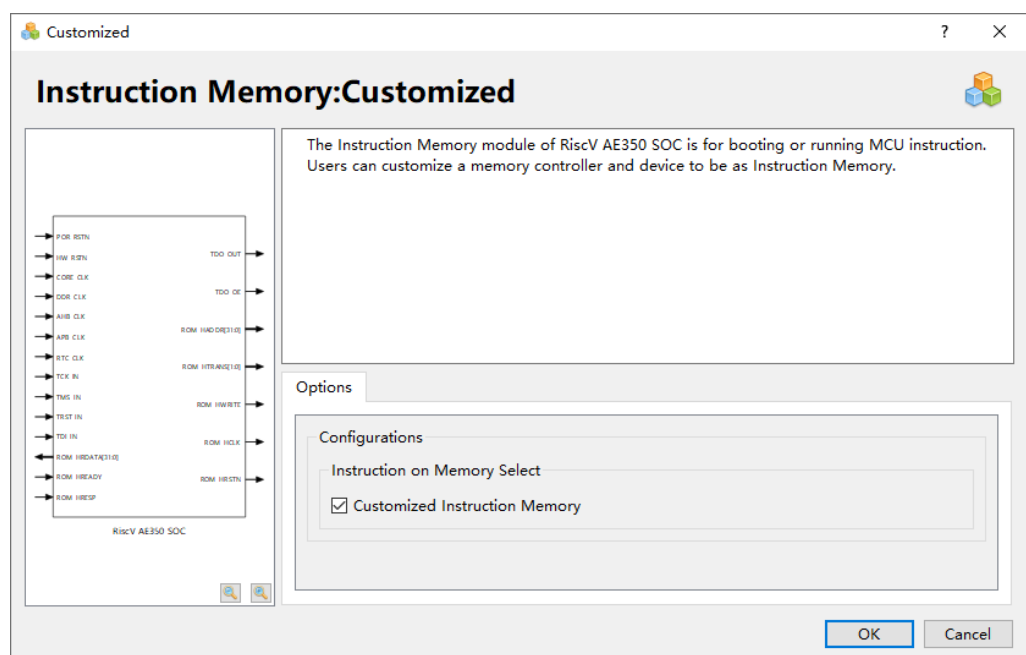
### Customized

双击打开“Customized”，配置 Customized 指令存储器选项，如图 8-8 所示。

如果选择“Customized Instruction Memory”，则开放 ROM AHB 总线接口，用户可以自定义存储器作为指令存储器，默认关闭 Customized。

Customized 的应用实例请参照“...\example\Customized”。

图 8-10 Customized 配置





总结指令存储器的应用场景，可以分为以下几种情形：

如果板载片外的 SPI Flash Memory，请选择 SPI Flash Instruction Memory。

如果想用 FPGA fabric 的 BlockRAM，请选择 ITCM Instruction Memory。

如果想用其他类型存储器，请选择 Customized Instruction Memory，用户自定义 AHB Memory 总线接口的指令存储器控制器。

## 8.2.3 Data Memory

### DDR3

双击打开“DDR3”，配置 DDR3 数据存储器选项，如图 8-11 所示。

如果选择“DDR3 Data Memory”，则开启 DDR3 Memory 作为数据存储器，默认开启 DDR3 Memory。

如果开启“DDR3 Data Memory”，则可以配置 DDR3 Settings 和 DDR3 Options。DDR3 Settings 包含“Default DDR3 Settings”和“Customized DDR3 Settings”。

Default DDR3 Settings 表示云源软件安装路径下预置的 DDR3 Memory Interface IP 的默认参数配置。

如果用户想要选择使用不同类型的 DDR3 Memory Interface 的参数配置，我们为此预留了用户接口，用户可以另外在“DDR3 Memory Interface”IP 里配置各个参数选项。然后将产生的 DDR3 Memory Interface IP 的参数配置文件“gwmc\_param.v”放置于云源软件安装路径“...\IDE\ipcore\RiscV\_AE350\_SOC\data\ddr3\_custom\_settings\”下。最后选择“Customized DDR3 Settings”，产生 RiscV\_AE350\_SOC IP，即为用户自定义的 DDR3 Memory Interface。

DDR3 Options 包含“Shared DDR3: Logic R/W Mode”、“Addr Width”和“Data Width”。

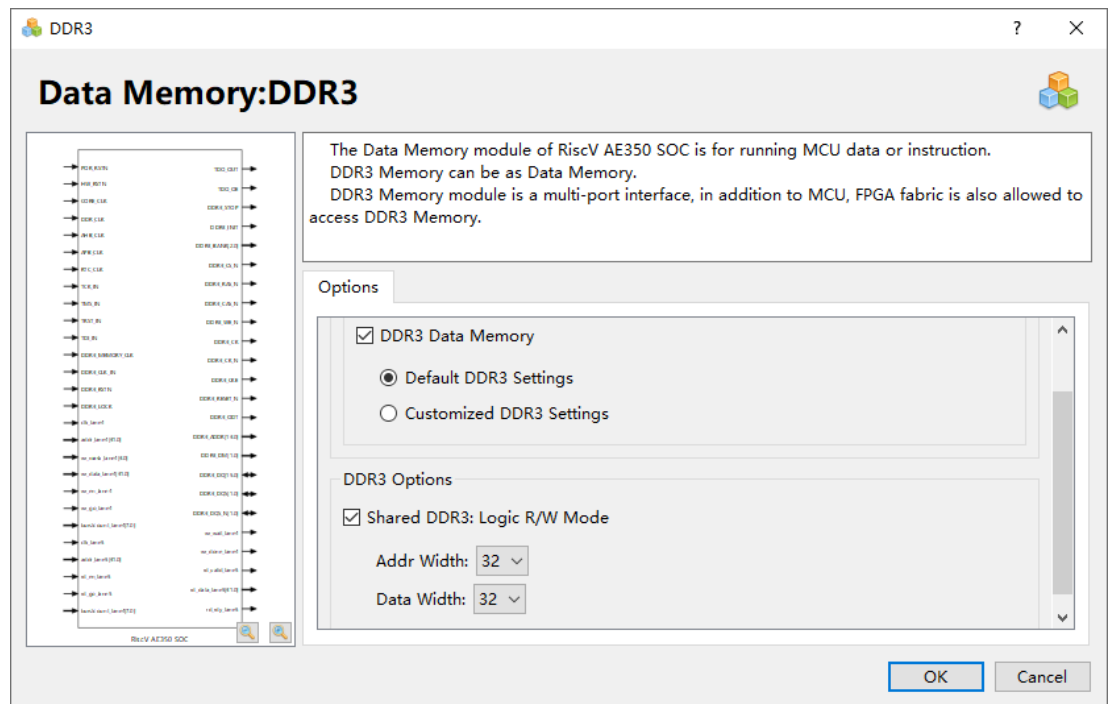
Shared DDR3: Logic R/W Mode 表示 FPGA fabric 端读写访问 DDR3 Memory，即 MCU 端和 FPGA fabric 端可以共享同时访问 DDR3 Memory，默认关闭。

Addr Width 表示地址总线位宽，可以配置为 32。

Data Width 表示数据总线位宽，可以配置为 32 和 64，默认为 32。

Shared DDR3: Logic R/W Mode 的应用实例请参照“...\example\DDR3\_Shared”。

图 8-11 DDR3 配置



## DTCM

双击打开“DTCM”，配置 DTCM 数据存储器选项，如图 8-12 所示。

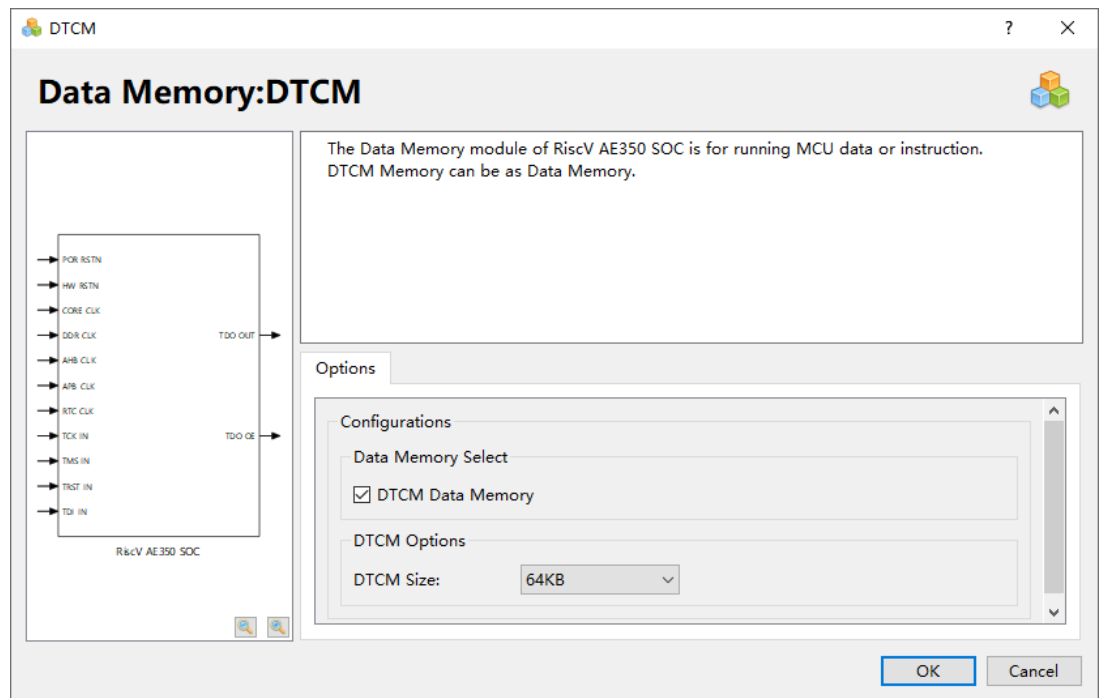
如果选择“DTCM Data Memory”，则开启 DTCM 作为数据存储器，默认关闭 DTCM。

如果开启“DTCM Data Memory”，则可以配置 DTCM Size。

DTCM Size 可以配置为 32KB、64KB、128KB、256KB 和 512KB，默认为 64KB。

DTCM 的应用实例请参照“...\example\TCM”。

图 8-12 DTCM 配置



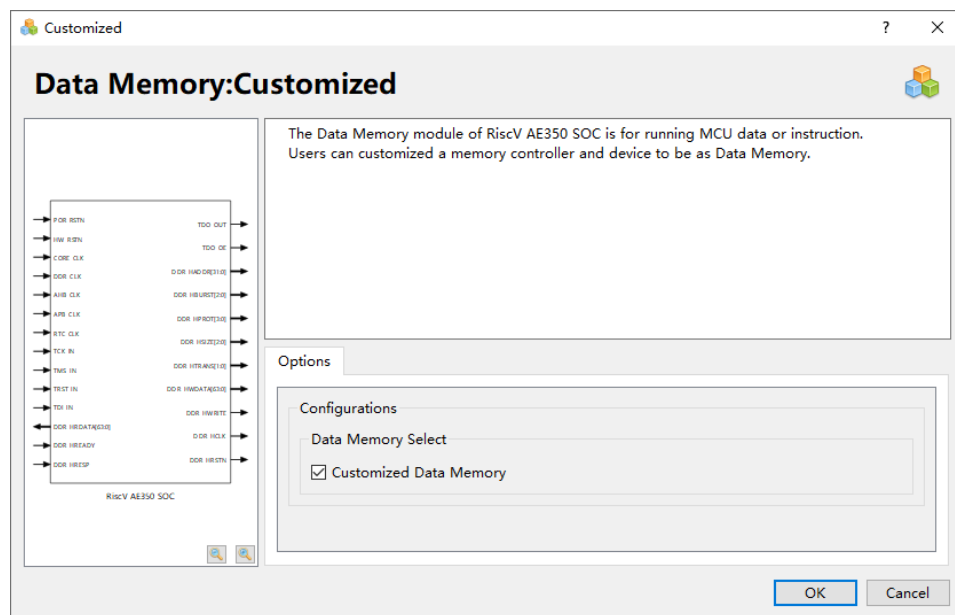
### Customized

双击打开“Customized”，配置 Customized 数据存储器选项，如图 8-13 所示。

如果选择“Customized Data Memory”，则开放 DDR AHB 总线接口，用户可以自定义存储器作为数据存储器，默认关闭 Customized。

Customized 的应用实例请参照“...\example\Customized”。

图 8-13 Customized 配置



总结数据存储器的应用场景，可以分为以下几种情形：

如果板载片外的 DDR3 Memory，请选择“DDR3 Data Memory”，然后依照所用 DDR3 Memory 选择 Default DDR3 Settings 或 Customized DDR3 Settings。

如果想用 FPGA fabric 的 BlockRAM，请选择“DTCM Data Memory”。

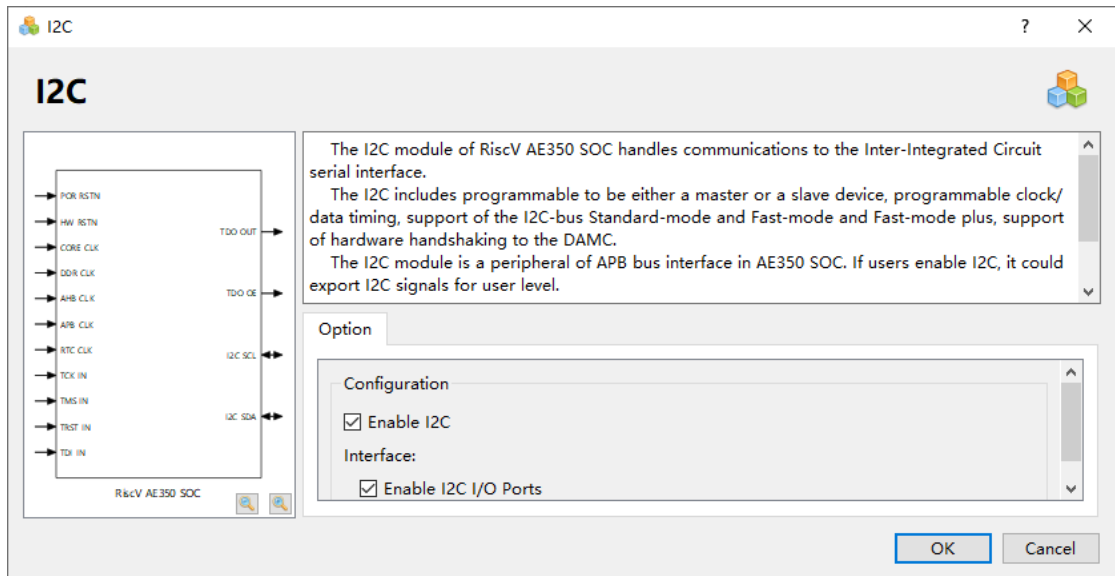
如果想用其他类型存储器，请选择“Customized Data Memory”，用户自定义 AHB Memory 总线接口的数据存储器控制器。

## 8.2.4 I2C

双击打开“I2C”，配置“I2C”选项，如图 8-14 所示。

- 如果选择“Enable I2C”，则开启 I2C，默认关闭
- 如果开启 I2C，则可以配置 I2C 端口类型
  - 如果选择“Enable I2C I/O Ports”，则开启 I2C “INOUT”类型端口，否则开启“IN”、“OUT”类型端口，默认“INOUT”端口类型

图 8-14 I2C 配置



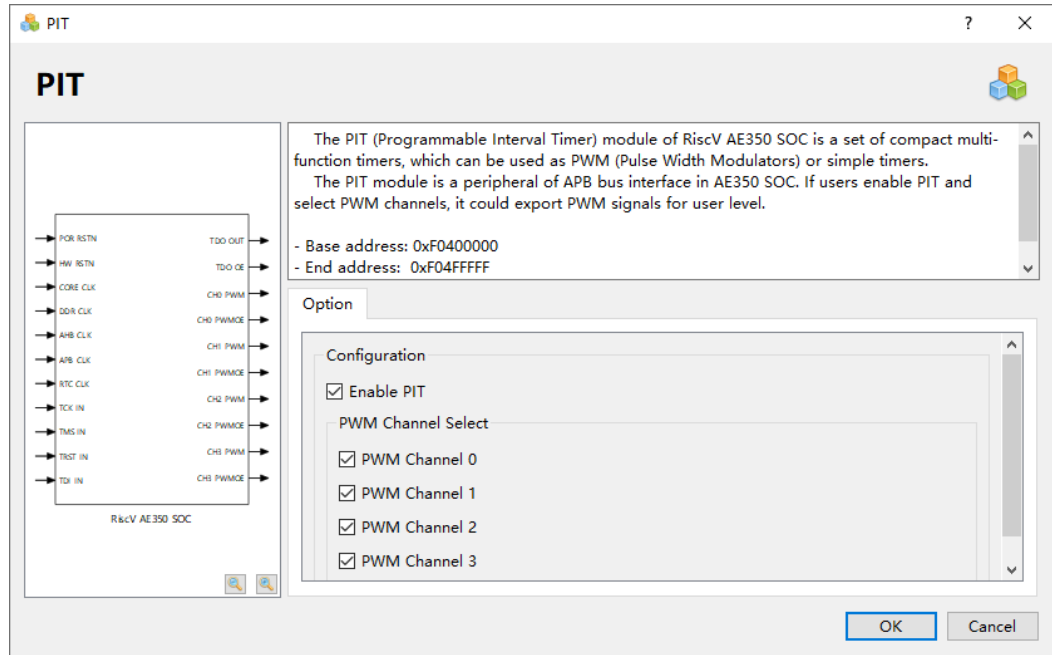
## 8.2.5 PIT

双击打开“PIT”，配置“PIT”选项，如图 8-15 所示。

- 如果选择“Enable PIT”，则开启 PIT，默认关闭
- 如果开启 PIT，则可以配置 PWM 通道
  - 如果选择“PWM Channel 0”，则开启 PWM 通道 0，默认关闭
  - 如果选择“PWM Channel 1”，则开启 PWM 通道 1，默认关闭
  - 如果选择“PWM Channel 2”，则开启 PWM 通道 2，默认关闭

- 如果选择“PWM Channel 3”，则开启 PWM 通道 3，默认关闭

图 8-15 PIT 配置

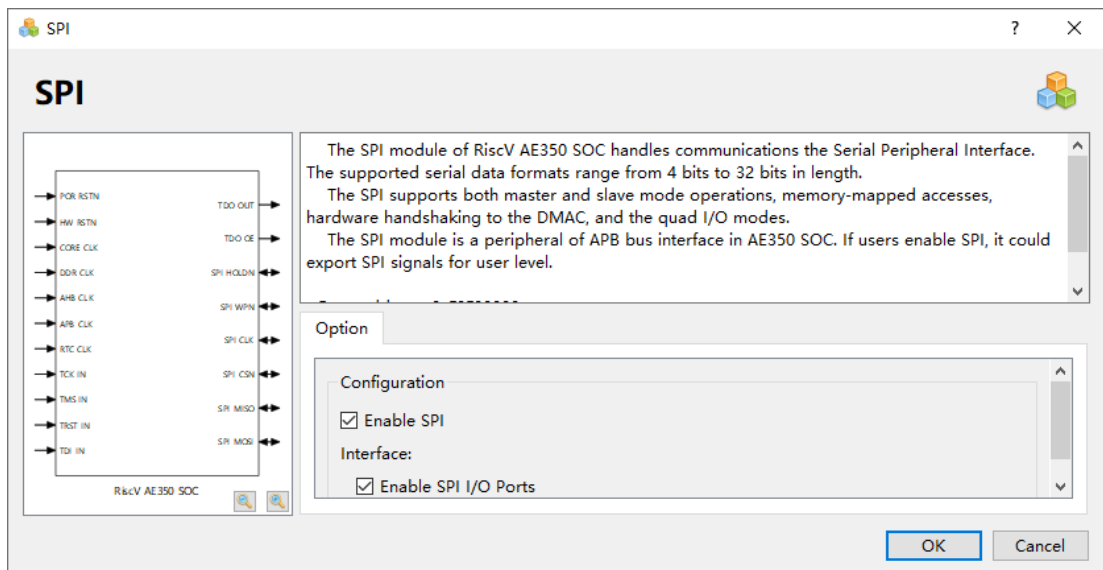


## 8.2.6 SPI

双击打开“SPI”，配置“SPI”选项，如图 8-16 所示。

- 如果选择“Enable SPI”，则开启 SPI，默认关闭。
- 如果开启 SPI，则可以配置 SPI 端口类型：
  - 如果选择“Enable SPI I/O Ports”，则开启 SPI “INOUT” 类型端口，否则开启“IN”、“OUT”、“OE” 类型端口，默认“INOUT” 端口类型

图 8-16 SPI 配置

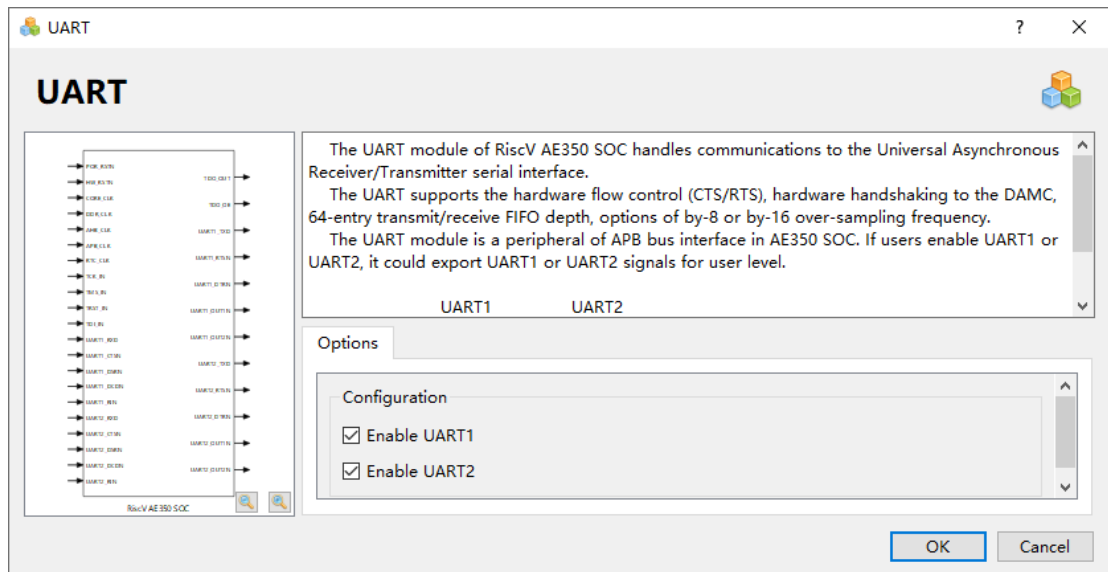


## 8.2.7 UART1 和 UART2

双击“UART1”或“UART2”，配置“UART1”或“UART2”选项，如图 8-17 所示。

- 如果选择“Enable UART1”，则开启 UART1，默认关闭。
- 如果选择“Enable UART2”，则开启 UART2，默认关闭。

图 8-17 UART1 和 UART2 配置

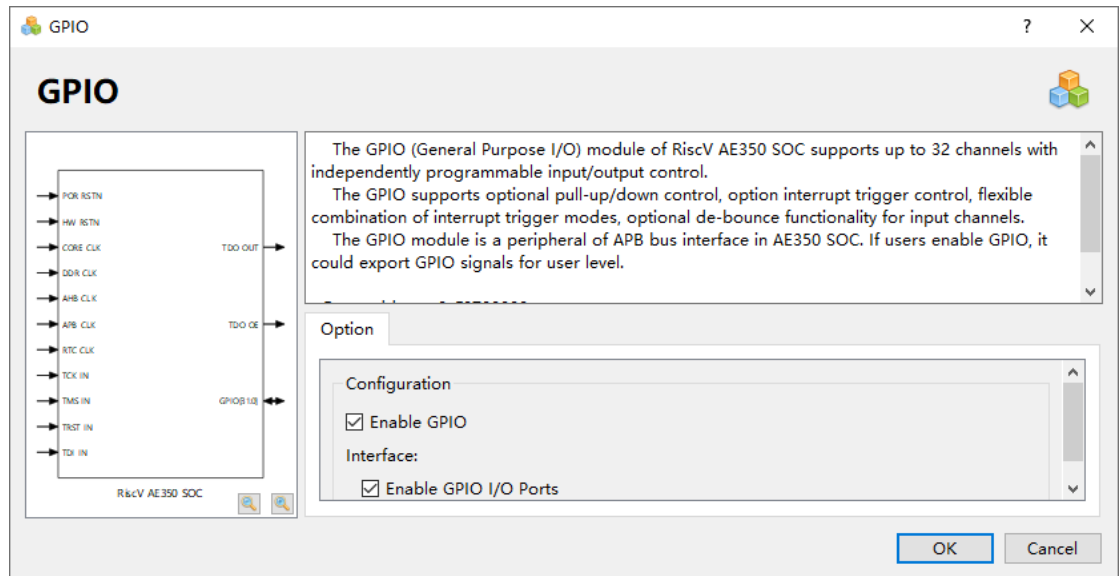


## 8.2.8 GPIO

双击打开“GPIO”，配置“GPIO”选项，如图 8-18 所示。

- 如果选择“Enable GPIO”，则开启 GPIO，默认关闭。
- 如果开启 GPIO，则可以配置 GPIO 端口类型：
  - 如果选择“Enable GPIO I/O Ports”，则开启 GPIO “INOUT” 类型端口，否则开启“IN”、“OUT”、“OE” 类型端口，默认“INOUT” 端口类型

图 8-18 GPIO 配置

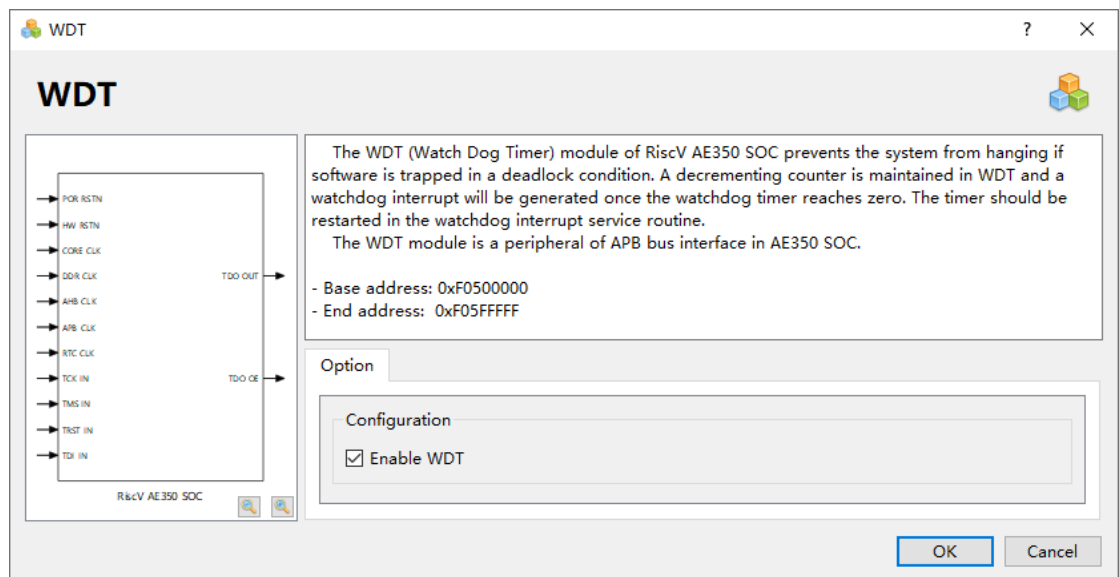


## 8.2.9 WDT

双击打开“WDT”，配置“WDT”选项，如图 8-19 所示。

如果选择“Enable WDT”，则开启 WDT，默认关闭。

图 8-19 WDT 配置

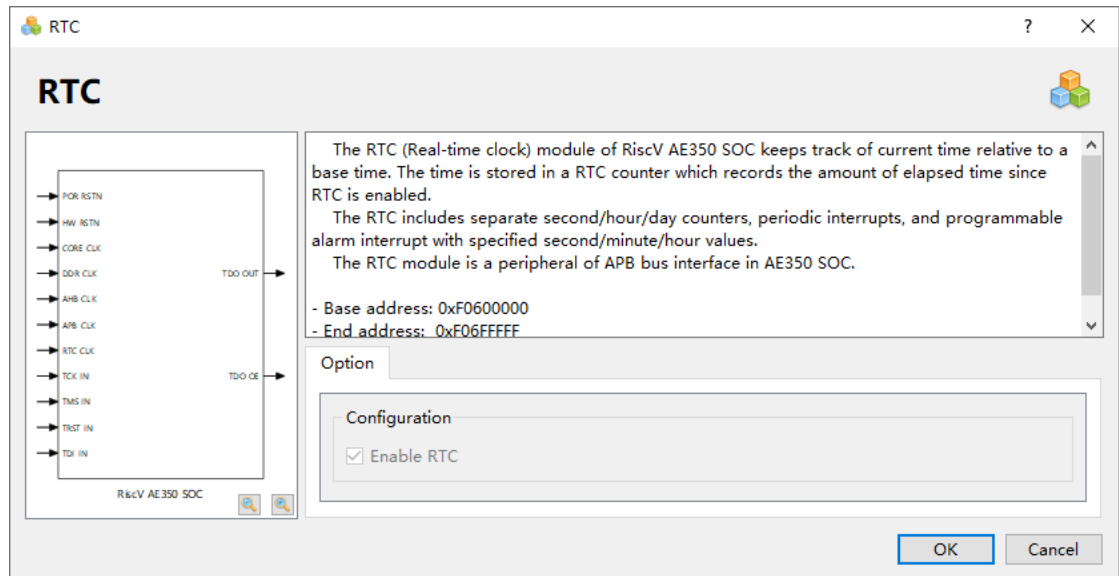


## 8.2.10 RTC

双击打开“RTC”，配置“RTC”选项，如图 8-20 所示。

默认开启 RTC，不可关闭。

图 8-20 RTC 配置

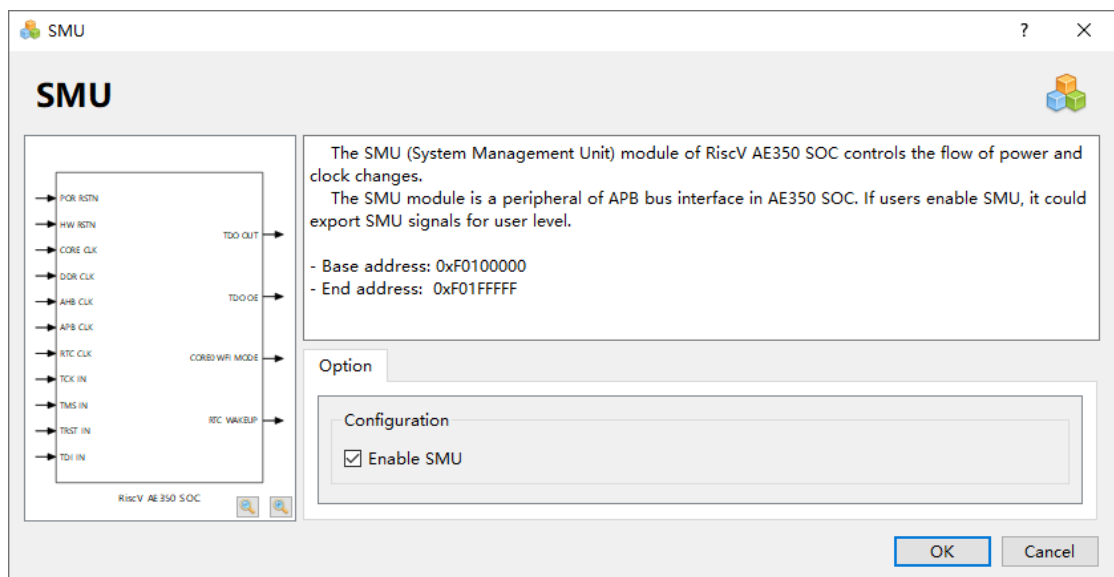


## 8.2.11 SMU

双击打开“SMU”，配置“SMU”选项，如图 8-21 所示。

如果选择“Enable SMU”，则开启 SMU，默认关闭。

图 8-21 SMU 配置



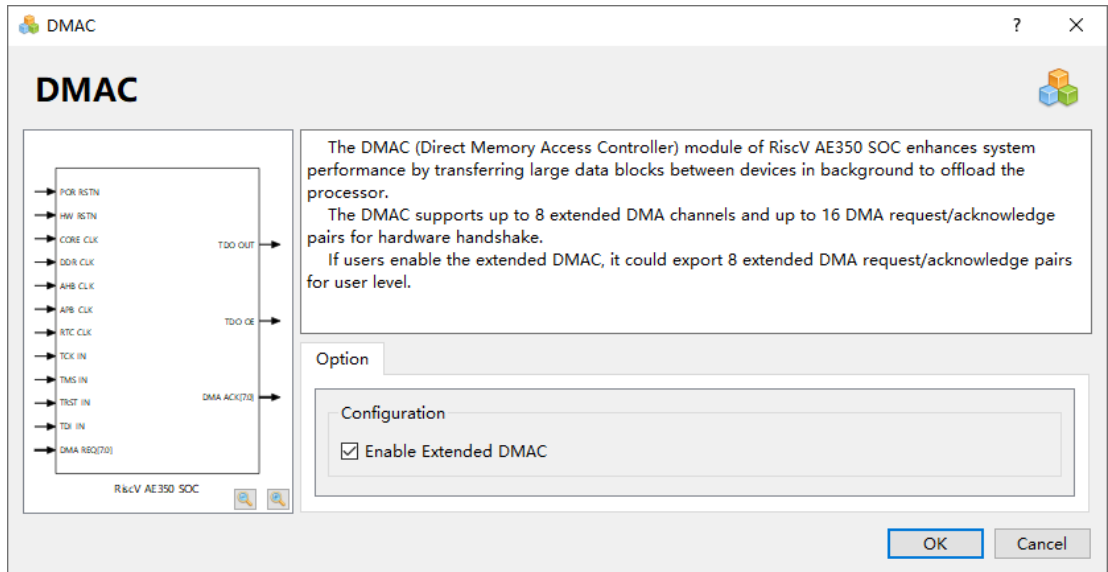
## 8.2.12 DMAC

双击打开“DMAC”，配置“DMAC”选项，如图 8-22 所示。

如果选择“Enable Extended DMAC”，则开启扩展的 8 组 DMA 请求/应答信号，默认关闭。



图 8-22 DMAC 配置



### 8.2.13 Extended APB Slave

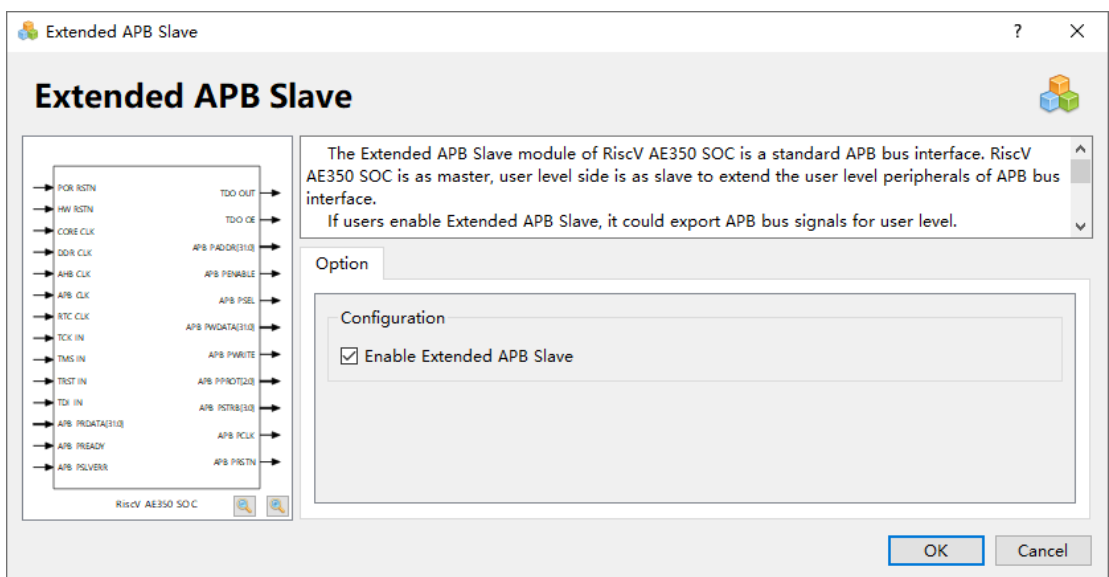
双击打开“Extended APB Slave”，配置“Extended APB Slave”选项，如图 8-23 所示。

如果选择“Enable Extended APB Slave”，则开启扩展的 32-bit APB Slave 接口，默认关闭。

通过 Extended APB Slave，可以连接 FPGA 逻辑扩展实现的 APB 总线接口的外设。

Extended APB Slave 的应用实例请参照“...\example\SD”、“...\example\APB\_Slave\_Bridge”、“...\example\Flash”。

图 8-23 Extended APB Slave 配置



## 8.2.14 Extended AHB Slave

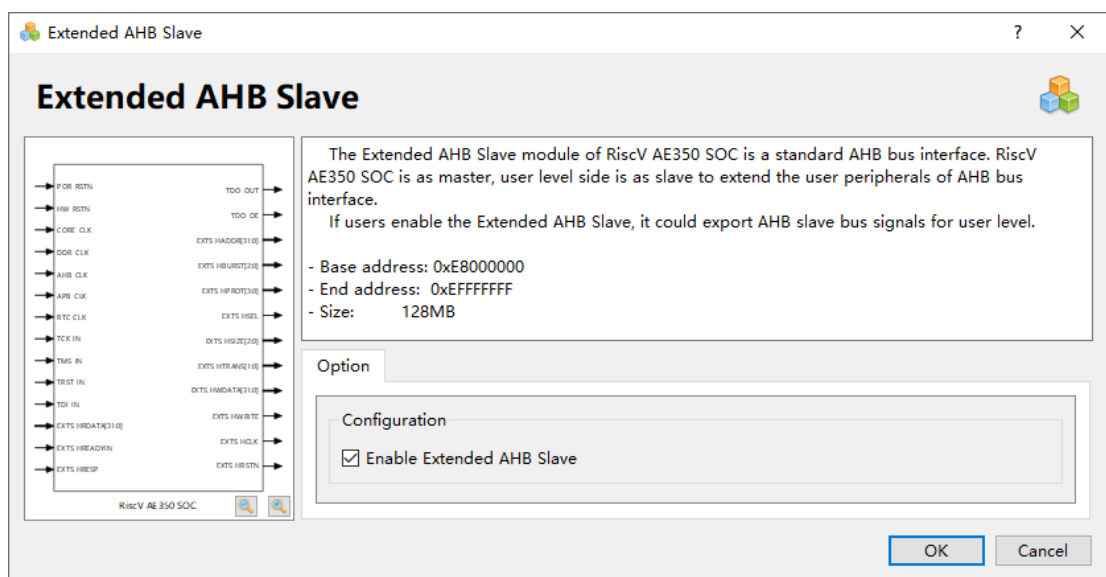
双击打开“Extended AHB Slave”，配置“Extended AHB Slave”选项，如图 8-24 所示。

如果选择“Enable Extended AHB Slave”，则开启扩展的 32-bit AHB Slave 接口，默认关闭。

通过 Extended AHB Slave，可以连接 FPGA 逻辑扩展实现的 AHB 总线接口的外设。

Extended AHB Slave 的应用实例请参照“...\example\Ethernet”、“...\example\AHB\_Slave\_Bridge”、“...\example\CAN”。

图 8-24 Extended AHB Slave 配置

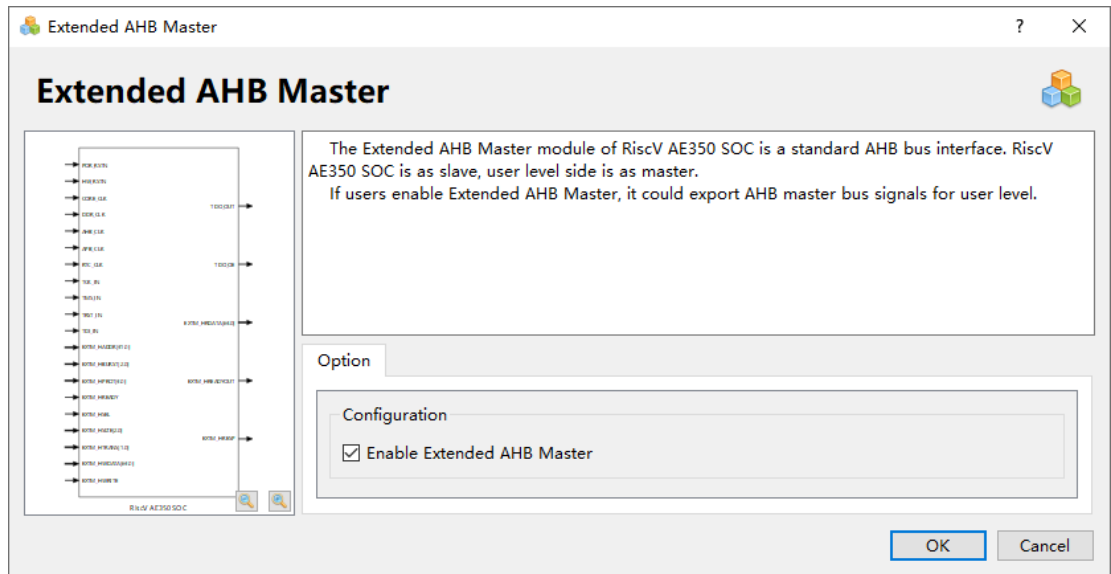


## 8.2.15 Extended AHB Master

双击打开“Extended AHB Master”，配置“Extended AHB Master”选项，如图 8-25 所示。

如果选择“Enable Extended AHB Master”，则开启扩展的 64-bit AHB Master 接口，默认关闭。

图 8-25 Extended AHB Master 配置



通过此 AHB Master 接口，AE350\_SOC 系统可以作为从机，FPGA fabric 系统可以作为主机，FPGA fabric 系统访问 AE350\_SOC 系统内的 ILM 和 DLM，从而扩展了 FPGA fabric 系统的存储空间。

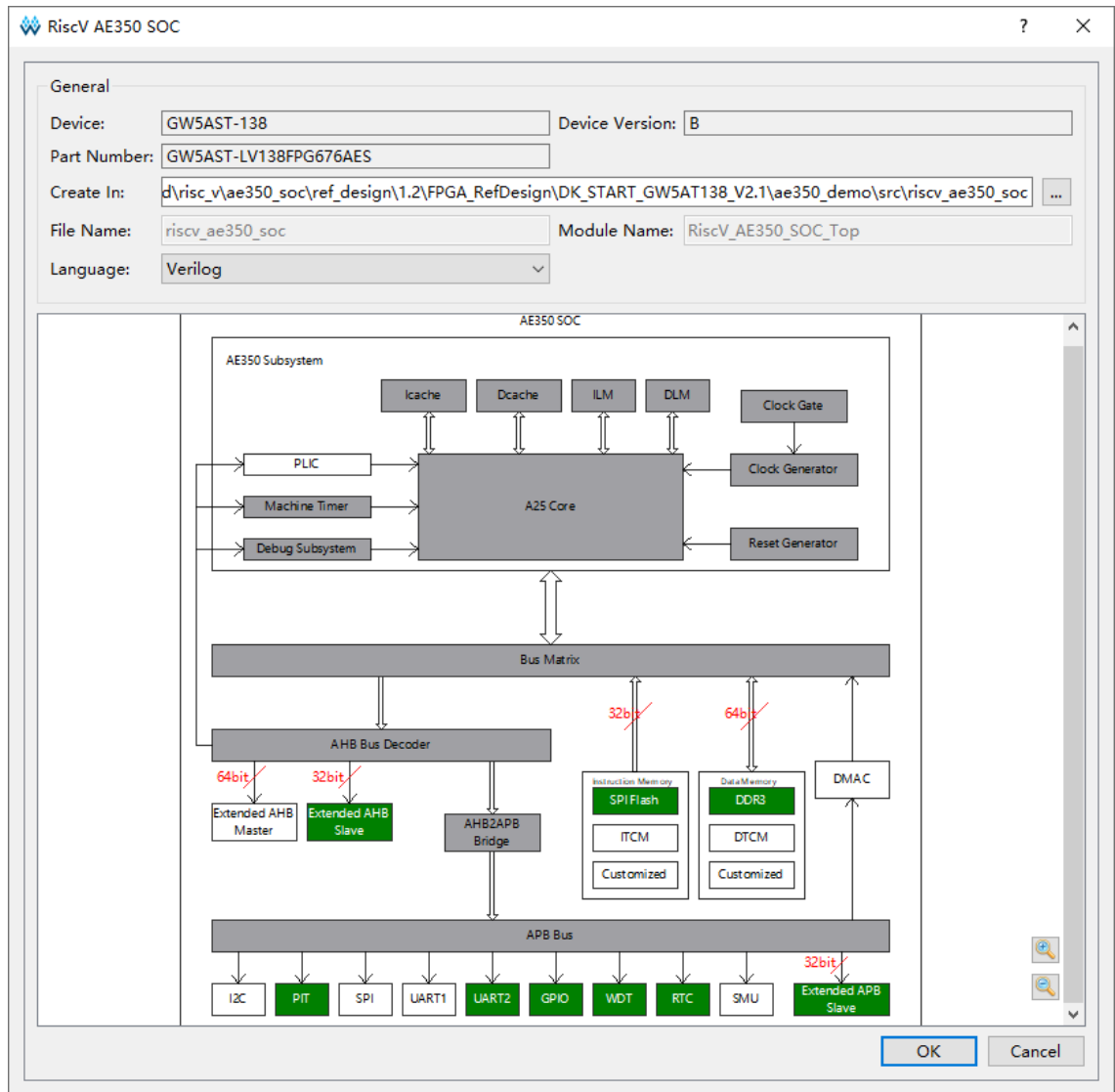
Extended AHB Master 的应用实例请参照“...\example\AHB\_Master”。

## 8.3 用户设计

### 8.3.1 RiscV\_AE350\_SOC IP 设计


云源软件的 IP 设计工具“IP Core Generator”，完成 RiscV\_AE350\_SOC IP 配置后，单击“OK”，产生 RiscV\_AE350\_SOC IP 设计，如图 8-26 所示。

图 8-26 RiscV\_AE350\_SOC IP 设计



### 8.3.2 PLL\_ADV IP 设计

云源软件的 IP 设计工具“IP Core Generator”，配置 PLL\_ADV IP 选项，产生 PLL\_ADV IP 设计，为 RiscV\_AE350\_SOC IP 提供时钟资源。

在云源软件中选择主菜单“Tools > IP Core Generator”，或工具栏“”，打开 IP Core Generator，选择“Hard Module > CLOCK > PLL\_ADV 1.0”，参照表 4-1 和表 4-2 配置 PLL\_ADV IP，产生 PLL\_ADV IP 设计，如图 8-27 所示。

例如：用于 RiscV\_AE350\_SOC 内核的 PLL\_ADV IP：

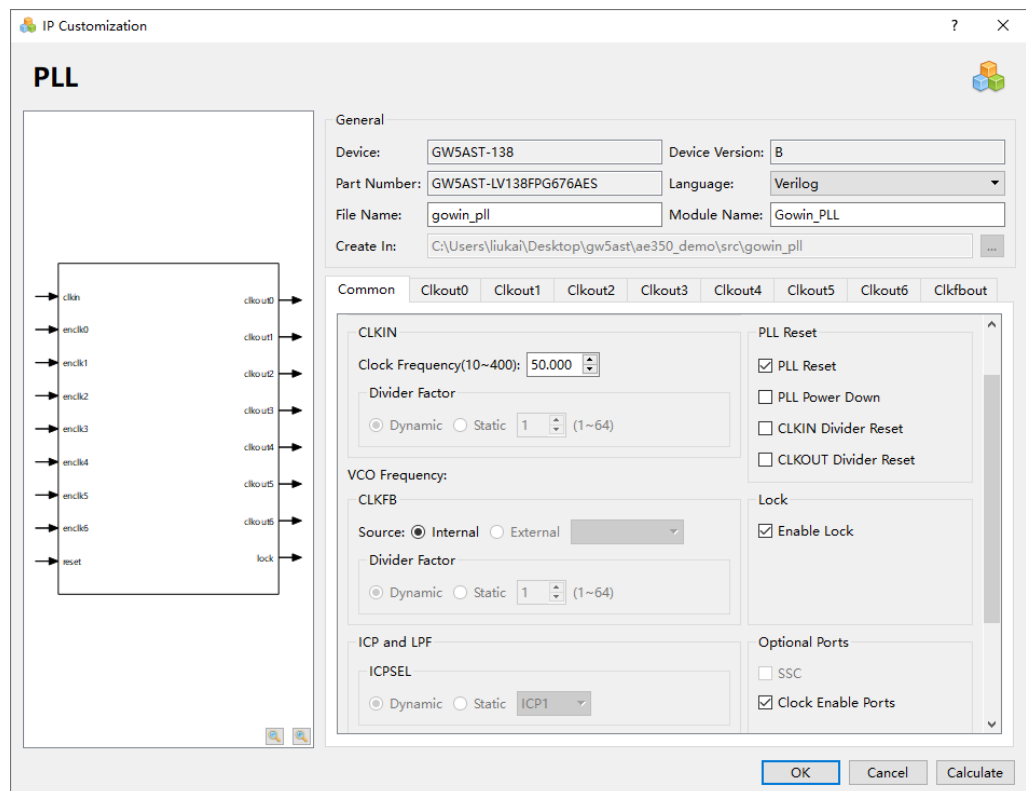
- Clkout0: DDR clock
- Clkout1: CORE clock
- Clkout2: AHB clock

- Clkout3: APB clock
- Clkout4: RTC clock

RiscV\_AE350\_SOC 数据存储器如果选择 DDR3 Memory 以及 Shared DDR3: Logic R/W Mode, DDR3 Memory 的 PLL\_ADV IP:

- Clkout0: DDR3 input clock
- Clkout1: DDR3 R/W clock
- Clkout2: DDR3 memory clock

图 8-27 PLL\_ADV IP 设计



注!

- RiscV\_AE350\_SOC 的内核时钟由 “PLL\_R[0] > clkout1” 直连提供, 必须使用 PLL\_ADV IP 的 “**clkout1**” 产生内核时钟。
- RiscV\_AE350\_SOC 的 DDR3 Memory 时钟由 “PLL\_L[0] > clkout2” 直连提供, 建议使用 PLL\_ADV IP 的 “**clkout2**” 产生 DDR3 Memory 时钟。
- DDR3 R/W clock  $\geq$  (DDR3 memory clock/4)。

### 8.3.3 用户设计

硬件设计顶层模块中, 实例化 RiscV\_AE350\_SOC IP, 实例化 PLL\_ADV IP, 加入其他用户逻辑设计, 连接各模块组成完整的硬件设计。

## 8.4 约束

### 8.4.1 物理约束

参照所用开发板，加入物理约束，可以使用云源软件的物理约束工具“FloorPlanner”。

例如参考设计 DK-START-GW5AT138 V2.1 DVK Board 与 Andes AICE-MINI+仿真器的 JTAG 接口的对应连接方式，如表 8-1 所示。

**表 8-1 参考设计的 JTAG 物理约束 (Andes AICE-MINI+)**

JTAG 接口	DVK Board	Andes AICE-MINI+仿真器
GND	J3-8	P3
TMS	J3-3	P4
TCK	J3-4	P6
VREF (3.3V)	J3-7	P7
TRST	J3-5	P10
TDO	J3-6	P11
TDI	J60-3	P12

例如参考设计 DK-START-GW5AT138 V2.1 DVK Board 与 Gowin 的 FTDI 下载线的 JTAG 接口的对应连接方式，如表 8-2 所示。

**表 8-2 参考设计的 JTAG 物理约束 (Gowin 的 FTDI 下载线)**

JTAG 接口	DVK Board	Gowin 的 FTDI 下载线
GND	J3-8	P2
TMS	J3-3	P9
TCK	J3-4	P1
VREF (3.3V)	J3-7	P6
TDO	J3-6	P5
TDI	J60-3	P3

例如参考设计 DK-START-GW5AT138 V2.1 DVK Board 与 Olimex 仿真器的 JTAG 接口的对应连接方式，如表 8-3 所示。

**表 8-3 参考设计的 JTAG 物理约束 (Olimex 仿真器)**

JTAG 接口	DVK Board	Olimex 仿真器
GND	J3-8	P4

JTAG 接口	DVK Board	Olimex 仿真器
TMS	J3-3	P7
TCK	J3-4	P9
VREF (3.3V)	J3-7	P1
TRST	J3-5	P3
TDO	J3-6	P13
TDI	J60-3	P5

注!

- RiscV\_AE350\_SOC 的内核时钟由“PLL\_R[0] > clkout1”直连提供，必须约束此 PLL\_ADV IP 的位置为“PLL\_R[0]”。例如，INS\_LOC  
"u\_Gowin\_PLL\_AE350/PLL\_inst" PLL\_R[0]。
- RiscV\_AE350\_SOC 的 DDR3 Memory 时钟由“PLL\_L[0] > clkout2”直连提供，建议约束此 PLL\_ADV IP 的位置为“PLL\_L[0]”。例如，INS\_LOC  
"u\_Gowin\_PLL\_DDR3/PLL\_inst" PLL\_L[0]。

## 8.4.2 时序约束

参照软件时序分析报告，加入时序约束，可以使用云源软件的时序约束工具“Timing Constraints Editor”。

软件时序分析报告，“Place & Route > Timing Analysis Report”，如图 8-28 所示。

图 8-28 时序分析报告

The screenshot shows the Gowin FPGA Designer interface with the Timing Analysis Report open. The report is divided into several sections:

- Timing Messages**
  - Timing Summaries
    - STA Tool Run Summary
    - Clock Summary
    - Max Frequency Summary
    - Total Negative Slack Summ
  - Timing Details
    - Path Slacks Table
    - Setup Paths Table
    - Hold Paths Table
    - Recovery Paths Table
    - Removal Paths Table
    - Minimum Pulse Width Table
    - Timing Report By Analysis
      - Setup Analysis Report
      - Hold Analysis Report
      - Recovery Analysis Report
      - Removal Analysis Report
- Clock Summary:**

Clock Name	Type	Period	Frequency(MHz)	Rise	Fall
clk50m	Base	20.000	50.000	0.000	10.000
flash_sysclk	Base	20.000	50.000	0.000	10.000
ae350_apb_clk	Base	10.000	100.000	0.000	5.000
ddr3_sysclk	Base	10.000	100.000	0.000	5.000
ddr3_clkln	Base	20.000	50.000	0.000	10.000
ae350_ddr_clk	Base	10.000	100.000	0.000	5.000
ddr3_memory_clk	Base	3.333	300.030	0.000	1.667
ae350_ahb_clk	Base	10.000	100.000	0.000	5.000
u_RiscV_AE350_SOC_Top/FLASH_SPI_CLK_Jobuf/I	Base	10.000	100.000	0.000	5.000
u_Gowin_PLL_AE350/PLL_inst/CLKOUT1.default_gen_clk	Generated	1.250	800.000	0.000	0.625
u_Gowin_PLL_AE350/PLL_inst/CLKOUT4.default_gen_clk	Generated	100.000	10.000	0.000	50.000
- Max Frequency Summary:**

NO.	Clock Name	Constraint	Actual Fmax	Logic Level	Entity
1	clk50m	50.000(MHz)	417.014(MHz)	4	TOP
2	ddr3_sysclk	100.000(MHz)	119.933(MHz)	7	TOP
3	ddr3_clkln	50.000(MHz)	289.477(MHz)	7	TOP

## 8.5 配置

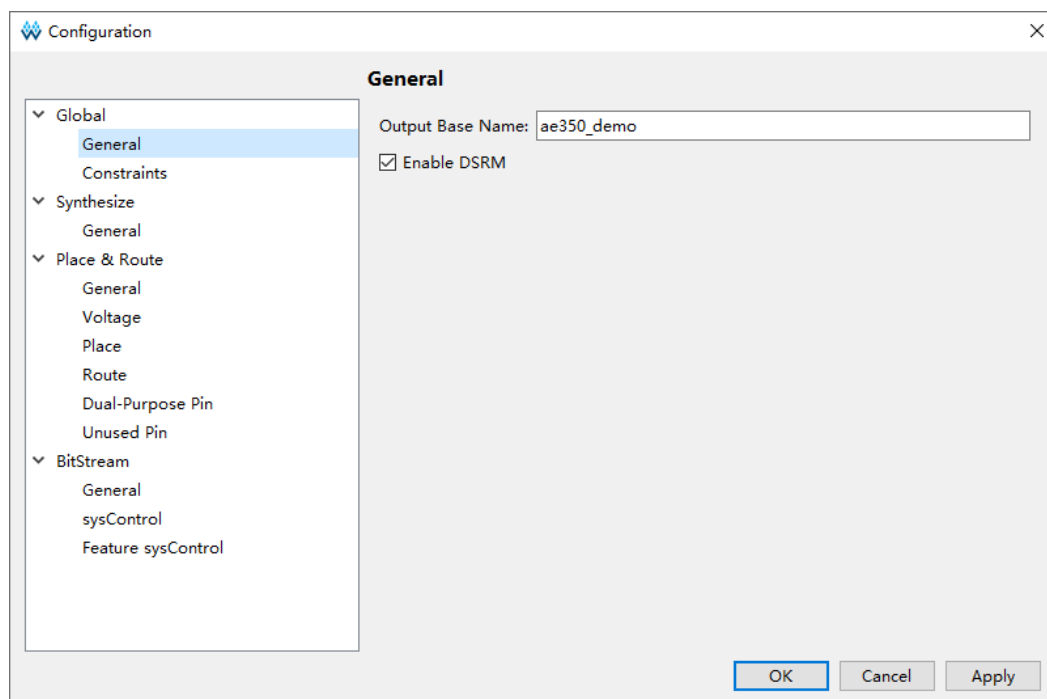
### 8.5.1 全局选项

全局选项配置包含“General”和“Constraints”。

“General”选项配置如图 8-29 所示。例如：

- Enable DSRAM: 如果开启，则综合出 DSRAM
- Output Base Name: 一般为硬件设计工程名称

图 8-29 全局选项配置



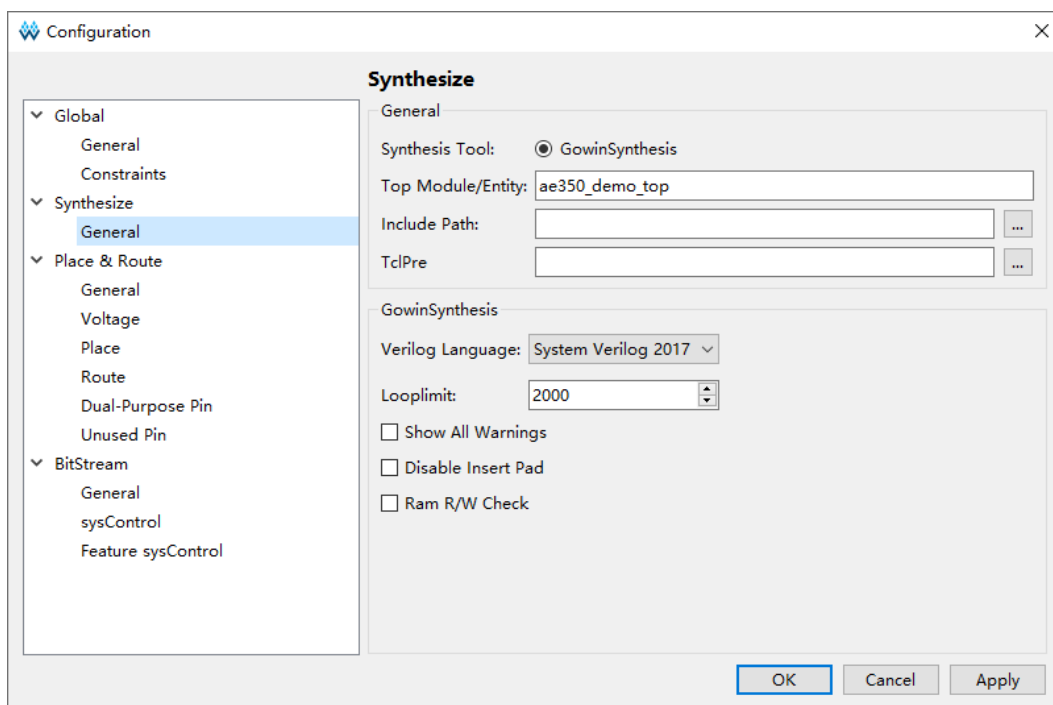
### 8.5.2 综合选项

“Synthesize”选项配置，如图 8-30 所示。例如：

- 参照硬件设计的实际顶层模块名称，配置 Top Module/Entity
- 参照硬件设计的实际头文件引用路径，配置 Include Path
- Verilog Language 配置，例如 System Verilog 2017



图 8-30 综合选项配置



### 8.5.3 布局布线选项

布局布线选项配置包括“General”、“Voltage”、“Place”、“Route”、“Dual-Purpose Pin”和“Unused Pin”。

请参照硬件设计的实际需求配置，例如：

- Place 布局选项，选择布局算法 2，如图 8-31 所示。
- Route 布线选项，选择布线算法 2，如图 8-32 所示。
- Dual-Purpose Pin 选项，复用“SSPI”、“MSPI”和“CPU”为普通 IO，如图 8-33 所示。

图 8-31 Place 选项配置

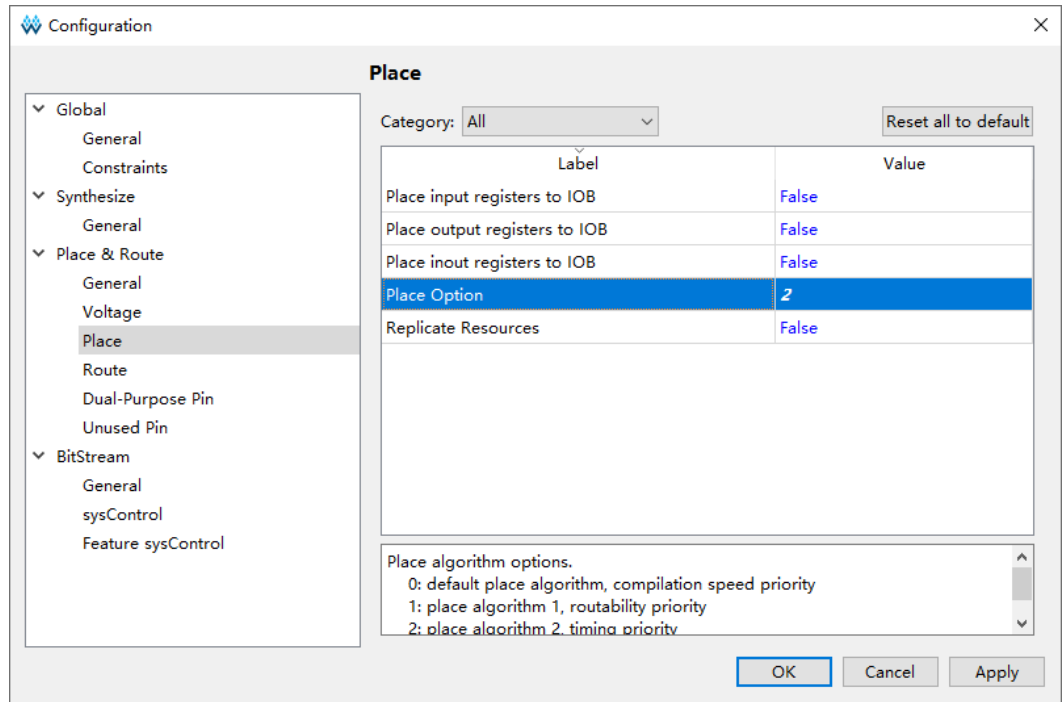


图 8-32 Route 选项配置

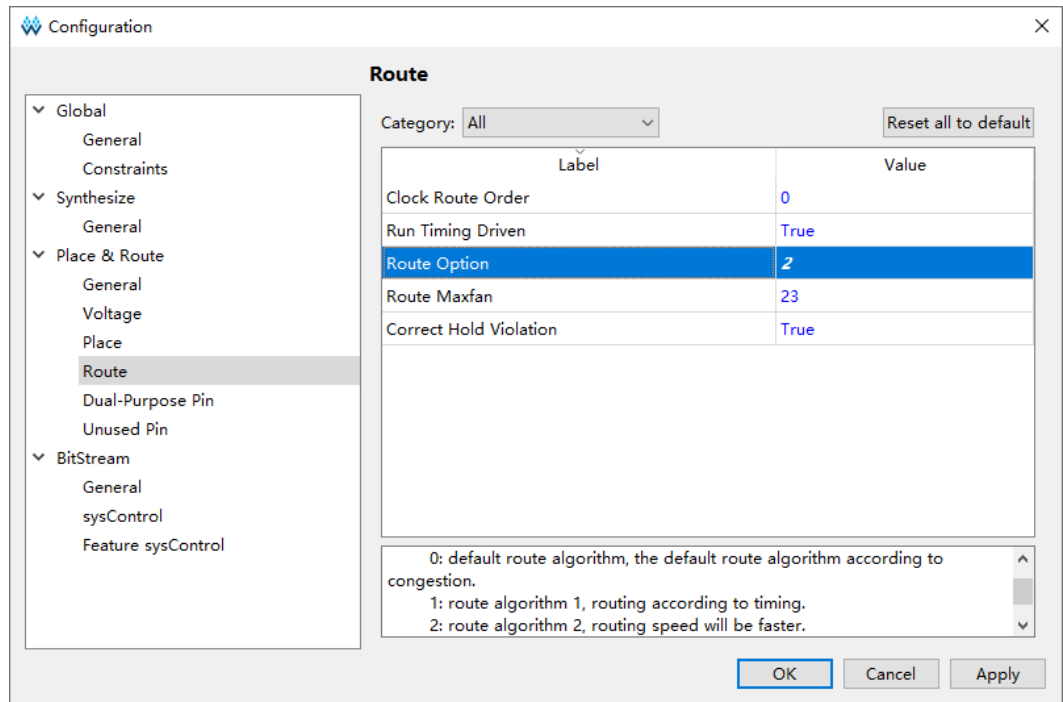
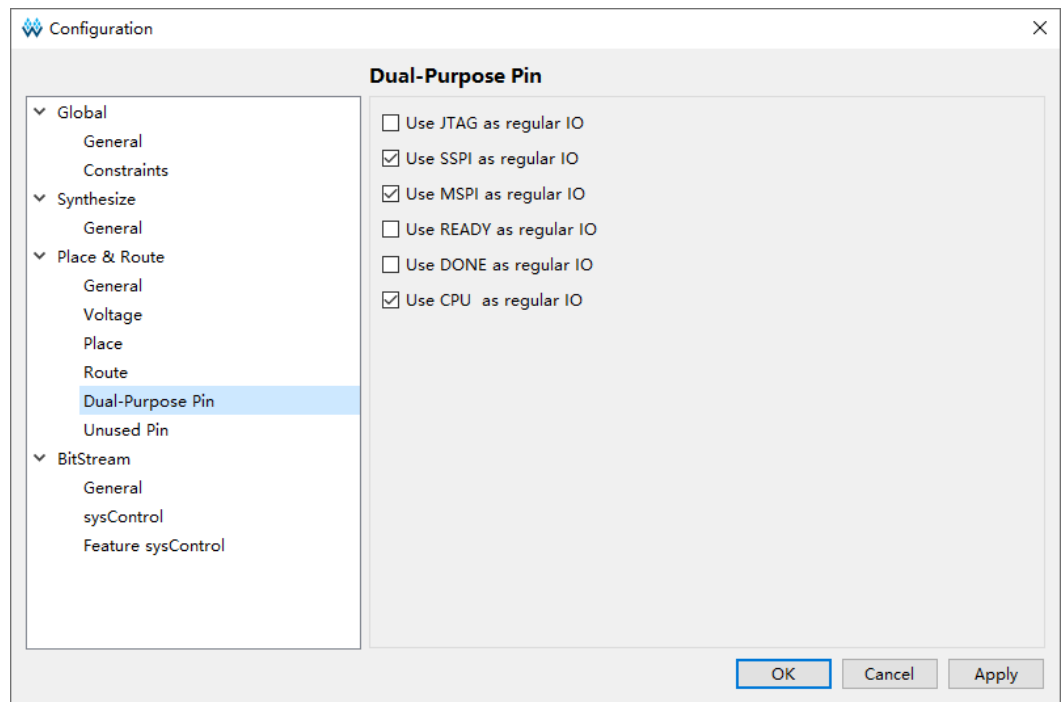


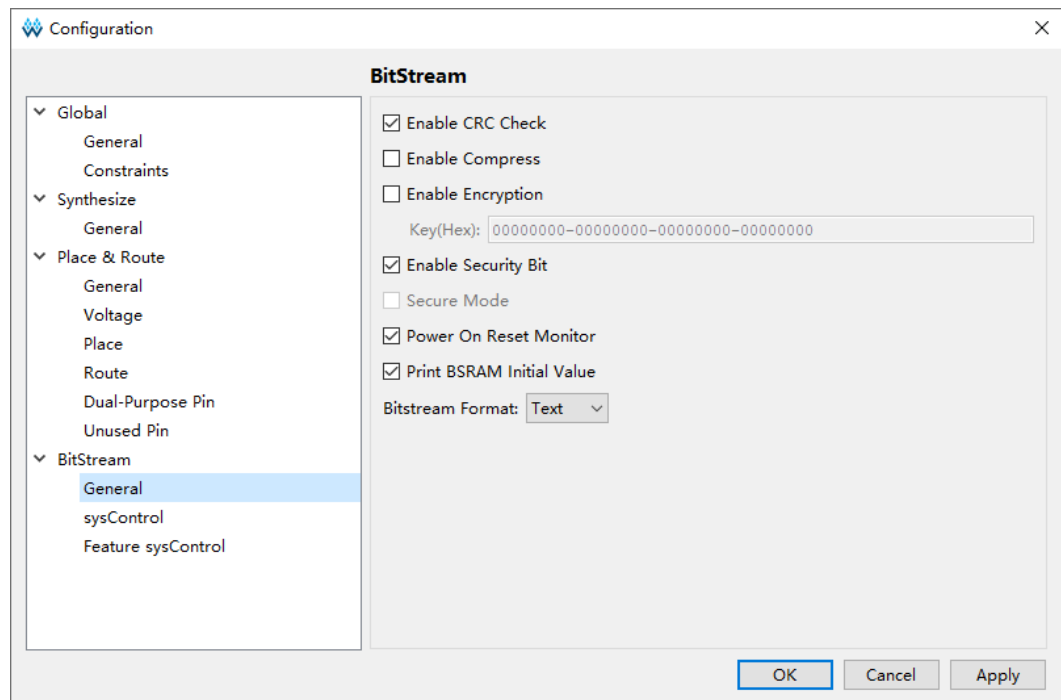
图 8-33 Dual-Purpose Pin 选项配置



## 8.5.4 码流选项

码流选项配置包括 General、sysControl 和 Feature sysControl，如图 8-34 所示。

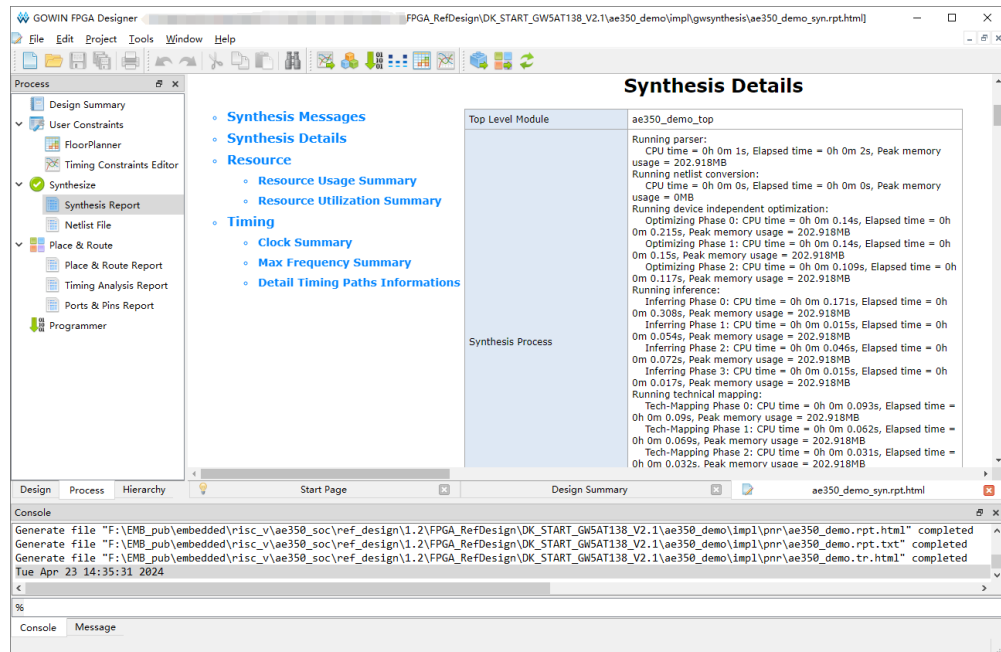
图 8-34 码流选项配置



## 8.6 综合

云源软件的综合工具“GowinSynthesis”，综合 RiscV\_AE350\_SOC 硬件设计，产生网表文件，如图 8-35 所示。

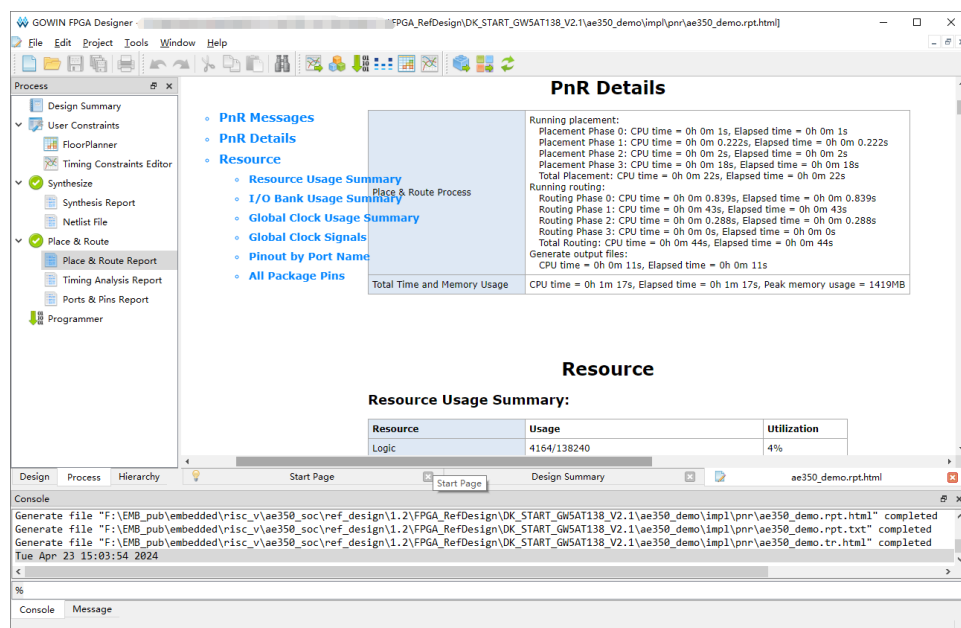
图 8-35 综合



## 8.7 布局布线


云源软件的布局布线工具“Place & Route”，布局布线网表文件，产生码流文件，如图 8-36 所示。

图 8-36 布局布线



## 8.8 下载

云源软件的下载工具“Programmer”，下载码流文件。

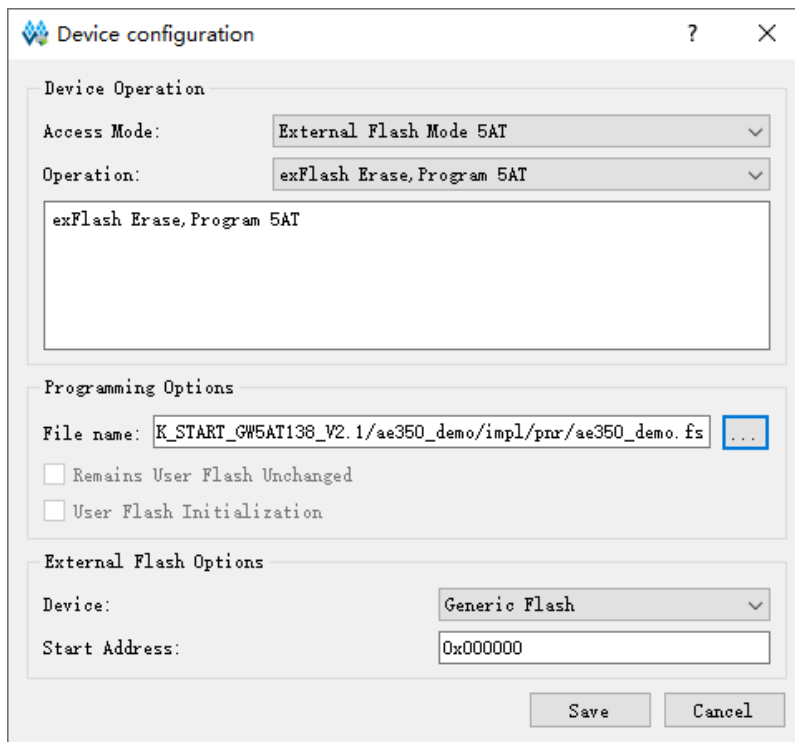
云源软件，“Process > Program Device”，或主菜单“Tools > Programmer”，或工具栏“”，打开 Programmer。

选择 Programmer 主菜单“Edit > Configure Device”，或工具栏“”，配置下载选项，如图 8-37 所示。

- “Access Mode” 下拉列表，选择“External Flash Mode 5AT”。
- “Operation” 下拉列表，选择“exFlash Erase, Program 5AT” 或“exFlash Erase, Program, Verify 5AT”。
- “Programming Options > File name” 选项，加入码流文件。
- “External Flash Options > Device” 选项，选择“Generic Flash”。
- “External Flash Options > Start Address” 选项，设置为“0x000000”。

单击“Save”，完成下载选项配置。

图 8-37 下载选项配置




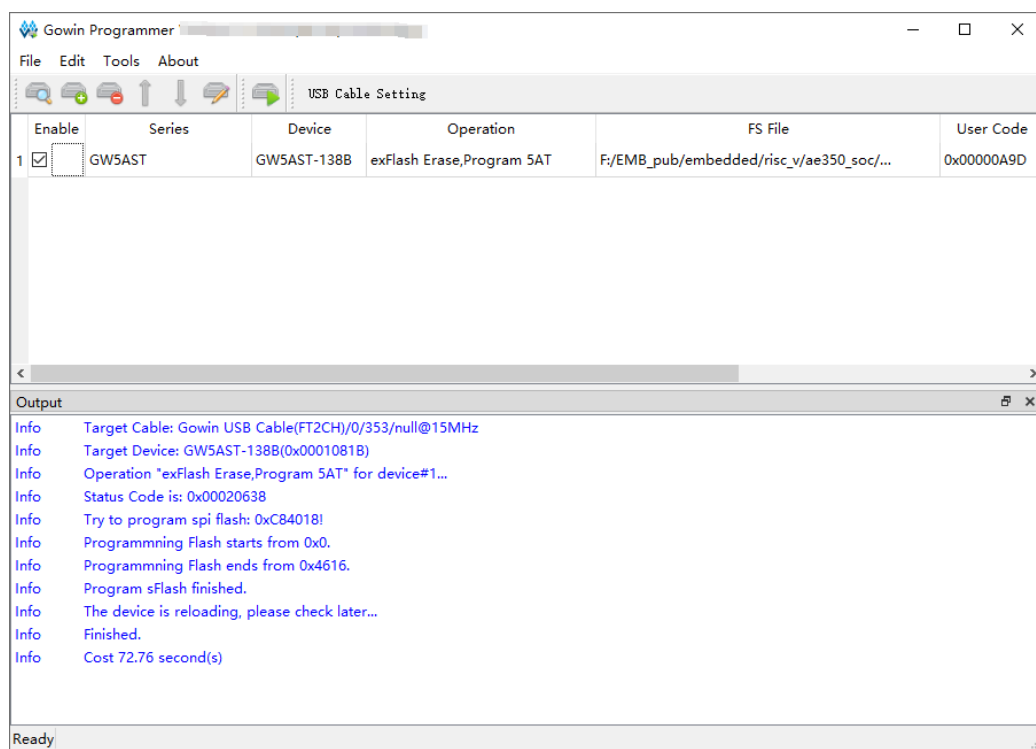
完成下载选项配置后，单击工具栏“”，下载码流文件，如图 8-38 所示。

图 8-38 下载码流文件



# 9 参考设计

Gowin RiscV\_AE350\_SOC 提供硬件设计的参考设计：

- ...\\ref\_design\FPGA\_RefDesign\DK\_START\_GW5AT138\_V2.1\ae350\_demo
- ...\\ref\_design\FPGA\_RefDesign\Tang\_MEGA\_138K\_Pro\_Dock\ae350\_demo
- ...\\example\Ethernet\ref\_design\FPGA\_RefDesign\Tang\_MEGA\_138K\_Pro\_Dock\ae350\_ext\_ethernet
- ...\\example\CAN\ref\_design\FPGA\_RefDesign\DK\_START\_GW5AT138\_V2.1\ae350\_ext\_can
- ...\\example\AHB\_Slave\_Bridge\ref\_design\FPGA\_RefDesign\DK\_START\_GW5AT138\_V2.1\ahb\_to\_ahb\_16\_bridge
- ...\\example\Flash\ref\_design\FPGA\_RefDesign\DK\_START\_GW5AT138\_V2.1\ae350\_ext\_flash
- ...\\example\SD\ref\_design\FPGA\_RefDesign\DK\_START\_GW5AT138\_V2.1\ae350\_ext\_sd
- ...\\example\APB\_Slave\_Bridge\ref\_design\FPGA\_RefDesign\DK\_START\_GW5AT138\_V2.1\apb\_to\_apb\_16\_bridge
- ...\\example\AHB\_Master\ref\_design\FPGA\_RefDesign\DK\_START\_GW5AT138\_V2.1\ae350\_ahb\_master
- ...\\example\Customized\ref\_design\FPGA\_RefDesign\DK\_START\_GW5AT138\_V2.1\ae350\_customized
- ...\\example\DDR3\_shared\ref\_design\FPGA\_RefDesign\DK\_START\_GW5AT138\_V2.1\ae350\_shared\_ddr3
- ...\\example\TCM\ref\_design\FPGA\_RefDesign\DK\_START\_GW5AT138\_V2.1\ae350\_emb\_tcm

