

---

# **Pocket Lab-F3 FPGA 开发板**

## **用户手册**

**2024-01**

---

**版权所有©2022 武汉易思达科技有限公司**

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除易思达科技在其产品的销售条款和条件中声明的责任之外，易思达科技概不承担任何法律或非法律责任。易思达科技对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，易思达科技保留修改文档中任何内容的权利，恕不另行通知。易思达科技不承诺对这些文档进行适时的更新。

# 目 录

|                           |    |
|---------------------------|----|
| 第一章 手册简介.....             | 1  |
| 1.1 手册内容.....             | 1  |
| 1.2 相关文档.....             | 1  |
| 1.3 术语、缩略语.....           | 2  |
| 1.4 技术支持与反馈.....          | 2  |
| 第二章 F3 开发板硬件.....         | 3  |
| 2.1 概述.....               | 3  |
| 2.2 开发板.....              | 4  |
| 2.3 系统框架.....             | 4  |
| 2.4 特性.....               | 5  |
| 2.5 指标.....               | 7  |
| 2.6 机械尺寸图.....            | 7  |
| 第三章 F3开发板硬件资源说明.....      | 9  |
| 3.1 总体硬件资源说明.....         | 9  |
| 3.2 F3 开发板原理图电路说明.....    | 10 |
| 3.2.1 FPGA.....           | 10 |
| 3.2.2 时钟输入.....           | 12 |
| 3.2.3 电源.....             | 12 |
| 3.2.4 Type-C 下载接口.....    | 13 |
| 3.2.5 八位数码管.....          | 14 |
| 3.2.6 按键、复位、拨码开关.....     | 15 |
| 3.2.7 LED.....            | 16 |
| 3.2.8 Type-C 串口.....      | 17 |
| 3.2.9 Type-C USB 2.0..... | 18 |
| 3.2.10 2Gbit DDR3.....    | 19 |
| 3.2.11 128Mbit FLASH..... | 22 |
| 3.2.12 HDMI 接口.....       | 23 |
| 3.2.13 RGB TFT-LCD接口..... | 25 |
| 3.2.14 MIPI DSI.....      | 27 |
| 3.2.15 MIPI CSI.....      | 29 |
| 3.2.16 OV5640 双目摄像头.....  | 30 |
| 3.2.17 以太网.....           | 32 |
| 3.2.18 SD 卡座.....         | 33 |
| 3.2.19 I/O 扩展排座.....      | 34 |
| 3.2.20 I/O 扩展接口.....      | 40 |
| 第四章 FPGA 开发环境安装及流程.....   | 42 |

|                       |    |
|-----------------------|----|
| 4.1 开发环境简介 .....      | 42 |
| 4.2 开发环境安装 .....      | 43 |
| 4.3 开发流程 .....        | 43 |
| 4.3.1 新建工程 .....      | 43 |
| 4.3.2 添加工程文件 .....    | 46 |
| 4.3.3 管脚约束 .....      | 47 |
| 4.3.4 综合、编译 .....     | 49 |
| 4.3.5 上板验证 .....      | 50 |
| 第五章 F3开发板使用注意事项 ..... | 52 |

# 第一章 手册简介

## 1.1 手册内容

Pocket Lab-F3 开发板用户手册分为三个部分：

1. 简述 F3 开发板的功能特点和硬件资源
2. 介绍 F3 开发板上的各部分硬件电路的功能、电路及管脚分配
3. 开发环境安装及开发流程简要说明

本手册中所述信息可适用于以下产品：

- FPGA GW2A-55

## 1.2 相关文档

通过登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可以下载、查看以下相关文档：

1. GW2A 系列 FPGA 产品数据手册
2. GW2A 系列 FPGA 产品封装与管脚手册
3. GW2A-55 器件 Pinout 手册
4. GW2A 系列 FPGA 产品编程配置手册
5. Gowin 云源软件用户手册

## 1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

| 术语、缩略语 | 全称                                                              | 含义            |
|--------|-----------------------------------------------------------------|---------------|
| FPGA   | Field Programmable Gate Array                                   | 现场可编程门阵列      |
| LDO    | Low Dropout Regulator                                           | 低压差线性稳压器      |
| GPIO   | General Purpose Input Output                                    | Gowin 可编程通用管脚 |
| LUT4   | 4-input Look-up Table                                           | 4 输入查找表       |
| DDR3   | Double-data-rate Three Synchronous Dynamic Random Access Memory | 高速同步动态随机存储    |
| FLASH  | Flash Memory                                                    | 非易失存储器        |
| SSRAM  | Shadow SRAM                                                     | 分布式静态随机存储器    |
| BSRAM  | Block SRAM                                                      | 块状静态随机存储器     |
| PLL    | Phase-locked Loop                                               | 锁相环           |
| DLL    | Delay-locked Loop                                               | 延迟锁相环         |
| DSP    | Digital Signal Processing                                       | 数字信号处理        |
| LVDS   | Low-Voltage Differential Signaling                              | 低电压差分信号       |

## 1.4 技术支持与反馈

武汉易思达科技有限公司全方位提供技术支持,在使用过程中如有任何疑问或建议,可直接与公司联系:

网 址: <http://www.wheasystart.com>

E-mail: [support@wheasystart.com](mailto:support@wheasystart.com)

Tel : [027-59234258-807](tel:027-59234258-807)

## 第二章 F3 开发板硬件

本章将对 Pocket Lab-F3 开发板进行说明，并对 Pocket Lab-F3 开发板的系统框架、特性、指标、机械尺寸等相关参数进行介绍。

### 2.1 概述

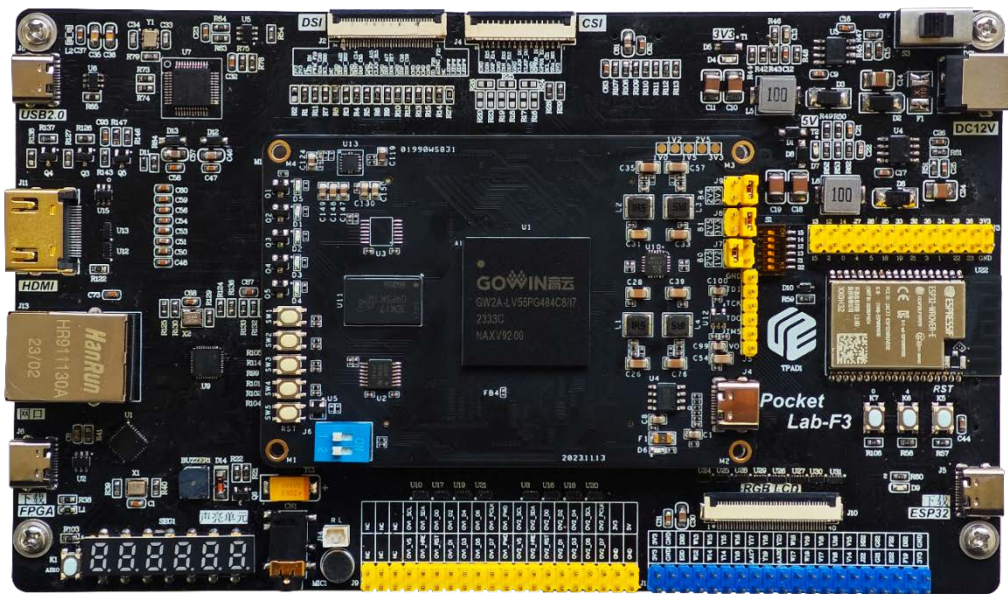


图 2-1 Pocket Lab-F3 开发板

Pocket Lab-F3 开发板采用核心板+底板架构设计，搭载了高云 GW2A-55 系列 FPGA 芯片，使得其能用于诸多测试测量领域。

“FPGA”核心采用高云晨曦家族系列第一代产品 GW2A-LV55PG484C8/I7，具有功耗低、性能强、资源多、使用方便等优点。其采用 BGA 形式 484 脚封装；密集式封装形式使得在芯片面积较小的情况下能为用户提供较多的 I/O 引脚。“FPGA”核心作为“逻辑器件”角色（亦可以说成“并行”执行角色），负责并行处理、实时性处理及逻辑管理等功能。

晨曦®家族第一代产品内部资源丰富，具有高性能的 DSP 资源，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，这些内嵌的资源搭配精简的 FPGA 架构以及 55nm 工艺使 GW2A 系列 FPGA 产品适用于高速低成本的应用场合。自带下载器电路，只需要一根 USB 电缆线即可进行开发。

## 2.2 开发板

开发板包括：

- Pocket Lab-F3 开发板套件
- Type-C 数据线
- 12V DC 电源
- 快速应用手册

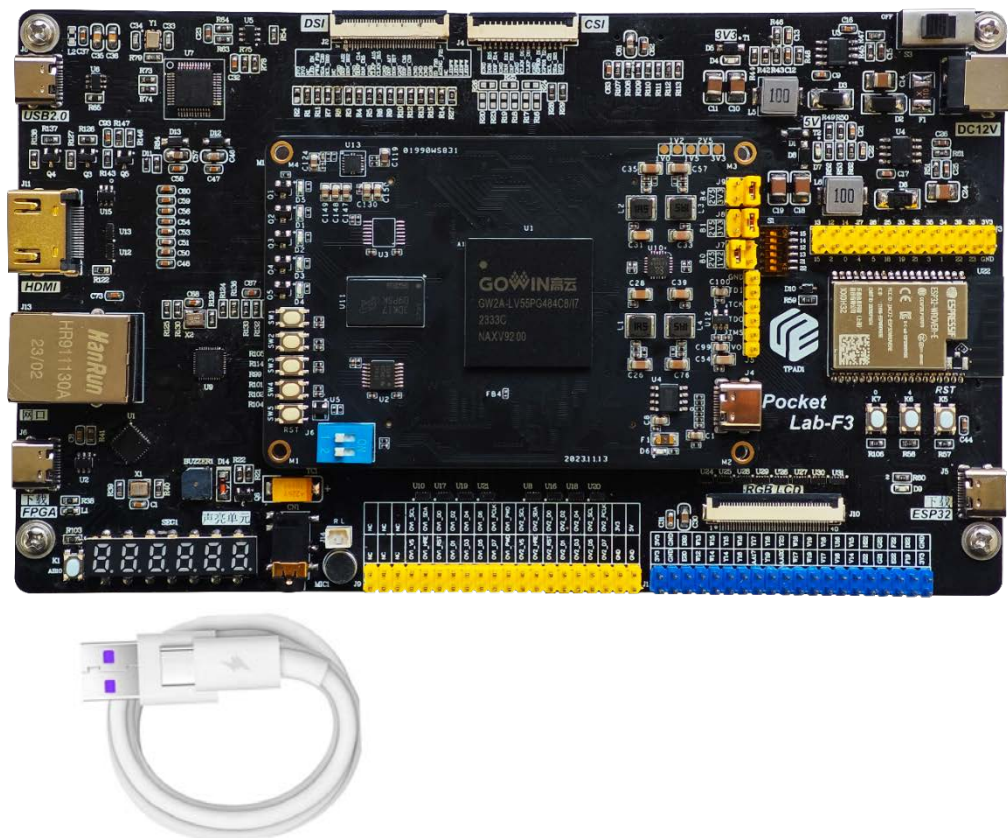


图2-2 Pocket Lab-F3 \_55K开发板套件

## 2.3 系统框架

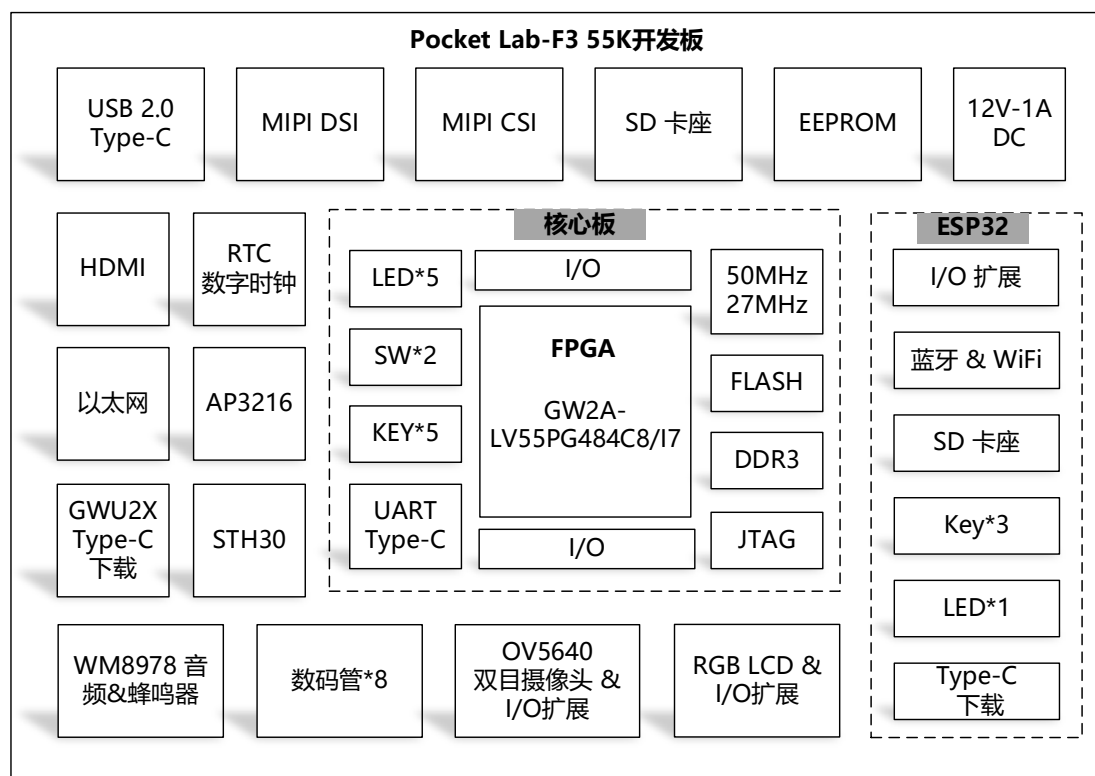


图2-3 Pocket Lab-F3 开发板系统框架

## 2.4 特性

### PL FPGA 特性如下:

#### 1. FPGA 器件

- 高云 GW2A-LV55PG484C8/I7
- 最多用户 I/O 319 个

#### 2. 下载与启动

- F3 开发板套件集成了下载模块，通过 USB Type-C 下载线下载
- F3 开发板核心板支持 JTAG 接口，通过下载器进行下载和调试
- 外部 FLASH 启动
- 加载完成后，DONE 管脚的蓝色灯亮

#### 3. 供电方式

- 外接 12V-2A DC 适配器供电
- JTAG 5V 供电（核心板）
- USB Type-C 串口 5V 供电（核心板）
- F3 开发板可产生 3.3V、5V 电源

#### 4. 系统时钟

- 50MHz 晶振输入

- 27MHz 晶振输入
  - 外部信号源输入
  - 5. 存储设备
    - 2Gbit DDR3
    - 128Mbit FLASH
  - 6. 以太网接口
    - 一路以太网接口
    - 支持 10M/100M/1000M
    - RJ45 接插件集成变压器
  - 7. 图像接口
    - 一路 MIPI DSI 显示接口, 包括 5 对差分信号
    - 一路 MIPI CSI 摄像头接口, 包括 2 对差分信号
    - 一路 40PIN RGB LCD 排座, 可接 RGB LCD 显示屏
    - 一路 HDMI 发送接口, 可接 HDMI 显示屏
  - 8. 通信模块
    - 一路 Type-C UART 接口, 可与 PC 进行通信
    - 一路 Type-C USB 2.0 接口, 可与 PC 进行数据传输
  - 10. 音频模块
    - 支持一个空腔喇叭, 可实现音频编码解码
    - 支持一个无源蜂鸣器
    - 支持 3.5mm 耳机接口
    - 支持 MIC 音频输入
  - 11. ESP32 模块
    - 支持 Wi-Fi 数据传输
    - 支持蓝牙数据传输
    - 支持 Type-C 接口下载烧录程序
    - 支持与 FPGA 数据传输, 通过拨码开关控制
  - 11. 扩展接口
    - 40PIN 双排插针 2 个, 其中 J9 排针可作为双目摄像头接口, 也可作为通用 I/O 接口; J1 排针可作为通用 I/O 接口
    - 26PIN 双排插针 1 个, 作为
- 注!**
- FPGA BANK 电压可通过核心板跳冒键选择 3.3V、2.5V、1.2V。
12. 调试模块
  - 9 个按键, 核心板搭载 5 个按键; 底板搭载 4 个按键, 其中一个为 FPGA 的 RST, 其余为 ESP32 的调试按键

- 4 个蓝色 LED（核心板）
- 8 个数码管，使用 CH595 驱动

## 2.5 指标

表 2-1 Pocket Lab-F3 开发板参数指标列表

| 序号 | 项目       | 参数                                                       | 功能描述                                       |
|----|----------|----------------------------------------------------------|--------------------------------------------|
| 1  | USB供电和下载 | Type-C USB接口                                             | 可使用USB进行供电。支持 USB 接口；支持 JTAG、AUTOBOOT、MSPI |
| 2  | 轻触按键     | 5 个轻触按键                                                  | 可作为测试控制输入使用(按下为低电平)                        |
| 3  | 指示灯      | 5 个 LED 指示灯                                              | 控制对应管脚输出信号为逻辑高电平时，LED 被点亮                  |
| 4  | 时钟       | 1 个 50MHz 时钟<br>1 个 27MHz 时钟                             | 为 FPGA 提供 50MHz 时钟；<br>为 FPGA 提供 27MHz 时钟  |
| 5  | 接口协议     | I2C、SPI、UART、HDMI、<br>MIPI DSI/CSI、USB 2.0、<br>UDP RGMII | FPGA 支持多种接口协议                              |
| 6  | 存储器      | 128Mbit FLASH<br>2Gbit DDR3<br>64Kbit EEPROM             | 外部存储器                                      |
| 7  | ESP32    | Wi-Fi、蓝牙                                                 | 微控制器                                       |
| 8  | 音频       | 蜂鸣器、WM8978音频芯<br>片、MIC、3.5mm接口                           | 实现音频播放的功能                                  |
| 9  | 工作温度     | 0~+ 70℃商业级                                               | ---                                        |
| 10 | 环境湿度     | 20%~90%，非冷凝                                              | ---                                        |
| 11 | 机械尺寸     | 110mm x 80mm                                             | ---                                        |
| 12 | PCB 规格   | 6层，黑底白字                                                  | ---                                        |
| 13 | 电源供电     | 5V/0.5A，Type-C接口供<br>电                                   | ---                                        |
| 14 | 安装孔距离    | 114mm×71mm                                               | ---                                        |
| 15 | 系统功耗     | <1.5W                                                    | ---                                        |
| 16 | 安装孔距离    | 114mm×71mm                                               | ---                                        |
| 17 | 系统功耗     | <10W                                                     | ---                                        |

## 2.6 机械尺寸图

如图2-4所示，为 Pocket Lab-F3 开发板的尺寸图。



## 第三章 F3开发板硬件资源说明

本章将向大家详细介绍 Pocket Lab-F3 开发板各部分的硬件原理图，让大家对该开发板的各部分硬件原理有个深入理解，并向大家介绍开发板的使用注意事项，为后面的学习和使用做好准备。

### 3.1 总体硬件资源说明

如表 3-1 所示为 F3 开发板资源说明，如图 3-1 所示为F3 开发板总体硬件资源展示图。

表 3-1 F3 开发板硬件资源

| F3 核心板             | F3 底板                   |
|--------------------|-------------------------|
| 50MHz 时钟晶振         | 1 个 GWUX Type-C 下载接口    |
| 27MHz 时钟晶振         | 1 个 40Pin RGB LCD 接口    |
| 4 个 LED            | 1 个 HDMI 接口             |
| 2 个拨码开关            | 1 个 MIPI DSI 接口         |
| 5 个按键开关            | 1 个 MIPI CSI 接口         |
| 1 块 128Mbit FLASH  | 1 个千兆以太网接口              |
| 1 块 2Gbit DDR3     | 2 个 SD 卡座               |
| 1 个 UART Type-C 接口 | 1 个 OV5640 双目摄像头接口&拓展接口 |
| 1 个 JTAG 下载接口      | 1 个 MIC 音频输入            |
|                    | 1 个 3.5mm 耳机接口          |
|                    | 1 个无源蜂鸣器                |
|                    | 1 个 USB 2.0 Type-C 接口   |
|                    | 1 个 ESP32 Type-C 下载接口   |
|                    | 1 个 ESP32 WiFi&蓝牙模块     |
|                    | 4 个按键开关                 |
|                    | 1 个环境光传感器               |
|                    | 1 个温度传感器                |
|                    | 1 个 64K EEPROM          |
|                    | 1 个 RTC 数字时钟            |

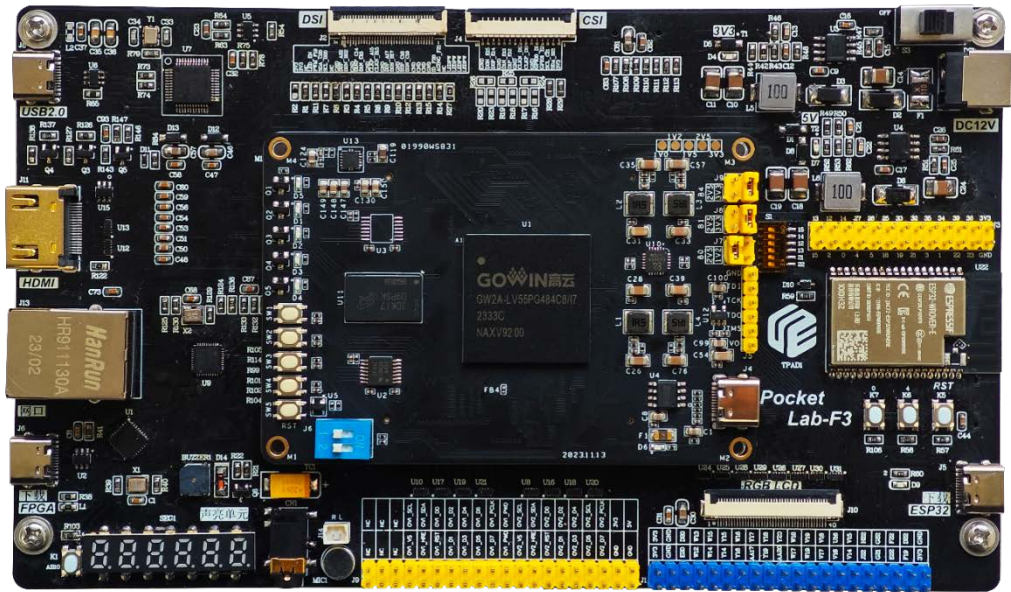


图 F3 开发板

## 3.2 F3 开发板原理图电路说明

### 3.2.1 FPGA

#### (1) 概述

F3 开发板搭载了高云 FPGA GW2A-55K 芯片，具有丰富的逻辑资源。GW2A 系列 FPGA 产品资源信息如表 3-2 所示。

表 3-2 GW2A 系列 FPGA 产品信息列表

| 器件                           | GW2A-18 | GW2A-55 |
|------------------------------|---------|---------|
| 逻辑单元(LUT4)                   | 20,736  | 54,720  |
| 寄存器(FF)                      | 15,552  | 41,040  |
| 分布式静态存储器<br>SSRAM(bit)       | 41,472  | 109,440 |
| 块状静态随机存储器<br>Block SRAM(bit) | 828K    | 2520K   |
| 块状静态随机存储器数目<br>Block SRAM(个) | 46      | 140     |
| 用户闪存 bit                     | 0       | 0       |
| 乘法器(18 x 18 multiplier)      | 48      | 40      |
| PLL                          | 4       | 6       |
| I/O Bank 总数                  | 8       | 8       |
| 核电压 (LV 版本)                  | 1.0V    | 1.0V    |

## (2) I/O BANK 说明

GW2A 系列 FPGA 产品分有 8 个 I/O Bank 区, 如图 3-2 所示, 每个 Bank 有独立的 I/O 电源 VCCIO。VCCIO 可以设置为 3.3V、2.5V、1.8V、1.5V 或 1.2V。为支持 SSTL, HSTL 等 I/O 输入标准, 每个 Bank 还提供一个独立的参考电压(VREF), 用户可以选择使用 IOB 内置的 VREF 源(等于  $0.5 \times VCCIO$ ), 也可选择外部的 VREF 输入(使用 Bank 中任意一个 I/O 管脚作为外部 VREF 输入)。VCCX 供电电压支持 1.8V 和 2.3V。

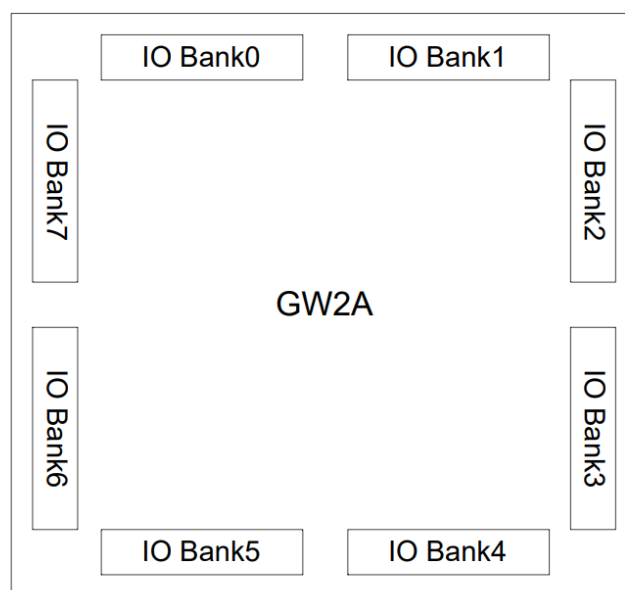


图 3-2 GW2A 系列 FPGA 产品 I/O BANK 整体示意图

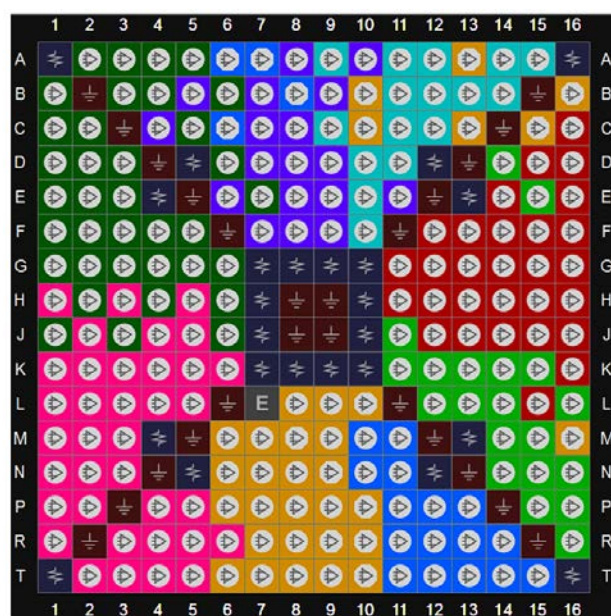


图 3-3 GW2A FPGA I/O 管脚分布图

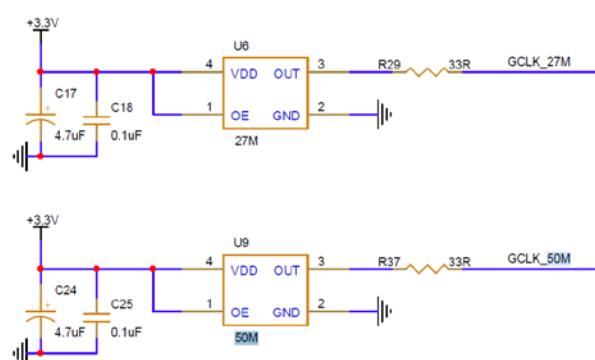
## 3.2.2 时钟输入

### (1) 概述

F3 开发板提供 50MHz 和 27MHz 的时钟晶振，连接到 PLL 输入端管脚，可以作为 FPGA 内部 PLL 的时钟输入，并通过配置 PLL 分频、倍频输出用户需要的时钟。

50MHz时钟晶振常采用晶体振荡器（Crystal Oscillator）作为振荡器类型。晶体振荡器利用晶体材料的压电效应，在外部施加电场下产生稳定可靠的振荡频率。

### (2) 时钟电路



### (3) 管脚分配

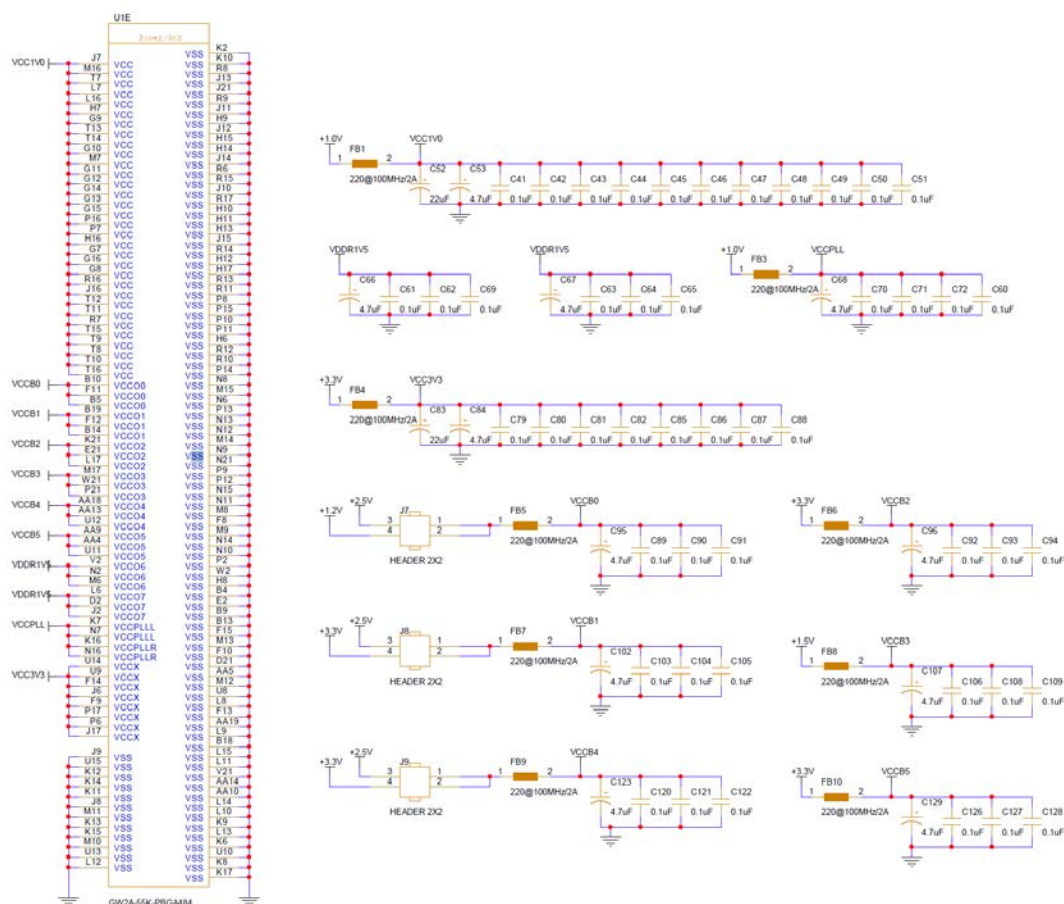
| 信号名称    | FPGA管脚序号 | BANK   | 描述           | I/O电平 |
|---------|----------|--------|--------------|-------|
| clk_50m | M19      | BANK_2 | 50MHz 有源晶振输入 | 3.3V  |
| Clk_27m | B20      | BANK_2 | 27MHz 有源晶振输入 | 3.3V  |

## 3.2.3 电源

### (1) 概述

F3 开发板由Type-C下载接口进行供电，无需外接电源。采用 EA3059 电源芯片，实现由5V到3.3V、2.5V、1.8V、1.0V 转换，供电电流可达1A，可满足开发板的电源需求。并且，FPGA 的 bank电压还可以通过跳线帽和更改电阻进行选择，可自由切换3.3V、2.5V、1.8V。

### (2) 电源电路



### (3) 管脚分配

| 信号名称  | BANK   | 描述      | I/O电平          |
|-------|--------|---------|----------------|
| VCCO0 | BANK_0 | BANK 电压 | 2.5V、1.2V      |
| VCCO1 | BANK_1 |         | 3.3V、2.5V      |
| VCCO2 | BANK_2 |         | 3.3V           |
| VCCO3 | BANK_3 |         | 3.3V           |
| VCCO4 | BANK_4 |         | 3.3V、2.5V      |
| VCCO5 | BANK_5 |         | 3.3V           |
| VCCO6 | BANK_6 |         | 3.3V           |
| VCCO7 | BANK_7 |         | 1.5V           |
| VCC   | ---    | 核电压     | 3.3V、2.5V、1.8V |
| VSS   | ---    | 辅助电压    | 1V             |

## 3.2.4 Type-C 下载接口

### (1) 概述

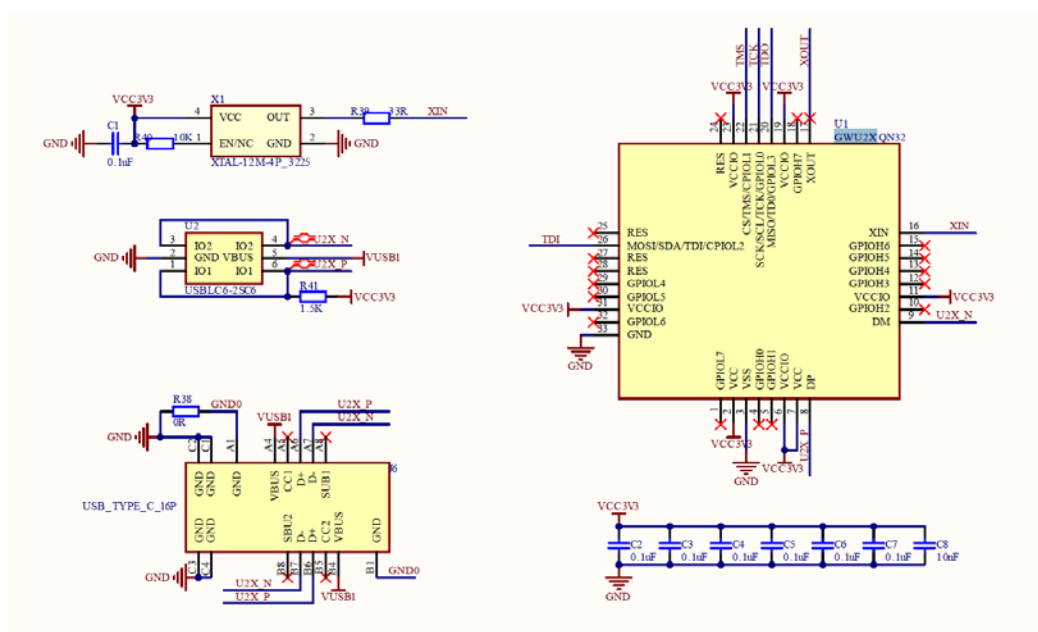
F3 开发板提供 Type-C 下载接口, 并且具备下载电路, 只需要一根USB数据线即可进行开发。下载时可根据需要设置MODE模式, 下载至片内 SRAM、外部

FLASH中。

**注!**

- 下载至 SRAM 时，当器件掉电后数据流文件会丢失，重新上电需再次下载数据流文件。
- 下载至外部 FLASH 后，掉电后数据流文件不会丢失。

## (2) 下载电路



## (3) 管脚分配

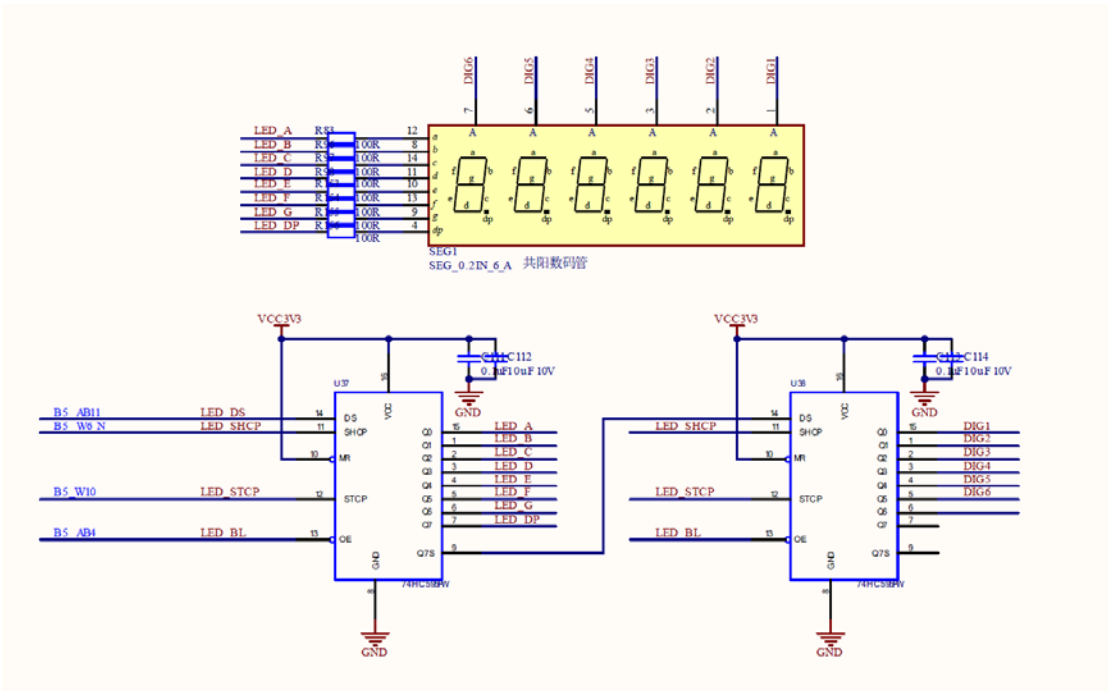
| 信号名称           | FPGA管脚序号 | BANK   | 描述          | I/O电平 |
|----------------|----------|--------|-------------|-------|
| FLASH_SPI_MISO | P19      | BANK_3 | SPI 配置 FPGA | 3.3V  |
| FLASH_SPI_MOSI | P20      | BANK_3 | SPI 配置 FPGA | 3.3V  |
| FLASH_SPI_CS_N | N18      | BANK_3 | SPI 配置 FPGA | 3.3V  |
| FLASH_SPI_CLK  | P18      | BANK_3 | SPI 配置 FPGA | 3.3V  |
| JTAG_TCK       | N20      | BANK_2 | JTAG信号      | 3.3V  |
| JTAG_TDO       | M22      | BANK_2 | JTAG信号      | 3.3V  |
| JTAG_TDI       | M20      | BANK_2 | JTAG信号      | 3.3V  |
| JTAG_TMS       | N22      | BANK_2 | JTAG信号      | 3.3V  |

## 3.2.5 八位数码管

### (1) 概述

F3 开发板提供 8 位 CH595 可控数码管，使用 CH595 芯片进行控制，从而减少对 FPGA 管脚的依赖。

(2) 八位数码管电路



(3) 八位数码管引脚分配

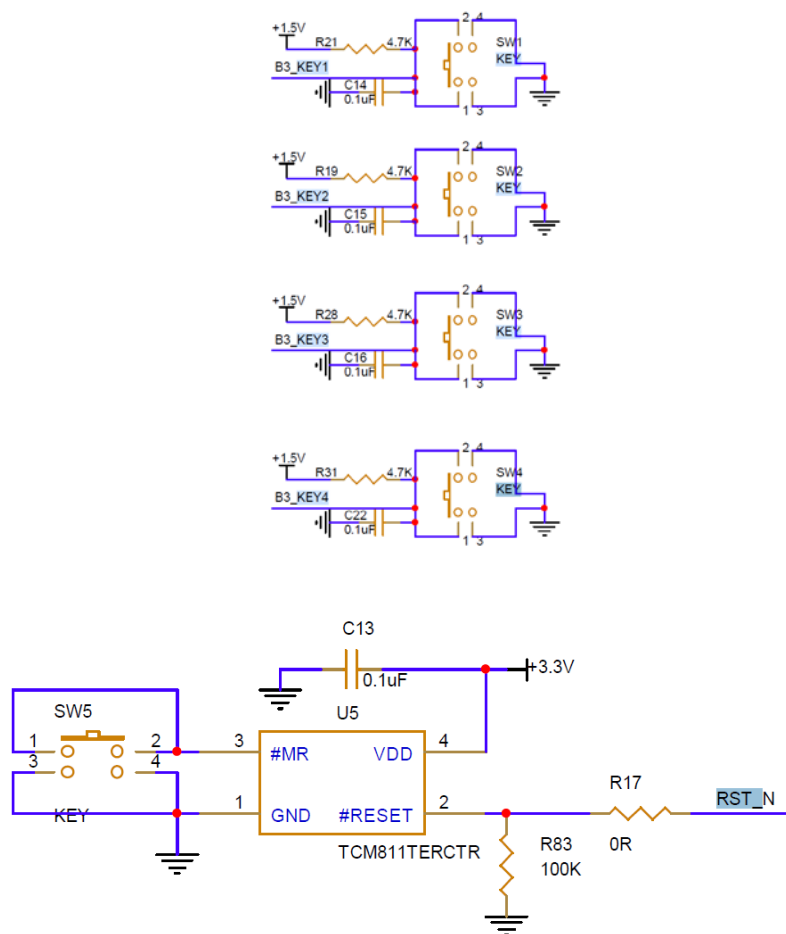
| 信号名称     | FPGA管脚序号 | BANK   | 描述         | I/O电平 |
|----------|----------|--------|------------|-------|
| LED_DS   | AB11     | BANK_5 | 串行数据输入     | 3.3V  |
| LED_SHCP | W6       | BANK_5 | 数据输入时钟     | 3.3V  |
| LED_STCP | W10      | BANK_5 | 输出存储器锁存时钟线 | 3.3V  |
| LED_BL_N | AB4      | BANK_5 | 输出有效       |       |

3.2.6 按键、复位、拨码开关

(1) 概述

F3 核心板提供 5 个共阴极轻触按键，按下为低电平，松手状态为高电平，默认使用按键 K5 作为复位按键；还提供 2 个拨码开关。

(2) 复位、按键、拨码开关电路



### (3) 按键、复位、拨码开关引脚分配

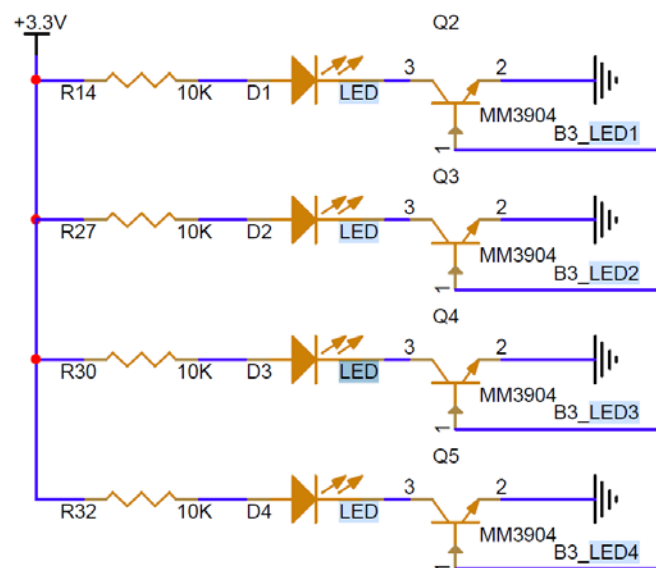
| 信号名称 | FPGA管脚序号   | BANK   | 描述         | I/O电平 |
|------|------------|--------|------------|-------|
| KEY1 | <b>T18</b> | BANK_3 | 按键 1       | 3.3V  |
| KEY2 | <b>R18</b> | BANK_3 | 按键 2       | 3.3V  |
| KEY3 | <b>U20</b> | BANK_3 | 按键 3       | 3.3V  |
| KEY4 | <b>T20</b> | BANK_3 | 按键 4       | 3.3V  |
| KEY5 | <b>AB3</b> | BANK_5 | 按键 5 RST复位 | 3.3V  |
| SW1  | <b>W20</b> | BANK_3 | 拨码开关1      | 3.3V  |
| SW2  | <b>V20</b> | BANK_3 | 拨码开关2      | 3.3V  |

## 3.2.7 LED

### (1) 概述

F3 核心板提供 4 个共阴极蓝色 LED 灯，高电平使能点亮 LED 灯。用户可通过对 LED 控制完成所需状态的显示。

### (2) LED 电路



### (3) 管脚分配

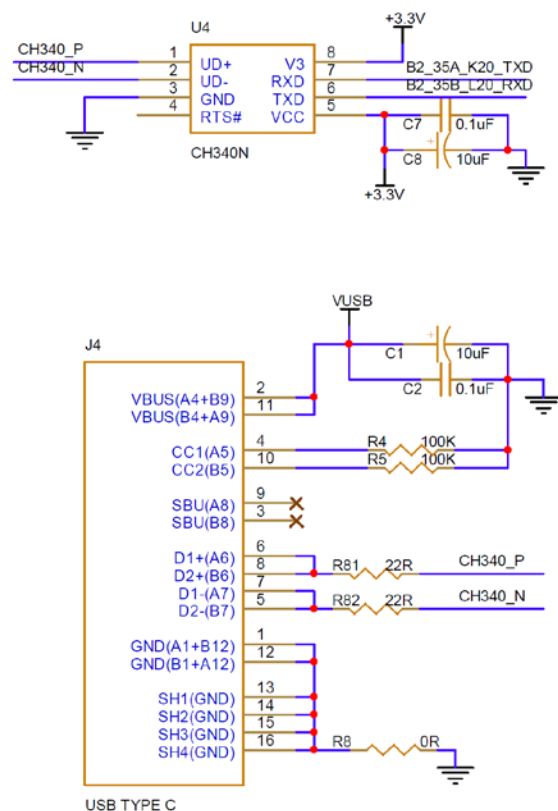
| 信号名称      | FPGA管脚序号   | BANK   | 描述        | I/O电平 |
|-----------|------------|--------|-----------|-------|
| FPGA_LED1 | <b>U18</b> | BANK_3 | LED 指示灯 1 | 3.3V  |
| FPGA_LED2 | <b>U19</b> | BANK_3 | LED 指示灯 2 | 3.3V  |
| FPGA_LED3 | <b>U17</b> | BANK_3 | LED 指示灯 3 | 3.3V  |
| FPGA_LED4 | <b>T17</b> | BANK_3 | LED 指示灯 4 | 3.3V  |

## 3.2.8 Type-C 串口

### (1) 概述

F3 开发板底板提供 1 个 Type-C 串口,内置 1 块 CH340 芯片, 实现 USB 转串口功能, 通过 Type-C 电缆线可以与 PC 端进行串口通信。

### (2) Type-C 串口电路



### (3) 管脚分配

| 信号名称           | FPGA管脚序号 | BANK   | 描述            | I/O电平 |
|----------------|----------|--------|---------------|-------|
| B2_35A_K20_TXD | K20      | BANK_2 | FPGA_UART_RXD | 3.3V  |
| B2_35A_L20_RXD | L20      | BANK_2 | FPGA_UART_TXD | 3.3V  |

## 3.2.9 Type-C USB 2.0

### (1) 概述

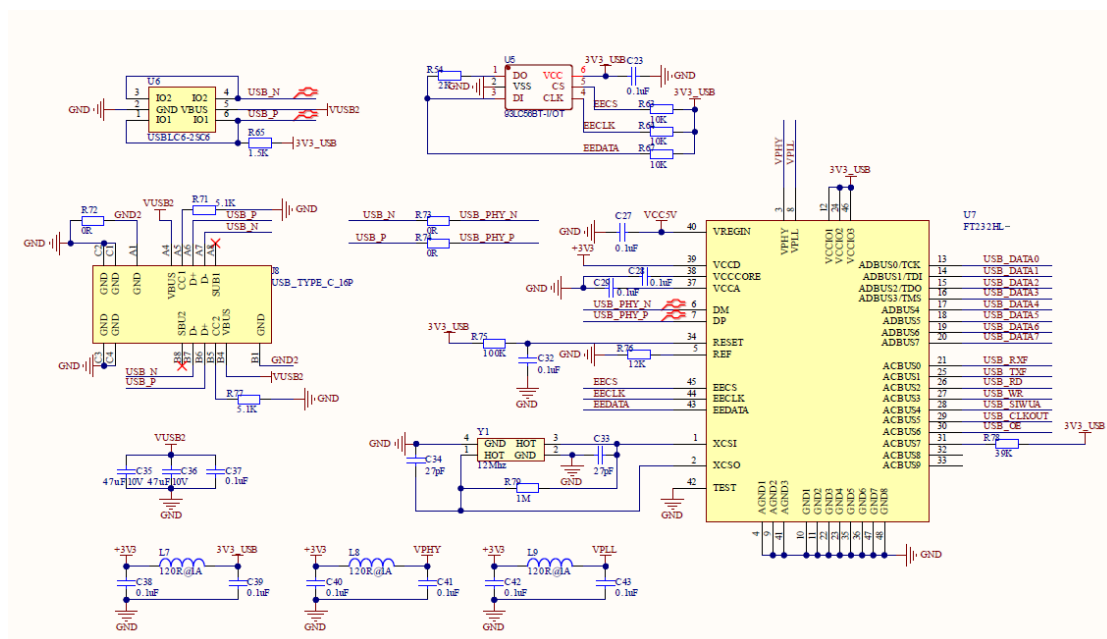
F3 开发板底板提供 1 个 Type-C USB 2.0接口,内置 1 块 FT232 芯片,实现 USB 2.0传输功能,通过 Type-C 电缆线可以与 PC 端进行 USB 通信。

### (2) 特性

**Type-C连接器：** Type-C连接器采用了翻转插拔设计，具有无方向性和可插拔性，可以在连接时的任意一端进行插入。这意味着无论插头的正反方向如何，都可以正确连接设备。

**高速数据传输：** Type-C USB 2.0接口支持USB 2.0协议，这意味着它可以提供高达480 Mbps的数据传输速度。这足以满足常见的数据传输需求，例如传输文件、音频、视频和图像。

### (3) USB 电路



### (4) 管脚分配

DDR3管脚分配

| 信号名称       | FPGA管脚序号 | BANK   | 描述         | I/O电平 |
|------------|----------|--------|------------|-------|
| USB_DATA0  | A18      | BANK_1 | USB 数据信号   | 3.3V  |
| USB_DATA1  | A19      | BANK_1 |            | 3.3V  |
| USB_DATA2  | A20      | BANK_1 |            | 3.3V  |
| USB_DATA3  | A21      | BANK_1 |            | 3.3V  |
| USB_DATA4  | A13      | BANK_1 |            | 3.3V  |
| USB_DATA5  | A14      | BANK_1 |            | 3.3V  |
| USB_DATA6  | B16      | BANK_1 |            | 3.3V  |
| USB_DATA7  | C17      | BANK_1 |            | 3.3V  |
| USB_WR     | C13      | BANK_1 | USB 数据写信号  | 3.3V  |
| USB_RD     | A16      | BANK_1 | USB 数据读信号  | 3.3V  |
| USB_TXF    | C16      | BANK_1 | USB 数据控制信号 | 3.3V  |
| USB_RXF    | D13      | BANK_1 | USB 数据控制信号 | 3.3V  |
| USB_OE     | AA12     | BANK_4 | USB 控制信号   | 3.3V  |
| USB_CLKOUT | AB12     | BANK_4 | USB 控制信号   | 3.3V  |
| USB_SIWUA  | G20      | BANK_2 | USB 控制信号   | 3.3V  |

## 3.2.10 2Gbit DDR3

### (1) 概述

SDDDR3, 全称为Double Data Rate 3 Synchronous Dynamic Random-Access Memory (双倍数据率3同步动态随机存取存储器), 是一种计算机内存标准, 用于在计算机系统中存储和提供快速访问数据。

F3 开发板提供了一块 2Gbit 的 DDR3 高速内存,型号为 3DKI7D9PSK。

## (2) 特性

同存储技术: DDR3采用了动态随机存取存储器(DRAM)技术, 是一种易失性存储器, 意味着数据在断电时会丢失。然而, DDR3相对于先前的DDR2技术在存储密度和速度上有所改进。

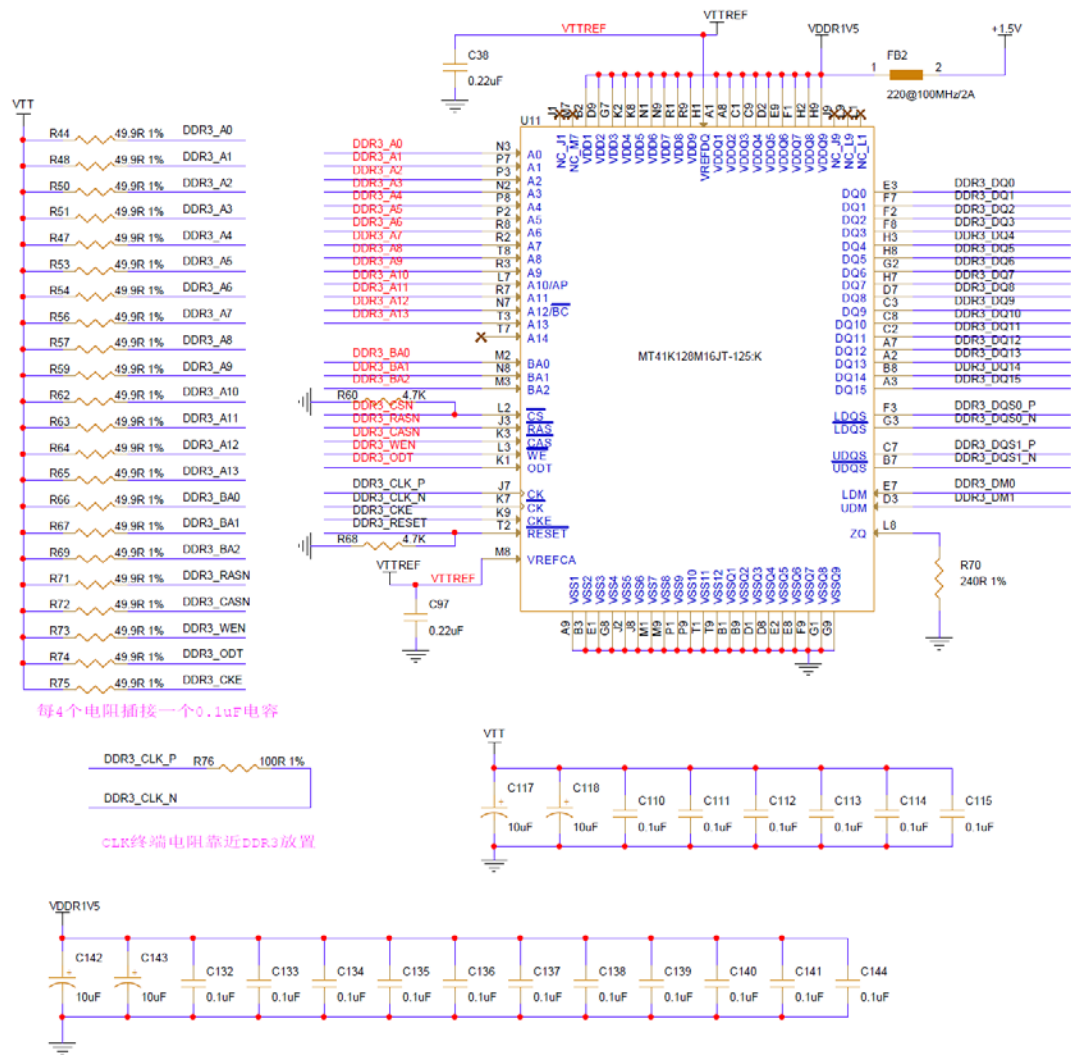
数据传输速率: DDR3是一种高带宽内存技术, 通过提高数据传输速率来提供更快的内存性能。DDR3模块通常有不同的数据传输速率, 例如DDR3-800、DDR3-1066、DDR3-1333、DDR3-1600等, 表示每秒传输的兆字节数。

时钟频率: DDR3的时钟频率是其数据传输速率的一半。例如, DDR3-1600模块的时钟频率为800MHz。这种双倍数据率的设计允许在每个时钟周期内传输两次数据, 提高了数据吞吐量。

电压: DDR3通常以1.5V的电压工作, 相比于DDR2的1.8V, DDR3在功耗上有所降低, 有助于提高系统的能效。

内存模块: DDR3内存通常以DIMM (Dual Inline Memory Module) 模块的形式出现, 可插入计算机主板上的内存插槽中。这些模块有不同的容量, 例如1GB、2GB、4GB等, 可以根据系统需求选择不同容量的模块。

## (3) DDR3 电路



(4) 管脚分配

DDR3管脚分配

| 信号名称     | FPGA管脚序号 | BANK   | 描述       | I/O电平 |
|----------|----------|--------|----------|-------|
| DDR3_A0  | F1       | BANK_7 | DDR3 地址线 | 1.5V  |
| DDR3_A1  | V5       | BANK_6 | DDR3 地址线 | 1.5V  |
| DDR3_A2  | G6       | BANK_7 | DDR3 地址线 | 1.5V  |
| DDR3_A3  | E5       | BANK_7 | DDR3 地址线 | 1.5V  |
| DDR3_A4  | V3       | BANK_6 | DDR3 地址线 | 1.5V  |
| DDR3_A5  | F2       | BANK_7 | DDR3 地址线 | 1.5V  |
| DDR3_A6  | Y22      | BANK_3 | DDR3 地址线 | 1.5V  |
| DDR3_A7  | H5       | BANK_7 | DDR3 地址线 | 1.5V  |
| DDR3_A8  | AB22     | BANK_3 | DDR3 地址线 | 1.5V  |
| DDR3_A9  | H4       | BANK_7 | DDR3 地址线 | 1.5V  |
| DDR3_A10 | P5       | BANK_6 | DDR3 地址线 | 1.5V  |
| DDR3_A11 | Y21      | BANK_3 | DDR3 地址线 | 1.5V  |
| DDR3_A12 | T5       | BANK_6 | DDR3 地址线 | 1.5V  |

|             |            |        |             |      |
|-------------|------------|--------|-------------|------|
| DDR3_A13    | <b>AA1</b> | BANK_6 | DDR3 地址线    | 1.5V |
| DDR3_BA0    | <b>F4</b>  | BANK_7 | DDR3 bank选择 | 1.5V |
| DDR3_BA1    | <b>T4</b>  | BANK_6 | DDR3 bank选择 | 1.5V |
| DDR3_BA2    | <b>F3</b>  | BANK_7 | DDR3 bank选择 | 1.5V |
| DDR3_CAS    | <b>D3</b>  | BANK_7 | DDR3 列选通    | 1.5V |
| DDR3_CKE    | <b>E4</b>  | BANK_7 | DDR3 时钟使能   | 1.5V |
| DDR3_CLK_P  | <b>P22</b> | BANK_3 | DDR3 差分时钟   | 1.5V |
| DDR3_CLK_N  | <b>R22</b> | BANK_3 | DDR3 差分时钟   | 1.5V |
| DDR3_DQ0    | <b>M5</b>  | BANK_6 | DDR3 数据线    | 1.5V |
| DDR3_DQ1    | <b>T3</b>  | BANK_6 | DDR3 数据线    | 1.5V |
| DDR3_DQ2    | <b>M4</b>  | BANK_6 | DDR3 数据线    | 1.5V |
| DDR3_DQ3    | <b>T2</b>  | BANK_6 | DDR3 数据线    | 1.5V |
| DDR3_DQ4    | <b>Y1</b>  | BANK_6 | DDR3 数据线    | 1.5V |
| DDR3_DQ5    | <b>U1</b>  | BANK_6 | DDR3 数据线    | 1.5V |
| DDR3_DQ6    | <b>N4</b>  | BANK_6 | DDR3 数据线    | 1.5V |
| DDR3_DQ7    | <b>V1</b>  | BANK_6 | DDR3 数据线    | 1.5V |
| DDR3_DQ8    | <b>R1</b>  | BANK_7 | DDR3 数据线    | 1.5V |
| DDR3_DQ9    | <b>K3</b>  | BANK_7 | DDR3 数据线    | 1.5V |
| DDR3_DQ10   | <b>P1</b>  | BANK_7 | DDR3 数据线    | 1.5V |
| DDR3_DQ11   | <b>J1</b>  | BANK_7 | DDR3 数据线    | 1.5V |
| DDR3_DQ12   | <b>K5</b>  | BANK_7 | DDR3 数据线    | 1.5V |
| DDR3_DQ13   | <b>H3</b>  | BANK_7 | DDR3 数据线    | 1.5V |
| DDR3_DQ14   | <b>M2</b>  | BANK_7 | DDR3 数据线    | 1.5V |
| DDR3_DQ15   | <b>H2</b>  | BANK_7 | DDR3 数据线    | 1.5V |
| DDR3_DM0    | <b>P3</b>  | BANK_6 | DDR3 数据输入屏蔽 | 1.5V |
| DDR3_DQS0_P | <b>P4</b>  | BANK_6 | DDR3 数据选通   | 1.5V |
| DDR3_DQS0_N | <b>R4</b>  | BANK_6 | DDR3 数据选通   | 1.5V |
| DDR3_ODT    | <b>B3</b>  | BANK_7 | DDR3 片上终端使能 | 1.5V |
| DDR3_RAS    | <b>D1</b>  | BANK_7 | DDR3 行选通    | 1.5V |
| DDR3_RESET  | <b>V4</b>  | BANK_6 | DDR3 复位     | 1.5V |
| DDR3_DM1    | <b>K4</b>  | BANK_7 | DDR3 数据输入屏蔽 | 1.5V |
| DDR3_DQS1_P | <b>L2</b>  | BANK_7 | DDR3 数据选通   | 1.5V |
| DDR3_DQS1_N | <b>L1</b>  | BANK_7 | DDR3 数据选通   | 1.5V |
| DDR3_WE     | <b>C2</b>  | BANK_7 | DDR3 写使能    | 1.5V |

### 3.2.11 128Mbit FLASH

#### (1) 概述

GD25Q128JVSQ 是一种常见的串行闪存存储器型号, 具有128Mb (16MB) 的存储容量。每个扇区都可以被独立擦除、编程和读取。使用 SPI (Serial

Peripheral Interface, 串行外围接口) 进行通信。它与主控制器之间只需要四根信号线: 时钟信号 (CLK)、主数据输出 (MISO)、主数据输入 (MOSI) 和片选信号 (CS)。

F3 开发板套件提供 1 块型号为 GD25Q128JVSQ 的 128Mbit FLASH。

## (2) 特性

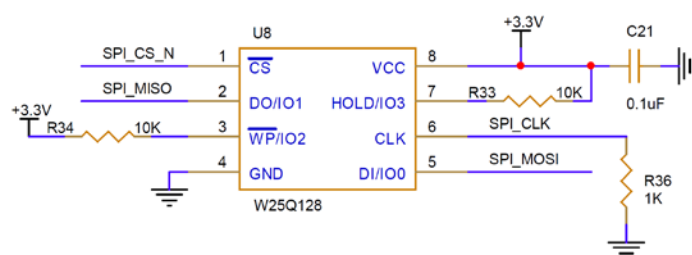
**工作电压:** GD25Q128JVSQ 的工作电压范围通常在 2.7V ~ 3.6V 之间, 这使得它能够在各种电源条件下正常工作。

**快速读取速度:** 作为一款串行闪存, GD25Q128JVSQ 通常具有较快的读取速度。SPI 闪存通常以 MHz 为单位进行时钟速度的定义, 具体速度取决于设备和系统的支持。它的快速读取速度使得它适用于那些对数据读取速度要求较高的应用场景。

**低功耗:** 闪存通常具有较低的功耗, 这使得 GD25Q128JVSQ 适用于移动设备和对功耗要求敏感的应用。

**温度范围:** GD25Q128JVSQ 通常能够在较广的温度范围内工作, 这使得它适用于各种环境条件下的应用。

## (3) FLASH 电路



## (4) 管脚分配

| 信号名称           | FPGA管脚序号   | BANK   | 描述          | I/O电平 |
|----------------|------------|--------|-------------|-------|
| FLASH_SPI_MISO | <b>P19</b> | BANK_3 | SPI 配置 FPGA | 3.3V  |
| FLASH_SPI_MOSI | <b>P20</b> | BANK_3 | SPI 配置 FPGA | 3.3V  |
| FLASH_SPI_CS_N | <b>N18</b> | BANK_3 | SPI 配置 FPGA | 3.3V  |
| FLASH_SPI_CLK  | <b>P18</b> | BANK_3 | SPI 配置 FPGA | 3.3V  |

## 3.2.12 HDMI 接口

### (1) 概述

HDMI (High-Definition Multimedia Interface) 是一种数字化的音视频接口标准, 旨在传输高清晰度的音频和视频信号。它成为连接各种消费电子设备的主流接口, 例如电视、显示器、投影仪、数字相机、游戏机和计算机等。

(2) 特性

数字传输：HDMI是一种全数字接口，通过传输数字信号来保留音视频的高质量。这与一些传统接口（如VGA）相比，避免了信号模数转换的损失。

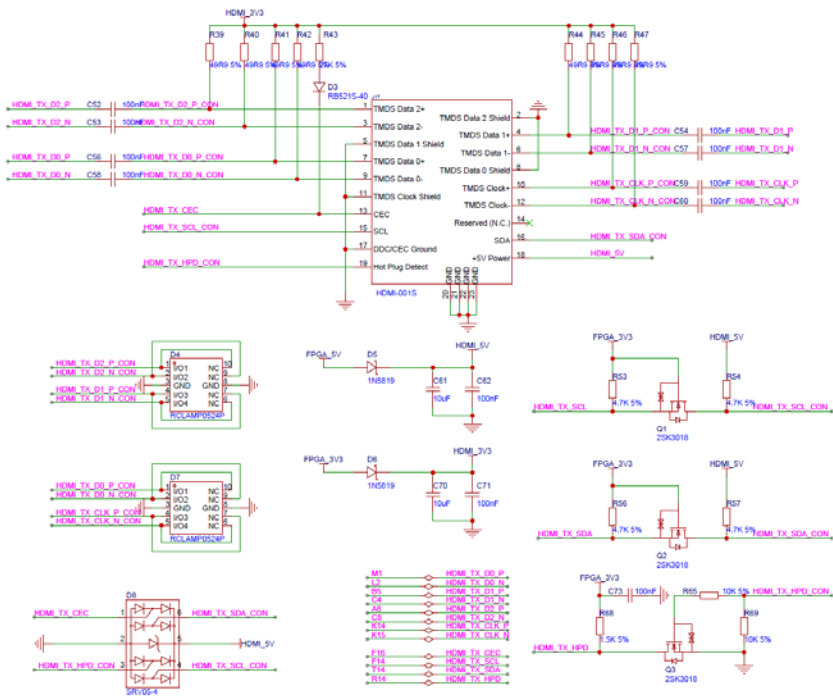
高清晰度支持：HDMI支持高清晰度视频传输，包括1080p、4K和甚至8K分辨率。这使其成为连接高分辨率显示设备的理想选择，提供更清晰、更逼真的图像。

多通道音频：HDMI不仅传输视频信号，还能传输多通道数字音频，支持高质量的立体声和环绕声。这使其成为连接家庭影院系统和音响设备的一种方便方式。

单一电缆传输：HDMI使用单一电缆传输音视频信号，这简化了连接过程并减少了电缆混乱。此外，一些高级的HDMI版本还支持额外的功能，如以太网数据传输和遥控信号传输，进一步简化设备之间的连接。

双向通信：HDMI支持双向通信，允许连接的设备之间进行通信和互动。这种双向通信在一些高级应用中很有用，例如用于控制和交互式功能。

(3) HDMI 电路



(4) 管脚分配

HDMI 管脚分配

| 信号名称     | FPGA管脚序号 | BANK   | 描述       | I/O电平 |
|----------|----------|--------|----------|-------|
| hdmi_r_p | M1       | BANK_4 | TMDS数据0+ | 3.3V  |
| hdmi_r_n | L2       | BANK_4 | TMDS数据0- | 3.3V  |
| hdmi_g_p | B5       | BANK_6 | TMDS数据1+ | 3.3V  |
| hdmi_g_n | C4       | BANK_6 | TMDS数据1- | 3.3V  |
| hdmi_b_p | A8       | BANK_6 | TMDS数据2+ | 3.3V  |
| hdmi_b_n | C8       | BANK_6 | TMDS数据2- | 3.3V  |

|              |            |        |          |      |
|--------------|------------|--------|----------|------|
| hdmi_clk_p   | <b>K14</b> | BANK_1 | TMDS时钟+  | 3.3V |
| hdmi_clk_n   | <b>K15</b> | BANK_1 | TMDS时钟-  | 3.3V |
| hdmi_cec     | <b>F16</b> | BANK_0 | 预留通道     | 3.3V |
| hdmi_ddc_scl | <b>F14</b> | BANK_0 | DDC 时钟   | 3.3V |
| hdmi_ddc_sda | <b>T14</b> | BANK_2 | DDC 数据   | 3.3V |
| hdmi_ddc_gnd | <b>R14</b> | BANK_2 | DDC/CEC地 | 3.3V |

### 3.2.13 RGB TFT-LCD接口

#### (1) 概述

TFT-LCD 的全称是Thin Film Transistor-Liquid Crystal Display，即薄膜晶体管液晶显示屏，它显示的每个像素点都是由集成在液晶后面的薄膜晶体管独立驱动的，因此TFT-LCD具有较高的响应速度以及较好的图像质量。与VGA不同，TFT-LCD直接接收数字信号，并能够支持不同的接口类型，如RGB接口、Intel8080接口等。

F3 开发板提供了1个 40pin的RGB LCD 屏幕接口，通过FPGA可进行 LCD 屏幕控制显示。

#### (2) 特性

**彩色显示：** RGB TFT-LCD采用红、绿、蓝三原色的组合，通过控制每个像素的亮度和颜色混合，实现高质量的彩色显示。这使得它能够呈现丰富、细致的图像和视频。

**薄膜晶体管技术：** TFT-LCD使用薄膜晶体管来控制每个像素的亮度。每个像素都有一个独立的晶体管，通过对晶体管的电压调节液晶的透明度，从而实现对光的控制。这种技术提供了更高的分辨率和更好的图像质量。

**高分辨率：** RGB TFT-LCD通常具有高分辨率，能够显示更多的细节和更清晰的图像。高分辨率对于观看高清视频、图像编辑和其他视觉应用非常重要。

**广视角：** TFT-LCD技术通常具有较广的视角，这意味着观众可以从不同的角度观看屏幕而不会丧失颜色和亮度。这对于多人观看或在不同角度使用设备时非常有用。

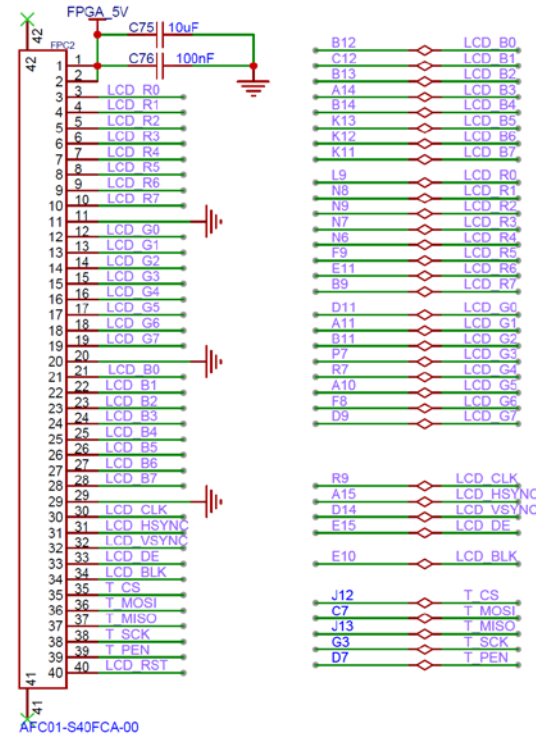
**快速响应时间：** TFT-LCD的像素切换速度很快，通常在毫秒级别，这有助于减少图像残影和模糊，使其适用于快速运动的视频和游戏。

**背光源：** TFT-LCD屏幕通常需要背光源来提供光亮度。常见的背光源包括LED (Light Emitting Diode) 或CCFL (Cold Cathode Fluorescent Lamp) 。LED背光源具有更高的能效和较长的寿命。

**低功耗：** TFT-LCD相对于一些其他显示技术，如CRT (Cathode Ray Tube) ，通常具有较低的功耗。这对于依赖电池供电的移动设备尤其重要。

可视化参数调整： RGB TFT-LCD屏幕通常支持亮度、对比度、色调和饱和度等参数的调整，用户可以根据自己的喜好和环境条件进行优化。

(3) RGB TFT-LCD 电路



(4) 管脚分配

RGB TFT-LCD管脚分配

| 信号名称     | FPGA管脚序号 | BANK   | 描述       | I/O电平 |
|----------|----------|--------|----------|-------|
| Lcd_r[0] | B12      | BANK_7 | LCD 红色通道 | 3.3V  |
| Lcd_r[1] | C12      | BANK_7 | LCD 红色通道 | 3.3V  |
| Lcd_r[2] | B13      | BANK_7 | LCD 红色通道 | 3.3V  |
| Lcd_r[3] | A14      | BANK_7 | LCD 红色通道 | 3.3V  |
| Lcd_r[4] | B14      | BANK_7 | LCD 红色通道 | 3.3V  |
| Lcd_r[5] | K13      | BANK_1 | LCD 红色通道 | 3.3V  |
| Lcd_r[6] | K12      | BANK_1 | LCD 红色通道 | 3.3V  |
| Lcd_r[7] | K11      | BANK_1 | LCD 红色通道 | 3.3V  |
| Lcd_g[0] | L9       | BANK_3 | LCD 绿色通道 | 3.3V  |
| Lcd_g[1] | N8       | BANK_3 | LCD 绿色通道 | 3.3V  |
| Lcd_g[2] | N9       | BANK_3 | LCD 绿色通道 | 3.3V  |
| Lcd_g[3] | N7       | BANK_3 | LCD 绿色通道 | 3.3V  |
| Lcd_g[4] | N6       | BANK_3 | LCD 绿色通道 | 3.3V  |
| Lcd_g[5] | F9       | BANK_6 | LCD 绿色通道 | 3.3V  |
| Lcd_g[6] | E11      | BANK_6 | LCD 绿色通道 | 3.3V  |
| Lcd_g[7] | B9       | BANK_6 | LCD 绿色通道 | 3.3V  |

|           |            |        |            |      |
|-----------|------------|--------|------------|------|
| Lcd_b[0]  | <b>D11</b> | BANK_7 | LCD 蓝色通道   | 3.3V |
| Lcd_b[1]  | <b>A11</b> | BANK_7 | LCD 蓝色通道   | 3.3V |
| Lcd_b[2]  | <b>B11</b> | BANK_7 | LCD 蓝色通道   | 3.3V |
| Lcd_b[3]  | <b>P7</b>  | BANK_3 | LCD 蓝色通道   | 3.3V |
| Lcd_b[4]  | <b>R7</b>  | BANK_3 | LCD 蓝色通道   | 3.3V |
| Lcd_b[5]  | <b>A10</b> | BANK_6 | LCD 蓝色通道   | 3.3V |
| Lcd_b[6]  | <b>F8</b>  | BANK_6 | LCD 蓝色通道   | 3.3V |
| Lcd_b[7]  | <b>D9</b>  | BANK_6 | LCD 蓝色通道   | 3.3V |
| Lcd_clk   | <b>R9</b>  | BANK_3 | LCD 驱动时钟   | 3.3V |
| Lcd_hsync | <b>A15</b> | BANK_7 | LCD 行同步信号  | 3.3V |
| Lcd_vsync | <b>D14</b> | BANK_1 | LCD 场同步信号  | 3.3V |
| Lcd_de    | <b>E15</b> | BANK_1 | LCD 数据使能信号 | 3.3V |
| Lcd_blk   | <b>E10</b> | BANK_7 | LCD 背光控制信号 | 3.3V |
| Lcd_rst_n |            |        | LCD 复位信号   | 3.3V |

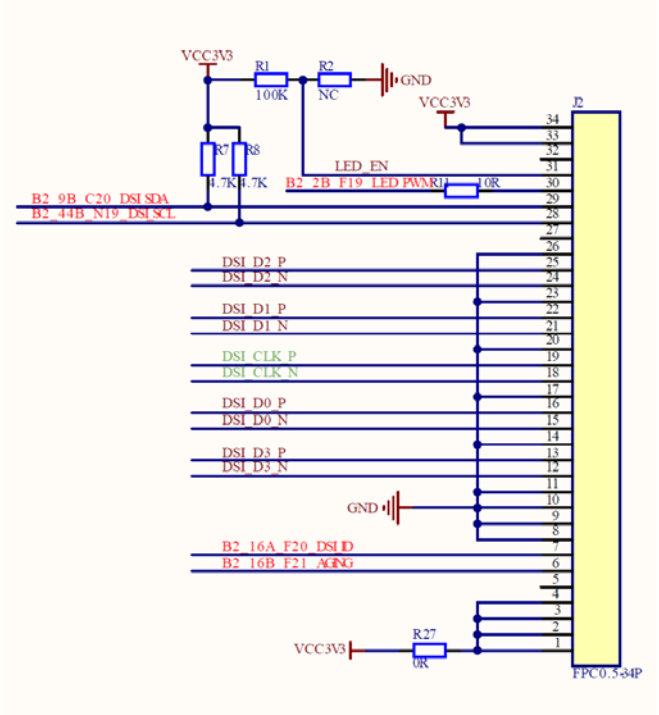
### 3.2.14 MIPI DSI

#### (1) 概述

MIPI DSI (MIPI Display Serial Interface) 是一种由MIPI (Mobile Industry Processor Interface) 联盟制定的显示器串行接口标准，用于连接显示器和主处理器（或图像处理器）。MIPI DSI定义了显示器控制和图像数据传输的接口协议，为移动设备、嵌入式系统和汽车电子等领域提供了高速、低功耗、高质量的显示解决方案。

选择和使用MIPI DSI接口时，需要考虑硬件和软件的兼容性、接口标准的符合性、显示设备的支持情况以及系统的整体性能需求。遵循MIPI联盟的规范和标准，可以确保设计的系统具有良好的互操作性和性能表现。如果需要进一步了解MIPI DSI接口的细节和应用，建议查阅MIPI联盟发布的相关技术文档和规范。

#### (2) MIPI DSI 电路



(3) MIPI DSI 引脚分配

| 信号名称        | FPGA管脚序号 | BANK   | 描述             | I/O电平 |
|-------------|----------|--------|----------------|-------|
| LED_PWM     | F19      | BANK_2 | MIPI DSI显示背光控制 | 3.3V  |
| DSI_SDA     | C20      | BANK_2 | MIPI DSI显示控制   | 3.3V  |
| DSI_SCL     | N19      | BANK_2 | MIPI DSI显示控制   | 3.3V  |
| DSI_D0_P    | A17      | BANK_1 | MIPI DSI高速差分信号 | 3.3V  |
| DSI_D0_N    | B17      | BANK_1 | MIPI DSI高速差分信号 | 3.5V  |
| DSI_D1_P    | C14      | BANK_1 |                | 3.5V  |
| DSI_D1_N    | C15      | BANK_1 |                | 3.5V  |
| DSI_D2_P    | A22      | BANK_1 |                | 3.5V  |
| DSI_D2_N    | B22      | BANK_1 |                | 3.5V  |
| DSI_D3_P    | C18      | BANK_1 |                | 3.5V  |
| DSI_D3_N    | C19      | BANK_1 |                | 3.5V  |
| DSI_CLK_P   | AB12     | BANK_4 |                | 3.5V  |
| DSI_CLK_N   | AA12     | BANK_4 |                | 3.5V  |
| DSI_LP_D0_P | A8       | BANK_0 | MIPI DSI低速差分信号 | 1.2V  |
| DSI_LP_D0_N | B8       | BANK_0 |                | 1.2V  |
| DSI_LP_D1_P | A5       | BANK_0 |                | 1.2V  |
| DSI_LP_D1_N | A4       | BANK_0 |                | 1.2V  |
| DSI_LP_D2_P | A1       | BANK_0 |                | 1.2V  |
| DSI_LP_D2_N | B1       | BANK_0 |                | 1.2V  |
| DSI_LP_D3_P | C10      | BANK_0 |                | 1.2V  |
| DSI_LP_D3_N | C9       | BANK_0 |                | 1.2V  |

|              |           |        |  |      |
|--------------|-----------|--------|--|------|
| DSI_LP_CLK_P | <b>A7</b> | BANK_0 |  | 1.2V |
| DSI_LP_CLK_N | <b>B7</b> | BANK_0 |  | 1.2V |

### 3.2.15 MIPI CSI

#### (1) 概述

MIPI CSI (MIPI Camera Serial Interface) 是一种应用于移动设备和嵌入式系统中的相机串行接口标准。它是由移动产业处理器接口 (MIPI Alliance) 开发的, 旨在提供高速、低功耗和低复杂度的图像传输解决方案。

#### (2) 特性

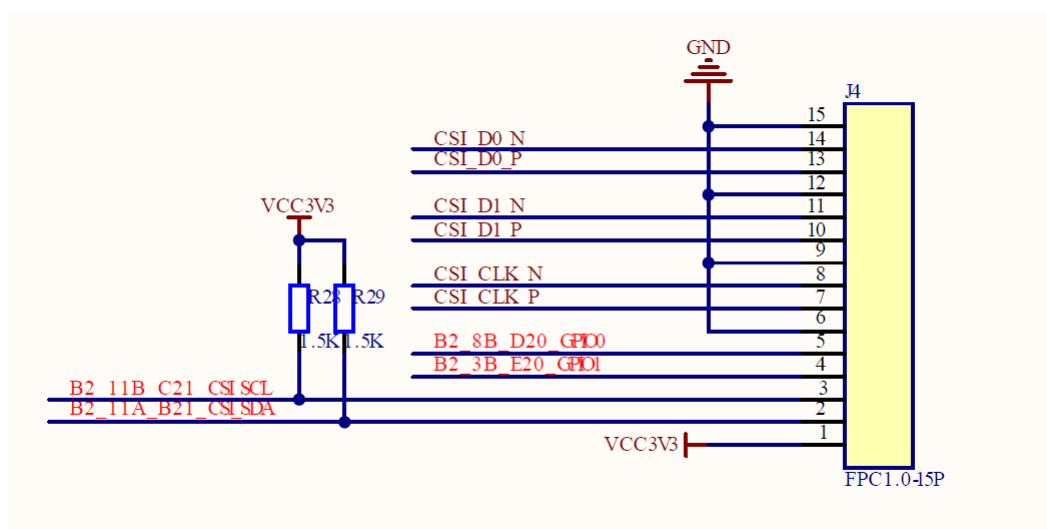
**高速传输:** MIPI CSI 支持高速串行传输, 以提供高带宽和低功耗的图像数据传输。它使用低电压差分信号 (LVDS) 技术, 具有较高的数据传输速率, 适应了现代高分辨率和高帧率的图像需求。

**低功耗和低复杂度:** MIPI CSI 的设计旨在提供低功耗和低复杂度的接口方案, 以确保低能耗和优化的系统性能。通过使用串行传输技术, 可以减少功耗和线路的复杂性, 从而节省系统资源。

**灵活性和可扩展性:** MIPI CSI 提供了灵活的通信和数据格式支持。它允许连接多个摄像头传感器并提供多路数据通路, 以满足不同应用的需求。同时, MIPI CSI 也支持不同的图像数据格式和压缩算法。

**硬件和软件集成:** MIPI CSI 提供了标准化的硬件和软件接口, 方便图像传感器和处理器之间的集成。它定义了一系列的规范和协议, 以确保不同厂商的器件互操作性和兼容性。

#### (3) MIPI CSI 电路



#### (4) MIPI CSI 引脚分配

| 信号名称      | FPGA管脚序号   | BANK   | 描述            | I/O电平 |
|-----------|------------|--------|---------------|-------|
| CSI_CLK_P | <b>D11</b> | BANK_1 | MIPI CSI 时钟   | 2.5V  |
| CSI_CLK_N | <b>D12</b> | BANK_1 | MIPI CSI 时钟   | 2.5V  |
| CSI_D0_P  | <b>E14</b> | BANK_1 | MIPI CSI 差分信号 | 2.5V  |
| CSI_D0_N  | <b>E15</b> | BANK_1 | MIPI CSI 差分信号 | 2.5V  |
| CSI_D1_P  | <b>E12</b> | BANK_1 | MIPI CSI 差分信号 | 2.5V  |
| CSI_D1_N  | <b>E13</b> | BANK_1 | MIPI CSI 差分信号 | 2.5V  |
| CSI_SDA   | <b>B21</b> | BANK_2 | MIPI CSI 控制信号 | 2.5V  |
| CSI_SCL   | <b>C21</b> | BANK_2 | MIPI CSI 控制信号 | 2.5V  |
| CSI_GPIO0 | <b>D20</b> | BANK_2 | MIPI CSI 控制信号 | 2.5V  |
| CSI_GPIO1 | <b>E20</b> | BANK_2 | MIPI CSI 控制信号 | 2.5V  |

### 3.2.16 OV5640 双目摄像头

#### (1) 概述

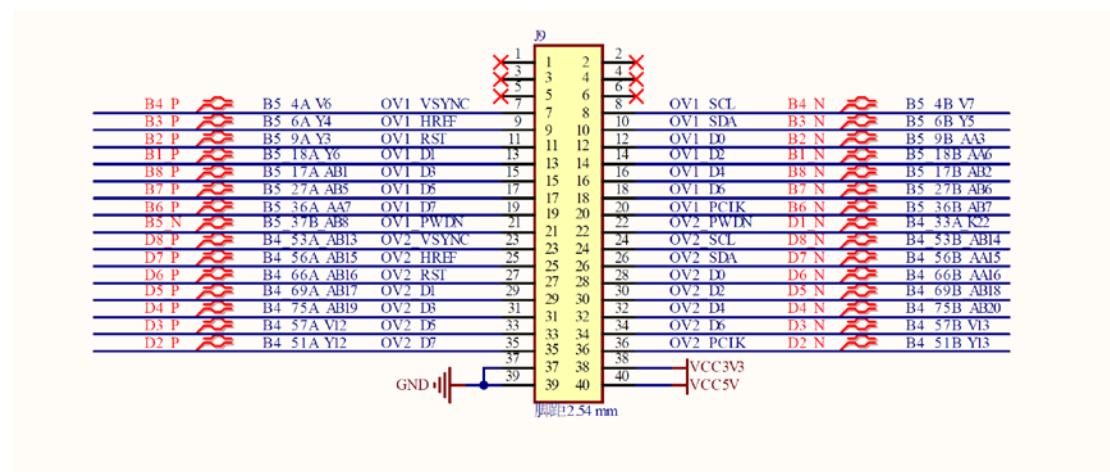
OV5640是一种双目摄像头传感器，常用于深度感知和计算机视觉应用。

OV5640双目摄像头电路包含两个独立的OV5640传感器模块，分别用于左右眼的图像采集。这种双目设计可以提供立体视觉效果，推动深度感知和3D视觉应用的发展。

#### (2) 特性

OV5640采用1/4英寸CMOS传感器，具有500万像素（5MP）的分辨率。它支持色彩CMOS图像传感器（CIS）技术，具有较高的图像质量和细节捕捉能力。该电路使用两个OV5640图像传感器模块，每个模块配备一个OV5640 CMOS传感器。OV5640传感器具有500万像素的高分辨率和优秀的图像质量。每个模块中的传感器通过I2C总线与主控芯片进行通信，并将图像数据传输给主控芯片进行处理。

#### (3) OV5640 双目摄像头电路



#### (4) OV5640 双目摄像头引脚分配

| 信号名称      | FPGA管脚序号    | BANK   | 描述       | I/O电平 |
|-----------|-------------|--------|----------|-------|
| OV1_VSYNC | <b>V6</b>   | BANK_5 | 场同步信号    | 3.3V  |
| OV1_HREF  | <b>Y4</b>   | BANK_5 | 行同步信号    | 3.3V  |
| OV1_RST   | <b>Y3</b>   | BANK_5 | 复位信号     | 3.3V  |
| OV1_SCL   | <b>V7</b>   | BANK_5 | IIC 控制信号 | 3.3V  |
| OV1_SDA   | <b>Y5</b>   | BANK_5 | IIC 控制信号 | 3.3V  |
| OV1_PCLK  | <b>AB7</b>  | BANK_5 | 时钟输出     | 3.3V  |
| OV1_PWDN  | <b>AB8</b>  | BANK_5 | 控制信号     | 3.3V  |
| OV1_D0    | <b>AA3</b>  | BANK_5 | 数据信号     | 3.3V  |
| OV1_D1    | <b>Y6</b>   | BANK_5 | 数据信号     | 3.3V  |
| OV1_D2    | <b>AA6</b>  | BANK_5 | 数据信号     | 3.3V  |
| OV1_D3    | <b>AB1</b>  | BANK_5 | 数据信号     | 3.3V  |
| OV1_D4    | <b>AB2</b>  | BANK_5 | 数据信号     | 3.3V  |
| OV1_D5    | <b>AB5</b>  | BANK_5 | 数据信号     | 3.3V  |
| OV1_D5    | <b>AB6</b>  | BANK_5 | 数据信号     | 3.3V  |
| OV1_D7    | <b>AA7</b>  | BANK_5 | 数据信号     | 3.3V  |
| OV2_VSYNC | <b>AB13</b> | BANK_4 | 场同步信号    | 3.3V  |
| OV2_HREF  | <b>AB15</b> | BANK_4 | 行同步信号    | 3.3V  |
| OV2_RST   | <b>AB16</b> | BANK_4 | 复位信号     | 3.3V  |
| OV2_SCL   | <b>AB14</b> | BANK_4 | IIC 控制信号 | 3.3V  |
| OV2_SDA   | <b>AA15</b> | BANK_4 | IIC 控制信号 | 3.3V  |
| OV2_PCLK  | <b>Y13</b>  | BANK_4 | 时钟输出     | 3.3V  |
| OV2_PWDN  | <b>K22</b>  | BANK_4 | 控制信号     | 3.3V  |
| OV2_D0    | <b>AA16</b> | BANK_4 | 数据信号     | 3.3V  |
| OV2_D1    | <b>AB17</b> | BANK_4 | 数据信号     | 3.3V  |
| OV2_D2    | <b>AB18</b> | BANK_4 | 数据信号     | 3.3V  |
| OV2_D3    | <b>AB19</b> | BANK_4 | 数据信号     | 3.3V  |
| OV2_D4    | <b>AB20</b> | BANK_4 | 数据信号     | 3.3V  |
| OV2_D5    | <b>V12</b>  | BANK_4 | 数据信号     | 3.3V  |

|        |            |        |      |      |
|--------|------------|--------|------|------|
| OV2_D6 | <b>V13</b> | BANK_4 | 数据信号 |      |
| OV2_D7 | <b>Y12</b> | BANK_4 | 数据信号 | 3.3V |

## 3.2.17 以太网

### (1) 概述

F3 开发板 支持RTL8211芯片，该芯片是一款集成式千兆位以太网物理层收发器 (PHY) 芯片，支持千兆位以太网速率（即10/100/1000Mbps）、自适应速度和全双工/半双工模式选择，以及自动功率管理和噪声抵抗等。

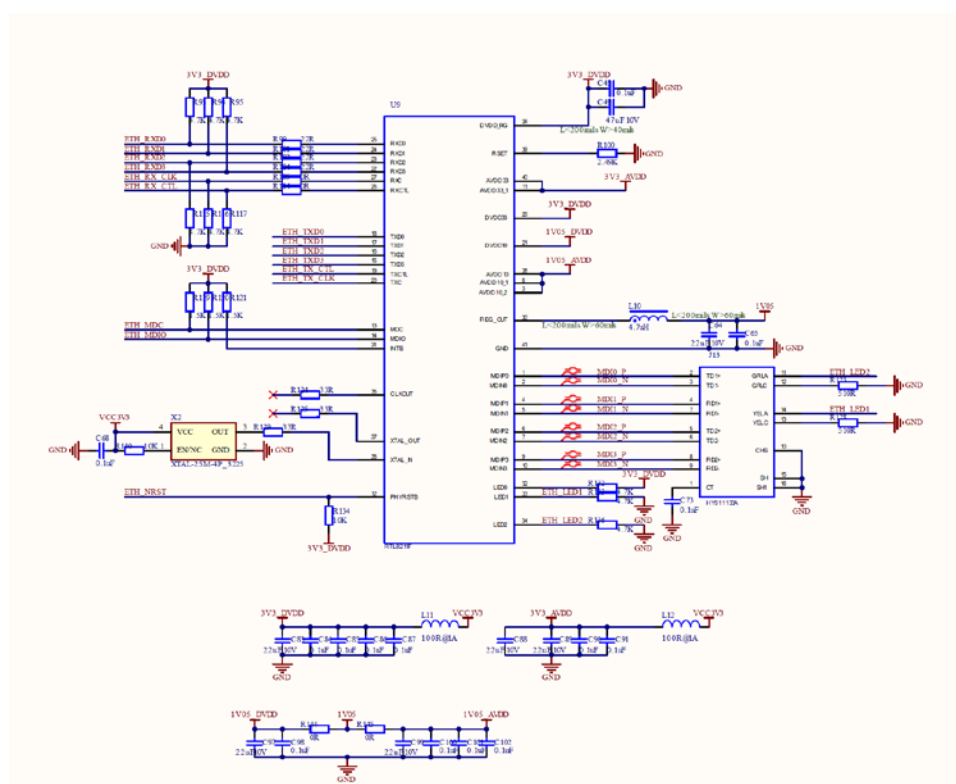
### (2) 特性

**接口和连接：** RTL8211具有标准的以太网物理层接口，包括RGMII (Reduced Gigabit Media Independent Interface)，它是一种高性能、低电平信号的接口标准。它用于连接PHY芯片和以太网控制器（如网络接口控制器）。

**低功耗：** RTL8211采用节能的设计，具有低功耗和自动功率管理功能。它能够根据网络负载的需求来动态调整功耗，以提供更高的能源效率。

**噪声抵抗：** RTL8211具有良好的噪声抵抗能力，能够减少或抵消信号传输过程中可能遇到的电磁干扰和噪声，从而提供更稳定和可靠的网络连接。

### (3) 以太网电路



(4) 管脚分配

| 信号名称       | FPGA管脚序号 | BANK   | 描述      | I/O电平 |
|------------|----------|--------|---------|-------|
| ETH_RXD0   | N3       | BANK_7 | 以太网数据信号 | 3.3V  |
| ETH_TXD0   | R5       | BANK_7 | 以太网数据信号 | 3.3V  |
| ETH_RXD1   | P4       | BANK_7 | 以太网数据信号 | 3.3V  |
| ETH_TXD1   | T5       | BANK_7 | 以太网数据信号 | 3.3V  |
| ETH_RXD2   | P5       | BANK_7 | 以太网数据信号 | 3.3V  |
| ETH_TXD2   | P6       | BANK_1 | 以太网数据信号 | 3.3V  |
| ETH_RXD3   | M6       | BANK_1 | 以太网数据信号 | 3.3V  |
| ETH_TXD3   | R6       | BANK_1 | 以太网数据信号 | 3.3V  |
| ETH_RX_CTL | M3       | BANK_3 | 以太网控制信号 | 3.3V  |
| ETH_TX_CTL | T4       | BANK_3 | 以太网控制信号 | 3.3V  |
| ETH_RX_CLK | P8       | BANK_3 | 以太网时钟信号 | 3.3V  |
| ETH_TX_CLK | R4       | BANK_3 | 以太网时钟信号 | 3.3V  |
| ETH_MDIO   | T6       | BANK_3 | 以太网控制信号 | 3.3V  |
| ETH_MDC    | T7       | BANK_6 | 以太网控制信号 | 3.3V  |
| ETH_NRST   | T8       | BANK_6 | 以太网控制信号 | 3.3V  |

3.2.18 SD 卡座

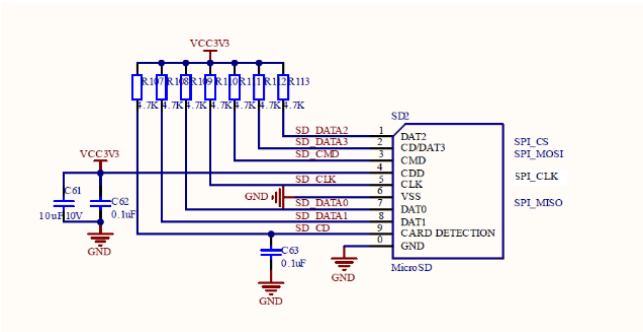
(1) 概述

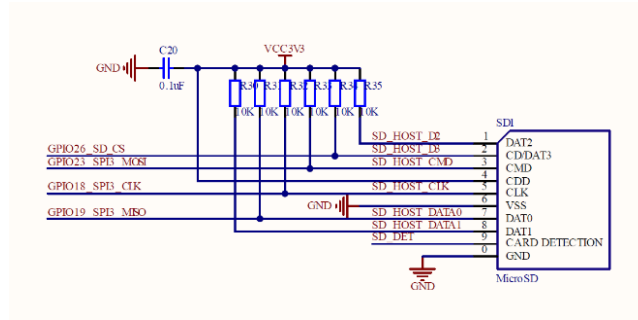
F3 开发板套件提供两个 SD 卡座，分别通过 FPGA 及 ESP32 进行控制，完成数据的读写。

**注！**

■ 插拔 SD 卡时，需对 F3 开发板进行断电。

(2) SD 卡电路





### (3) 管脚分配

## FPGA SD卡管脚分配

| 信号名称     | FPGA管脚序号   | BANK   | 描述      | I/O电平 |
|----------|------------|--------|---------|-------|
| SD_DATA0 | <b>J19</b> | BANK_2 | SD 数据信号 | 3.3V  |
| SD_DATA1 | <b>J20</b> | BANK_2 | SD 数据信号 | 3.3V  |
| SD_DATA2 | <b>M21</b> | BANK_2 | SD 数据信号 | 3.3V  |
| SD_DATA3 | <b>L21</b> | BANK_2 | SD 数据信号 | 3.3V  |
| SD_CMD   | <b>D19</b> | BANK_2 | SD 控制信号 | 3.3V  |
| SD_CLK   | <b>H19</b> | BANK_2 | SD 时钟信号 | 3.3V  |
| SD_CD    | <b>H18</b> | BANK_2 | SD 片选   | 3.3V  |

## ESP32 SD卡管脚分配

| 信号名称    | ESP32管脚序号     | BANK | 描述      | I/O电平 |
|---------|---------------|------|---------|-------|
| SD_CS   | <b>GPIO26</b> | -    | SD CS片选 | 3.3V  |
| SD_MOSI | <b>GPIO23</b> | -    | SD 输出   | 3.3V  |
| SD_CLK  | <b>GPIO18</b> | -    | SD 时钟   | 3.3V  |
| SD_MISO | <b>GPIO19</b> | -    | SD 输入   | 3.3V  |

### 3.2.19 WM8978 音频模块

### (1) 概述

WM8978是一款集成式音频编解码器芯片，该芯片具有多种功能和接口，适用于嵌入式音频系统和消费电子设备。

以下是WM8978的主要特点和功能:

**音频编解码功能：**WM8978支持多种音频编解码格式，包括PCM（脉冲编码调制）和I2S（串行音频接口）等。它能够实现音频的高质量编码和解码，支持多种采样率和位深度。

**集成音频信号处理:** WM8978内置了多种音频信号处理功能,如均衡器(EQ)、3D声场增强、音量控制和混音等。这些功能可以增强音频的质量和效果,提供更好的音频体验。

**多种音频接口：**WM8978提供了多种音频接口，包括模数转换器（ADC）接口和数模转换器（DAC）接口，以及I2C总线接口用于控制芯片的配置和参数设置。

**低功耗设计：**WM8978具有低功耗设计，适合移动设备和便携式电子产品。它可以利用低功耗模式和动态功耗管理来延长电池寿命。

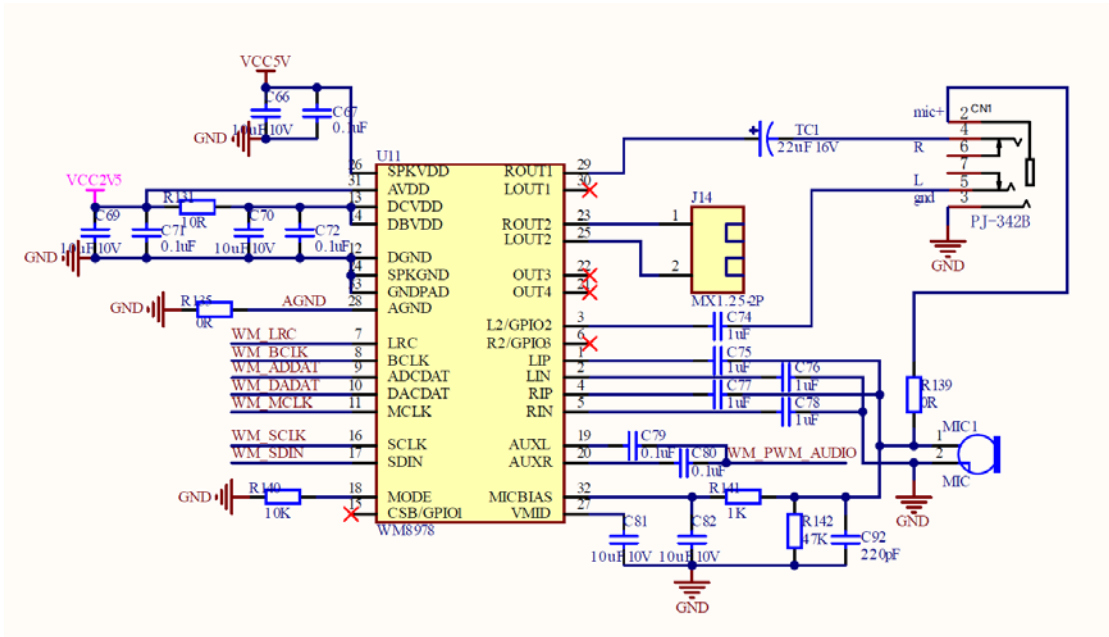
**多种操作模式：**WM8978支持多种操作模式，包括主从模式和独立模式。这使得它可以与不同类型的主处理器或控制器配合使用。

**丰富的外设接口：**WM8978还提供了众多外设接口，如I2S接口、SPI接口、GPIO（通用输入/输出）接口和音频输出接口，以便与其他硬件设备进行连接和通信。

**注！**

■ 具体用法与实现请参考 WM8978 芯片手册。

(2) WM8978 电路



(3) 管脚分配

| 信号名称     | 管脚序号 | BANK   | 描述        | I/O电平 |
|----------|------|--------|-----------|-------|
| WM_LRC   | D4   | BANK_0 | LRC 控制管脚  | 3.3V  |
| WM_BCLK  | C4   | BANK_0 | BCLK 时钟管脚 | 3.3V  |
| WM_ADDAT | D5   | BANK_0 | AD 数据管脚   | 3.3V  |
| WM_DADAT | D6   | BANK_0 | DA 数据管脚   | 3.3V  |
| WM_MCLK  | C7   | BANK_0 | MCLK 时钟管脚 | 3.3V  |
| WM_SCLK  | C8   | BANK_0 | SCLK 时钟管脚 | 3.3V  |
| WM_SDIN  | B11  | BANK_0 | SDIN 数据管脚 | 3.3V  |
| WM_PWM   | B12  | BANK_0 | PWM 控制管脚  | 3.3V  |

## 3.2.20 SHT30 温湿度传感器

### (1) 概述

F3搭载一个 SHT30 温湿度传感器，这是一款高精度数字温湿度传感器，被广泛应用于各种环境监测和控制系统中，如气象站、室内温湿度监测、工业自动化以及智能家居等领域。

SHT30温湿度传感器具有以下主要特点：

**高度精确度：**SHT30能够提供0.3°C的温度精度和2%的相对湿度精度。这使得它非常适合对温湿度要求较高的应用，如医疗设备和精密仪器等。

**快速响应时间：**SHT30通过使用先进的湿度和温度传感技术，能够在较短的时间内测量出准确的温湿度值，响应速度非常快。

**低功耗：**SHT30采用低功耗设计，工作电流仅为0.15mA，使其非常适合于电池供电或需要长时间运行的应用。

**数字输出：**SHT30以I2C接口输出温湿度数据，使得它易于与各种微控制器、单片机和其他数字设备进行通信和集成。

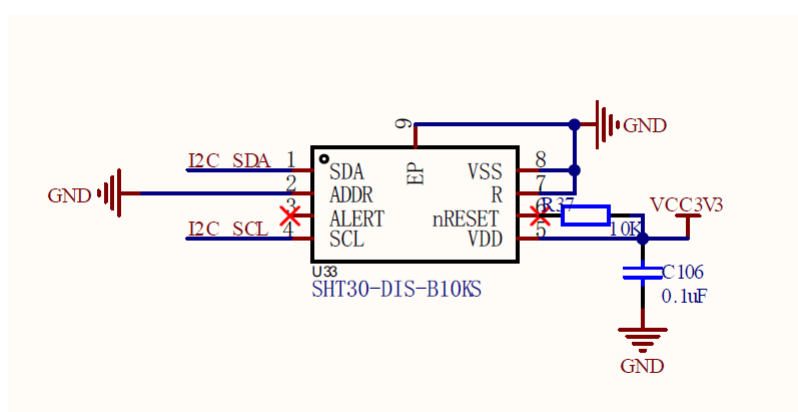
**大量测量范围：**SHT30的温度测量范围为-40°C到125°C，湿度测量范围为0%到100% RH，能够满足多种应用场景中的需求。

**强大的抗干扰能力：**SHT30具备抗污染和抗干扰功能，能够在恶劣环境下稳定工作，并保持精确的测量结果。

**注！**

■ 具体用法与实现请参考 SHT30 芯片手册。

### (2) 电路



### (3) 管脚分配

| 信号名称    | 管脚序号 | BANK   | 描述     | I/O电平 |
|---------|------|--------|--------|-------|
| I2C_SCL | G17  | BANK_2 | 串行时钟信号 | 3.3V  |
| I2C_SDA | D22  | BANK_2 | 串行数据信号 | 3.3V  |

### 3.2.21 RTC 数字时钟

#### (1) 概述

F3 搭载了1个PCF8563M/TR芯片，是一款由NXP Semiconductors公司生产的实时时钟集成电路（RTC IC）。该芯片主要用于嵌入式系统和电子设备中的实时时钟和日历功能。

下面是 PCF8563M/TR 的一些主要特点：

**实时时钟功能：**PCF8563M/TR 具有完整的实时时钟功能，可以提供准确的时间和日期信息。它能够跟踪秒、分钟、小时、日、月、年等信息，满足了很多应用对时间跟踪和计时的需求。

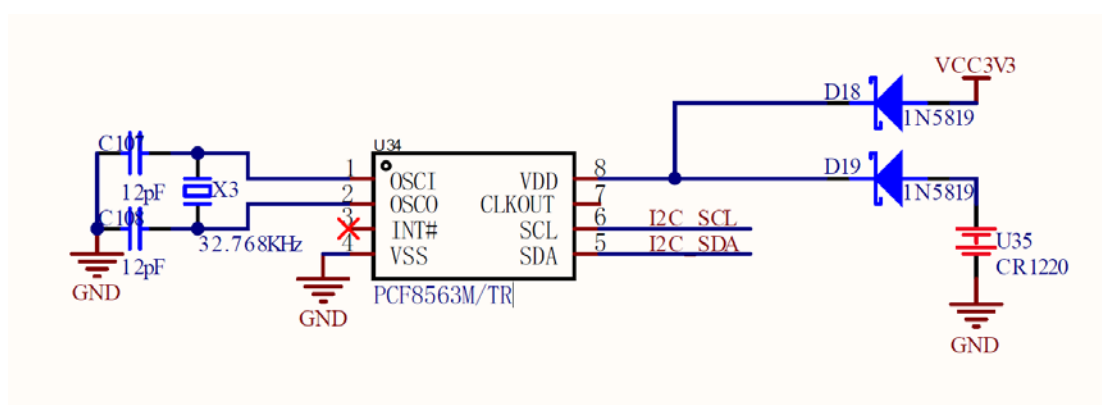
**低功耗设计：**该芯片采用低功耗设计，适合用于电池供电的设备和需要长时间运行的应用场景。低功耗设计有助于延长电池寿命并降低能源消耗。

**I2C接口：**PCF8563M/TR 通过I2C串行接口与微控制器或其他外围设备通信。这种通信接口使得它容易与其他数字设备集成，并能够实现时间的设置、读取和校准等功能。

**耐用性：**PCF8563M/TR 具有良好的温度和电压稳定性，适用于不同工作条件下的稳定运行，并能够长期保存实时时钟信息。

**高精度：**该芯片提供精确的时钟和日期信息，并能够抵抗常见的时钟漂移问题，确保准确性和稳定性。

#### (2) 电路



#### (3) 管脚分配

| 信号名称    | 管脚序号       | BANK   | 描述     | I/O电平 |
|---------|------------|--------|--------|-------|
| I2C_SCL | <b>G17</b> | BANK_2 | 串行时钟信号 | 3.3V  |
| I2C_SDA | <b>D22</b> | BANK_2 | 串行数据信号 | 3.3V  |

### 3.2.22 AP3216 环境光传感器

#### (1) 概述

AP3216是一款集成了红外（IR）接近传感器、环境光传感器和红外光传感器的数字式光学传感器，主要用于移动设备、消费类电子产品、工业自动化和智能家居等领域。

AP3216环境光传感器具有以下主要特点：

**三合一集成设计：**AP3216整合了红外接近传感器、环境光传感器和红外光传感器，单个封装内集成了三种传感器，能够同时实现红外接近检测和环境光亮度检测。

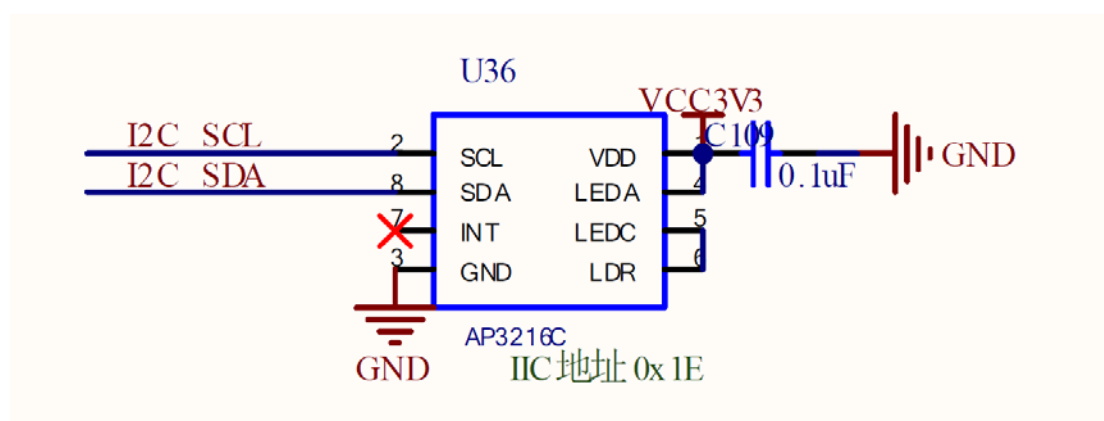
**高度集成的数字输出：**AP3216通过I2C接口输出数字信号，提供了简单方便的数据接口，便于与微控制器或其他数字设备进行通信和集成。

**宽工作电压范围：**AP3216可在2.5V至3.6V的宽电压范围内工作，适用于多种电源供应方案。

**高精度和低功耗：**AP3216具有较高的环境光测量精度，能够在不同光照条件下提供准确的亮度测量。同时，传感器的低功耗设计使得它适用于移动设备和长时间运行的场景。

**灵活的应用：**AP3216可用于自动调节设备背光亮度、接近检测功能、手势识别、智能亮度调节等应用，为设备提供更智能的环境感知和控制功能。

#### (2) 电路



#### (3) 管脚分配

| 信号名称    | 管脚序号 | BANK   | 描述     | I/O电平 |
|---------|------|--------|--------|-------|
| I2C_SCL | G17  | BANK_2 | 串行时钟信号 | 3.3V  |
| I2C_SDA | D22  | BANK_2 | 串行数据信号 | 3.3V  |

### 3.2.23 EEPROM 存储

#### (1) 概述

AT24C64 是Atmel (Microchip) 公司生产的一款串行EEPROM (电可擦除可编程只读存储器芯片, 它具有64K位的存储容量。AT24C64采用I2C串行通信接口, 可以轻松连接到微控制器或其他适当的主控设备, 并可在广泛的应用中用于数据存储和存储器扩展。

以下是AT24C64的主要特点:

**存储容量大:** AT24C64具有64K位的存储容量, 可以存储大量的数据, 例如配置数据、校准参数、日志记录等。

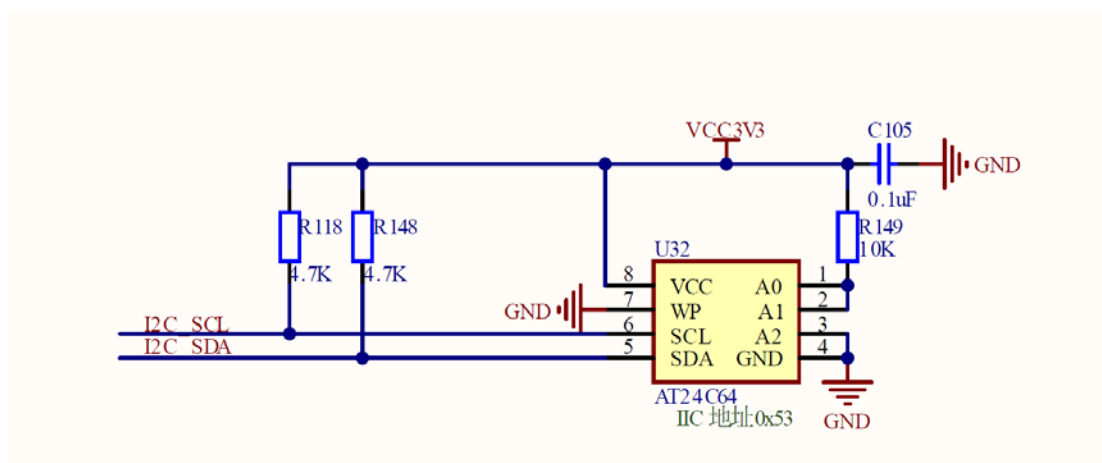
**I2C接口:** AT24C64采用I2C串行通信接口, 这使得它能够与各种微控制器和其他数字集成电路进行简单连接和通信。

**低功耗设计:** AT24C64具有低功耗设计, 适用于对功耗要求较高的移动设备和电池供电设备。

**高可靠性:** AT24C64具有良好的数据保护和耐久性, 能够在各种环境条件下稳定工作, 并长期保存存储的数据。

**可擦写性:** AT24C64支持通过电子方式擦除和编程, 这使得它能够多次重写, 便于存储动态数据或者频繁更新的数据。

#### (2) 电路



#### (3) 管脚分配

| 信号名称    | 管脚序号       | BANK   | 描述     | I/O电平 |
|---------|------------|--------|--------|-------|
| I2C_SCL | <b>G17</b> | BANK_2 | 串行时钟信号 | 3.3V  |
| I2C_SDA | <b>D22</b> | BANK_2 | 串行数据信号 | 3.3V  |

## 3.2.24 I/O 核心板扩展排座

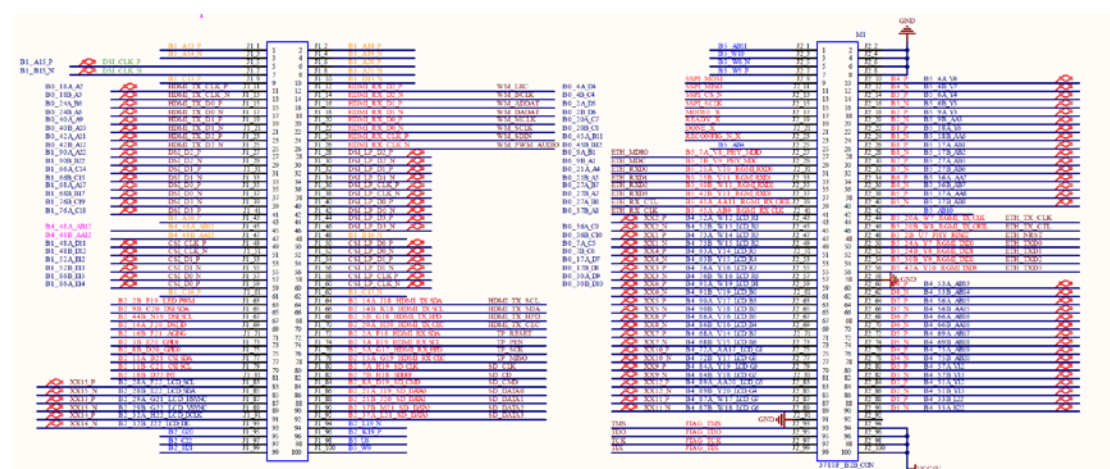
### (1) 概述

F3 开发板套件提供两条2\*30PIN的双排座，进行核心板与底板连接。具体管脚参数请参考原理图。

#### 注!

- 插拔核心板接口时，需对 F3 开发板进行断电。

### (2) 核心板接口排座电路



## 3.2.25 I/O 扩展接口

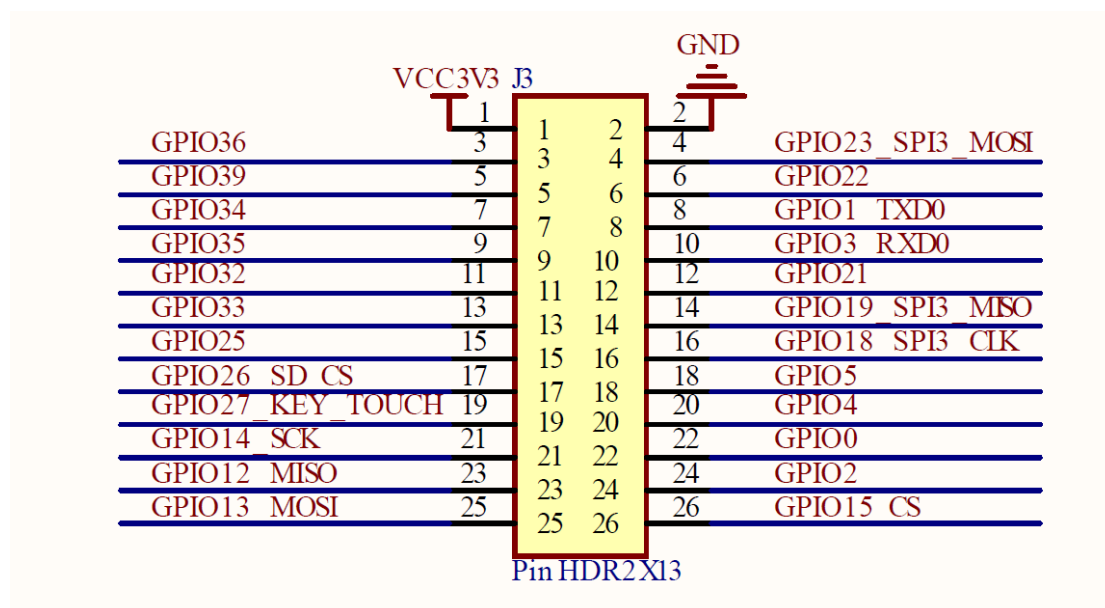
### (1) 概述

F3 开发板套件提供1条2.54mm脚距、2\*13PIN的双排针，主要用于ESP32的外部扩展接口。

#### 注!

- 使用扩展接口时，需对 F3 开发板进行断电。

### (2) 拓展接口电路



# 第四章 FPGA 开发环境安装及流程

## 4.1 开发环境简介

云源设计系统是专为高云半导体 FPGA 芯片而配套的集成电路设计与实现工具。云源系统针对高云 FPGA 芯片构架的低功耗、低成本特点进行了全面的优化设计，覆盖了从 RTL 电路功能描述到生成 FPGA 码流文件的完整流程，包括了优化设计、自动设计、图形交互设计等功能，具有性能优越、容易使用等特点。

云源设计系统主要功能：

- 软件系统支持高云 FPGA 芯片所有功能，覆盖从 RTL 电路功能描述到生成 FPGA 码流文件的完整设计流程；
- 综合优化工具 GowinSynthesis®支持高性能的逻辑设计和综合；
- 自动设计和交互式图形设计并用；
- 支持 Centos6.8/7.0/7.5(64bits)、Ubuntu18.04/20.04LTS、Win7/8/10(32bits/64bits)、Win XP (32bits)系统；
- 千万门级软件；
- 支持 VHDL、Verilog HDL 和 System Verilog 语言；
- 支持高云产品优化的芯片架构；
- 具有独创的快速、高性能算法的布局和布线系统；
- 精确的时序分析和时序报告；
- 时钟分析和控制保证了更好的时序性能；
- 支持各种时序约束和物理约束；
- 支持实时监测硬件电路信号并加以存储，同时以时序波形图直观显示；
- 资源共享技术可提高芯片利用率、降低成本。

云源设计系统主要特点：

- 一体化设计
  - 设计可分阶段完成，也可一揽子自动完成；
  - 可选择命令行模式或图形交互模式完成设计；

- 利用脚本设计，可灵活地设计任何单一模块而不影响一体化设计全程。
- 优化设计
  - 网表优化设计；
  - 快速时序优化分析和设计；
  - 资源分析和优化。
- 分层设计和分析
  - 支持分层网表结构输入和输出；
  - 同时支持扁平化网表结构输入和输出；
  - 分层图形显示、追踪、分析网表。
- 方便灵活的交互图形设计
  - 用户界面简单清晰
  - 包含项目、设计模块、工具和输出部分；
  - 设计约束输入、选择和更新；
  - 快速时序分析和报告；
  - Push button 设计技。

## 4.2 开发环境安装

云源软件在 Windows 系统下的安装方式一致，双击云源软件安装包，根据提示进行安装，安装结束后会默认在 PC 桌面创建快捷方式。云源软件在 Linux 系统下解压安装包文件夹即可完成软件安装。软件安装完成后在第一次启动时需要先对 License 进行配置，软件 License 是一种格式合同，由高云半导体与用户签订，用以规定和限制软件用户使用软件的权利，以及高云半导体应尽的义务。

**注！** 云源软件的安装地址不支持含有中文的路径，源详细的安装与启动指南请参考 [Gowin云源软件快速安装启动指南 \(gowinsemi.com.cn\)](http://gowinsemi.com.cn)。

## 4.3 开发流程

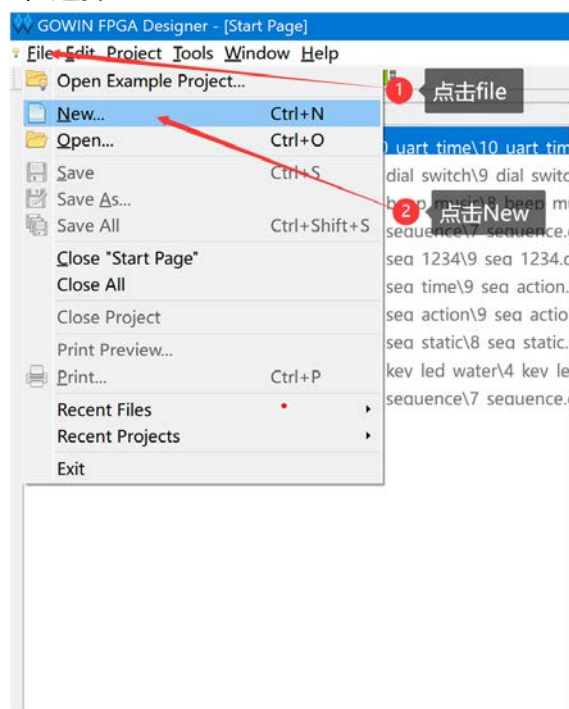
下面以 GW1N 系列开发流程为例，做简单开发流程介绍，如需了解更多详细开发流程知识请参考[Gowin云源软件 \(gowinsemi.com.cn\)](http://gowinsemi.com.cn)。

### 4.3.1 新建工程

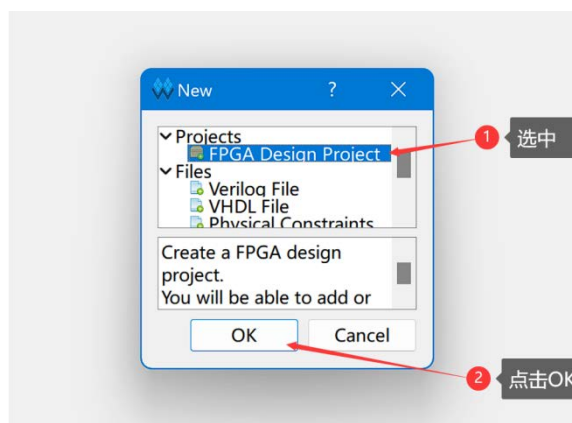
1. 双击安装好的云源软件，打开云源软件。



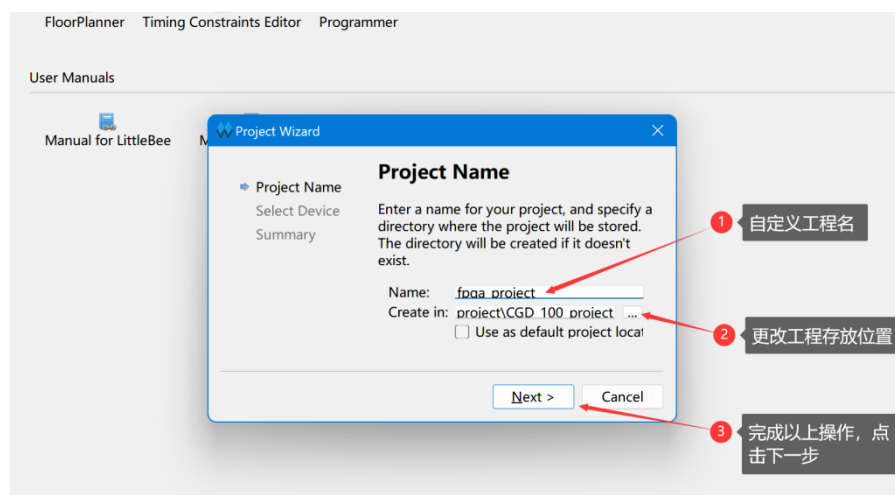
2. 点击左上角file，选择New。



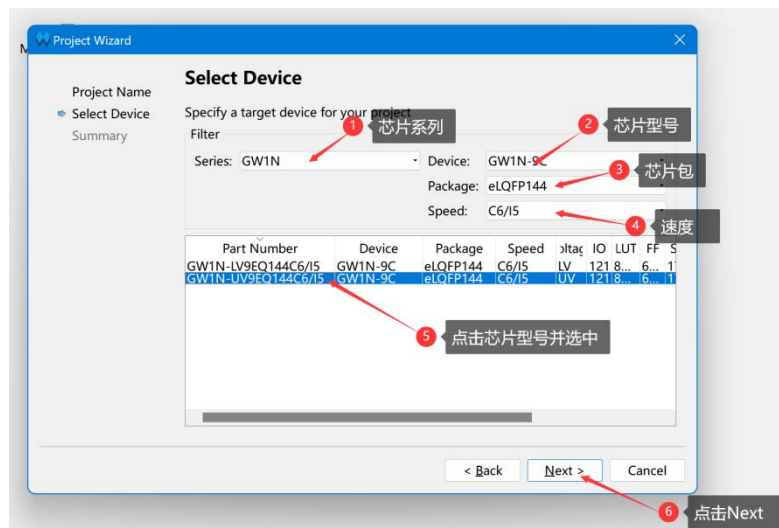
3. 在弹出的对话框里选择 FPGA Design Project，点击 OK 。



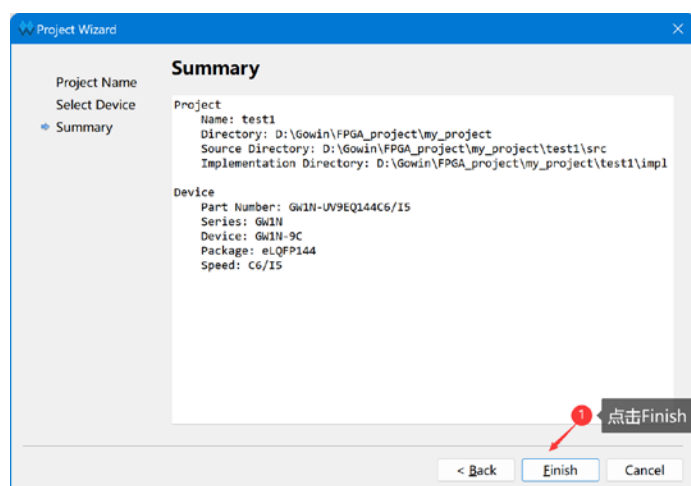
4. 在弹出的对话框里的 name 旁自定义新建工程名，默认新建工程名为 fpga\_project；在Create in选择工程存放位置，完成上述操作点击Next。



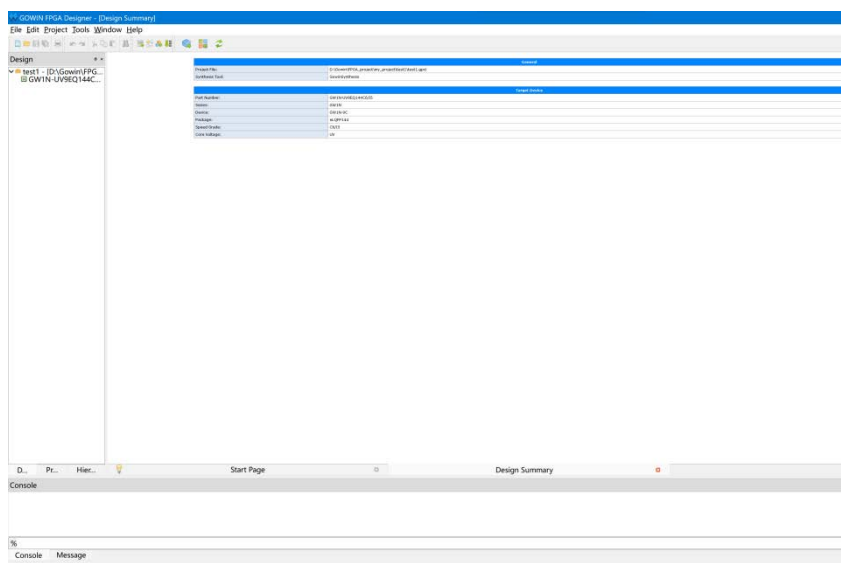
5. 在弹出的对话框内选择器件型号，本次示例芯片型号为 GW2A-LV18PG256C8/I7，完成后点击Next。（注：参考图片以GW1N系列）



6. 最后在弹出的对话框内点击Finish。

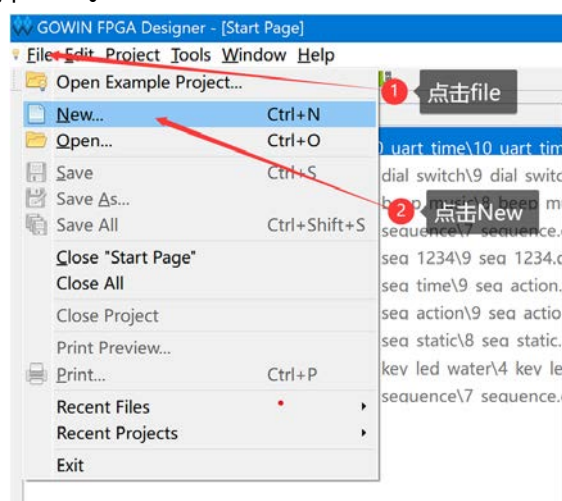


7. 工程创建完毕。

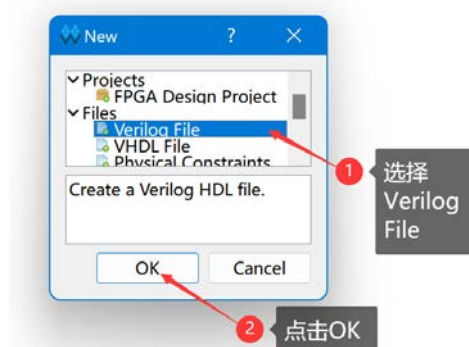


## 4.3.2 添加工程文件

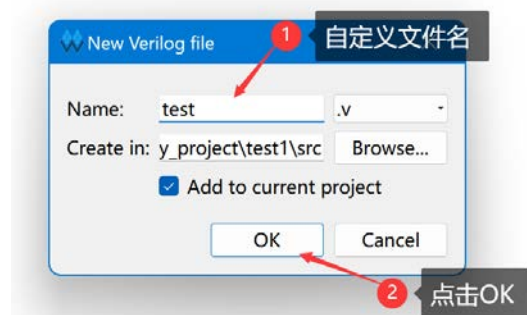
1. 点击File，选择New。



2. 在弹出的对话框内选择Verilog File，点击OK。



3. 在弹出的对话框内自定义工程文件名，其他默认，定义好后点击OK。

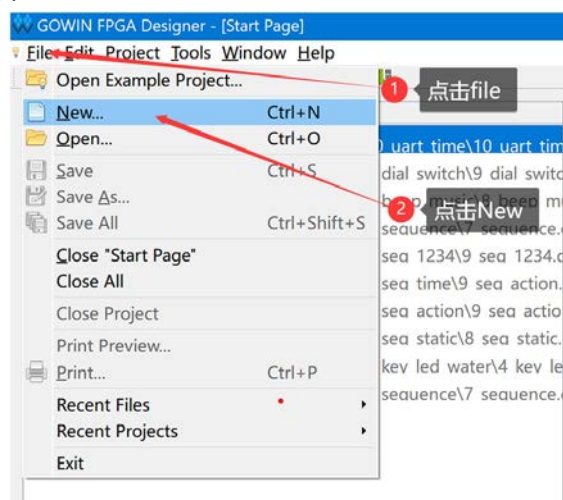


4. 双击文件，可以打开进行编辑。

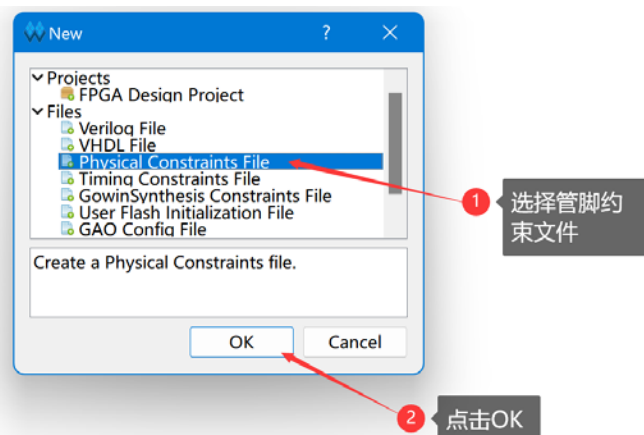


### 4.3.3 管脚约束

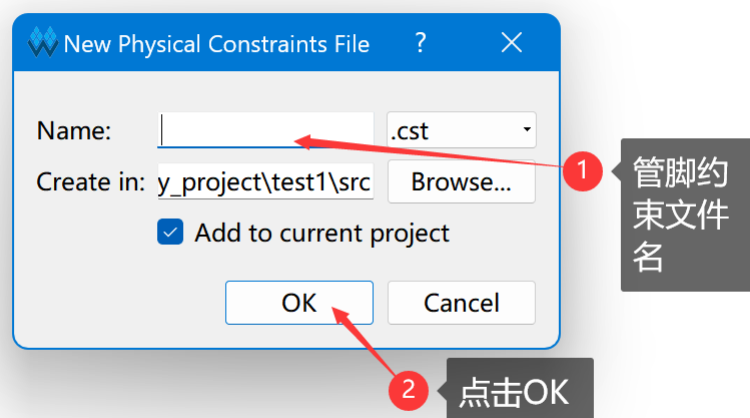
1. 点击File，选择New。



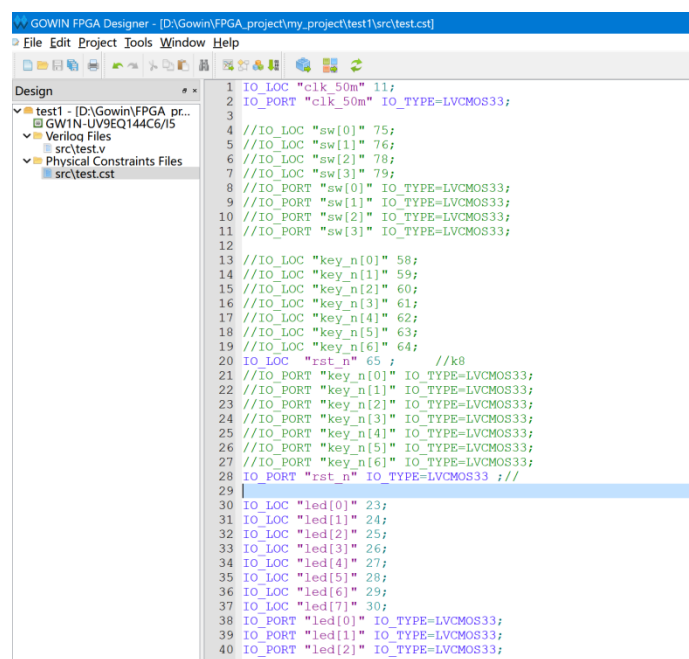
2. 选择 Physical Constraints File 文件类型，点击OK。



3. 自定义管脚约束文件名，点击 OK 。

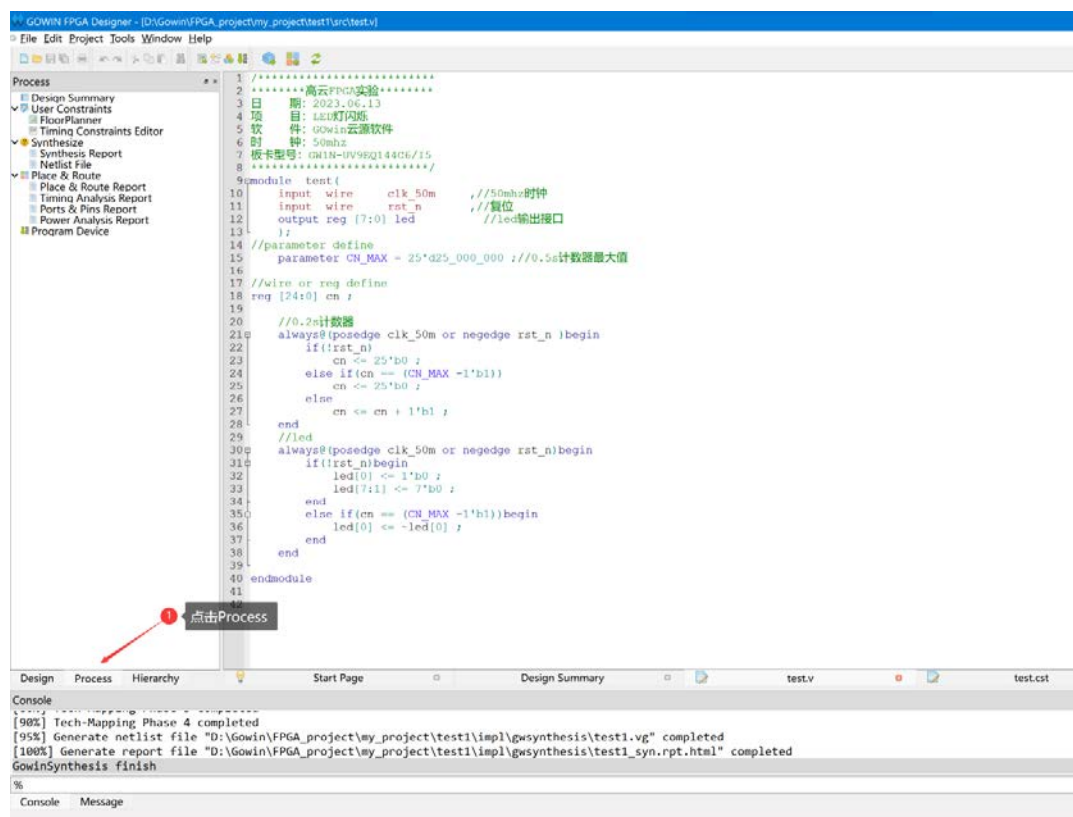


4. 双击管脚约束文件，进行管脚约束。

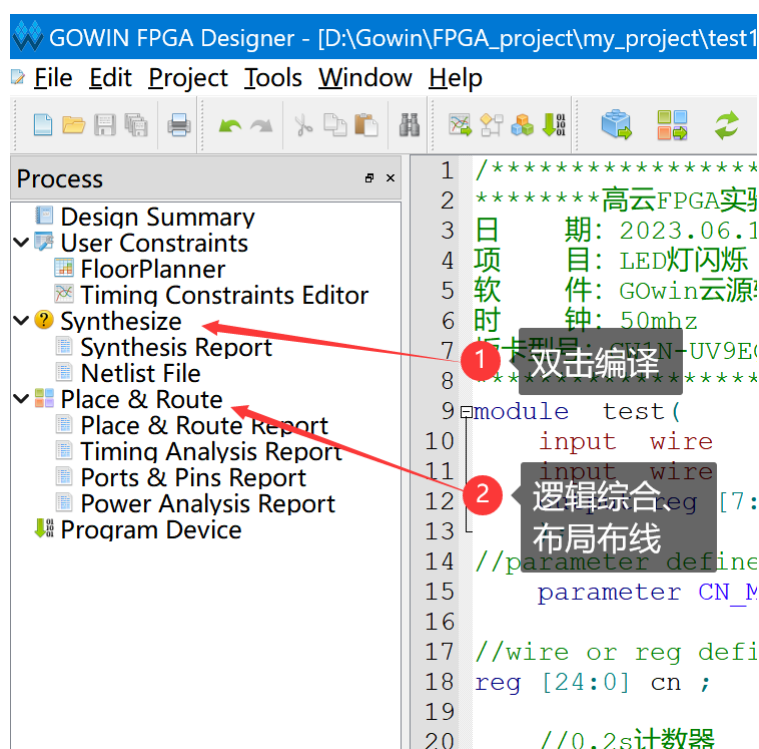


## 4.3.4 综合、编译

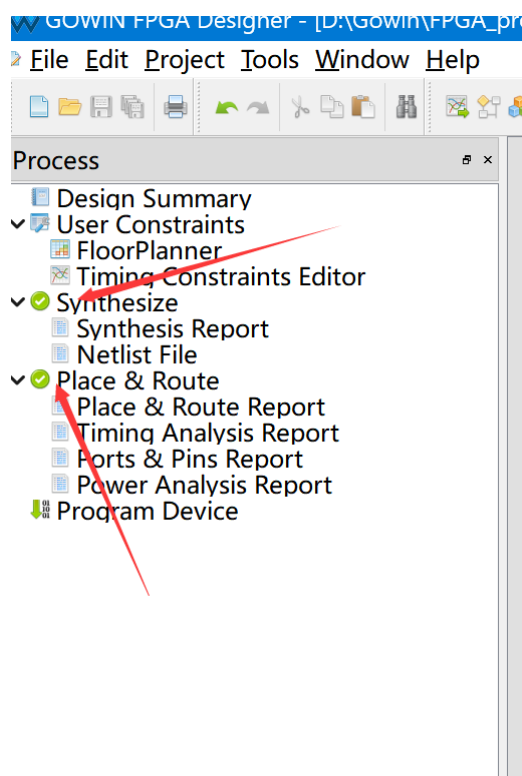
### 1. 点击Process。



2. 双击Synthesize进行编译，编译通过后双击，Place & Route 进行逻辑综合、布局布线。

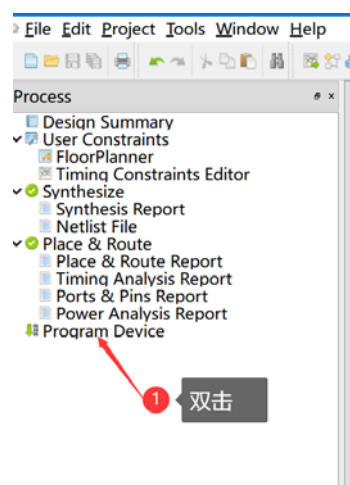


3. 上述操作完成后如下图所示, Synthesize 和 Place & Route 均为绿色并打勾。

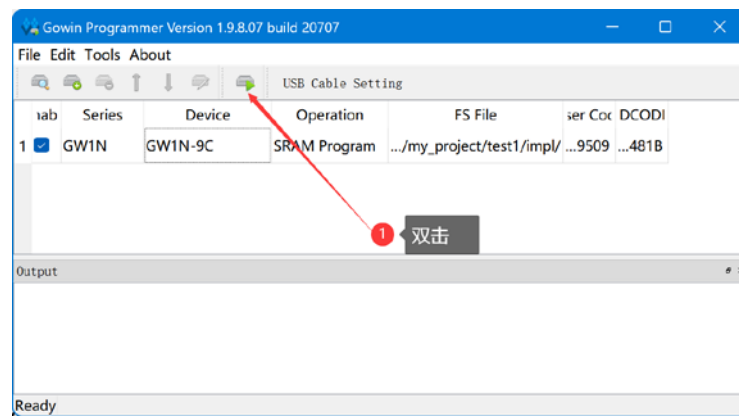


### 4.3.5 上板验证

1. 用 Type-C 电缆线连接 F3 开发板。
2. 双击 Program Device , 软件自动识别 F3 开发板型号。



3. 在弹出的对话框内双击绿色三角形图标, 进行烧录, 默认烧录到SRAM, 掉电不保存。



## 第五章 F3开发板使用注意事项

为了让大家更好的使用 F3 开发板，我们在这里总结开发板使用的时候尤其要注意的一些问题，希望大家在使用的时候多多注意，以减少不必要的问题。

- F3 开发板使用 Type-C接口进行供电，工作电压  $\leq 5V$ ，工作电流最大 500mA；在使用 F3开发板时请勿外加其他电源进行供电
- 使用 GPIO 排针引脚进行外部通信时，要确保 IO 电压是 3.3V，过高的电压会永久损坏 PCBA
- 请在上电过程中，避免任何液体和金属触碰到 PCBA 上的元件的焊盘，否则会导致路，烧毁 PCBA。

至此，Pocket Lab-F3 FPGA 开发板用户手册介绍到此结束，了解了整个手册对我们后面的学习会有很大帮助，有助于后面的管脚约束（分配），在编写程序的时候，可以事半功倍，希望大家细读！

获取更多 FPGA 相关资料，请登录高云官网 [gowinsemi.com.cn](http://gowinsemi.com.cn)。

获取更多 ARM 相关资料，请登录兆亿官网 [www.gigadevice.com.cn](http://www.gigadevice.com.cn)。