GOWIN高云

智慧逻辑 定制未来

Gowin 云源软件

用户指南

SUG100-1.8, 2019-08-15

版权所有©2019 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和／或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2016/03/03	1.05	初始版本。
2016/04/14	1.06	修改表：Gowin 云源软件支持的芯片。
2016/07/11	1.07	增加物理约束内容。
2017/02/22	1.08	● 增加功耗分析工具 GPA，支持 GW1N-1、GW1N-4； ● 软件界面支持外部编辑器； ● Synplifypro 更新； ● 支持 Bitstream 下载频率更改，实现 Dual Boot 功能。
2018/01/30	1.09	● 支持 GW1N-6、GW1N-9、GW1NR-9 ● 更新 IP Core Generator； ● 调整物理约束和时序约束内容； ● 完善 GAO 界面。
2018/08/26	1.1	● 支持 GW1N-2B、GW1N-4B、GW1NR-4B、GW1N-6ES、GW1N-9ES、GW1NR-9ES、GW1NS-2、GW1NS-2C； ● 支持器件 Part Number 的选择； ● 支持双击工程文件.gprj 可以调用云源软件打开相关工程； ● 优化界面； ● 复用管脚配置页面去掉 download mode 选项。
2018/09/18	1.2	取消 GOWIN_HOME 设置。
2018/10/26	1.3	支持 GW1NZ-1、GW1NSR-2C。
2018/11/15	1.4	● 删除器件 GW1N-6ES、GW1N-9ES、GW1NR-9ES； ● 删除封装 GW1N-1-MBGA160、GW1N-1-PBGA204； ● 支持器件 GW1NSR-2； ● 增加封装 GW2AR-18-eLQFP144。
2019/01/26	1.5	● 添加 SynplifyPro floating license 启动成功提示
2019/03/01	1.6	● 对文档中的截图进行了更新； ● 增加 Convert FDC 工具介绍； ● 增加 enable/disable 功能介绍； ● 综合工具介绍中增加 GowinSynthesis。
2019/05/17	1.7	● 支持器件 GW1N-1S； ● 工具栏和 Tools 菜单栏增加了 Programmer 和 GAO 工具； ● 去掉 Tools 菜单栏中的 Convert FDC 工具； ● 增加 Synthesize 和 PnR 的 Stop 功能； ● 增加 Hierarchy 层级显示窗口； ● 增加封装 GW2A-18- eLQFP144； ● 增加封装 GW1N-9- eLQFP144； ● 增加封装 GW1NR-9-MBGA100； ● 增加封装 GW2A-18-PBGA256C； ● 增加封装 GW2A-18-eLQFP176。
2019/08/15	1.8	● 支持器件 GW1N-4S、GW1NS-4、GW1NSE-2C； ● 菜单栏增加 Project 选项； ● 支持新建 User Flash 初始化文件； ● 新增工程打包功能。

目录

目录 ..... **i**

图目录 ..... **iv**

表目录 ..... **vii**

1 关于本手册 **1**

1.1 手册内容 1
1.2 适用产品 1
1.3 相关文档 1
1.4 术语、缩略语 2
1.5 技术支持与反馈 2

2 云源软件概述 **3**

2.1 简介 3
2.2 芯片支持 5

3 云源软件安装 **8**

3.1 运行环境 8
3.2 软件下载 8
3.3 软件安装 8
3.4 软件许可证加载(Windows) 10
3.5 SynplifyPro License 加载 10
3.5.1 节点锁定许可证 10
3.5.2 浮动许可证 11
3.6 布局布线工具 License 加载 15
3.7 软件许可证加载(Linux) 17
3.7.1 SynplifyPro License 加载 17
3.7.2 布局布线工具 License 加载 19

4 云源软件用户界面 **20**

4.1 标题栏 21
4.2 菜单栏 21
4.3 工具栏 22
4.4 工程管理区（Design 窗口） 22

4.5 过程管理区（Process 窗口）..... 22
4.6 设计层级显示区（Hierarchy 窗口）..... 22
4.7 源文件编辑区..... 23
4.8 信息输出区..... 23
5 云源软件使用..... 25
5.1 新建工程..... 25
5.2 打开工程..... 28
5.3 编辑工程..... 29
5.3.1 修改工程 Device..... 30
5.3.2 编辑工程文件..... 30
5.3.3 修改工程配置..... 39
5.4 管理工程..... 42
5.4.1 Design Summary..... 44
5.4.2 User Constraints..... 44
5.4.3 Synthesize..... 46
5.4.4 Place & Route..... 47
5.4.5 Program Device..... 48
5.5 工程打包及加载..... 49
5.5.1 工程打包..... 49
5.5.2 恢复被打包工程..... 50
5.6 退出软件..... 51
6 云源软件集成工具..... 52
6.1 Synplify Pro..... 52
6.2 FloorPlanner..... 52
6.3 时序约束编辑器（Timing Constraints Editor）..... 53
6.4 IP Core 产生器（IP Core Generator）..... 54
6.5 高云在线逻辑分析仪（Gowin Analyzer Oscilloscope）..... 55
6.6 GPA 功耗分析工具（Gowin Power Analyzer）..... 56
6.7 块存储器初始化文件编辑器..... 57
7 云源软件输出文件介绍..... 62
7.1 布局布线报告..... 62
7.2 端口属性报告..... 63
7.3 时序报告..... 64
7.4 功耗分析报告..... 64
附录 A SynplifyPro 属性及指示..... 66
A.1 编译属性及指示..... 66
A.2 映射属性及指示..... 69
附录 B 设计示例..... 73

B.1 建立工程 75
B.2 运行工程 75
B.3 下载比特流 76
附录 C Tcl 命令说明 78
C.1 启动命令行模式 78
C.1.1 gw_sh.exe 78
C.2 工程管理命令 79
C.2.1 set_option 79
C.2.2 add_file 80
C.2.3 rm_file 80
C.2.4 load_script 81
C.2.5 export_script 81
C.3 流程执行命令 81
C.3.1 run_synthesis 81
C.3.2 run_pnr 82

图目录

图 2-1 gowin 云源软件界面图 4
图 3-1 SynplifyPro 调用路径 9
图 3-2 环境变量设置 11
图 3-3 License 安装成功 log 文件 12
图 3-4 SCL 启动界面 13
图 3-5 SCL 配置界面 13
图 3-6 SCL 启动 license 界面 14
图 3-7 环境变量设置 14
图 3-8 License Error 提示框 15
图 3-9 Manage License 选项 15
图 3-10 Gowin Floating License Server 启动界面 16
图 3-11Floating License 配置界面 16
图 3-12 测试连接 17
图 4-1 软件用户界面 20
图 4-2 文件修改提示框 23
图 4-3 信息输出界面 23
图 5-1 新建工程 25
图 5-2 新建工程向导 26
图 5-3 设置 FPGA 芯片型号 27
图 5-4 工程信息 27
图 5-5 打开工程 28
图 5-6 工程删除提示框 29
图 5-7 工程文件窗口 29
图 5-8 工程配置 Device 信息 30
图 5-9 右键菜单 31
图 5-10 新建文件界面 31
图 5-11 新建 Verilog File 界面 32
图 5-12 新建配置文件界面 32
图 5-13 GPA 配置文件 33

图 5-14 重名提示 33
图 5-15 工程约束文件唯一性 33
图 5-16 配置文件唯一性 34
图 5-17 Design 窗口右键菜单 34
图 5-18 文件复制到工程路径提示框 35
图 5-19 工程文件编辑菜单 35
图 5-20 外部编辑器 36
图 5-21 工程文件变更通知 36
图 5-22 工程文件保存通知 36
图 5-23 文件删除确认 37
图 5-24 文件删除通知 37
图 5-25 工程文件属性 37
图 5-26 选中多个同类型文件右键框图 38
图 5-27 选中多个不同类型文件右键框图 38
图 5-28 工程配置页面 39
图 5-29 Reset 提示框 40
图 5-30 配置布局布线属性 40
图 5-31 配置复用管脚属性 41
图 5-32 配置比特流文件属性 42
图 5-33 工程 Process 窗口 43
图 5-34 工程信息显示 44
图 5-35 先进行综合提示 45
图 5-36 创建约束文件提示 45
图 5-37 创建约束文件 Warning 提示 45
图 5-38 创建时序约束文件提示 45
图 5-39 创建时序约束文件 Warning 提示 46
图 5-40 右键单击“Synthesize”图示 47
图 5-41 左键单击“Clean”图示 47
图 5-42 启动 Program Device 警告提示 48
图 5-43 Programmer 界面 49
图 5-44 工程打包界面 50
图 5-45 打包成功提示 50
图 5-46 恢复打包工程界面 51
图 6-1 Chip Array 窗口 53
图 6-2 Package View 窗口 53
图 6-3 创建时钟界面 54
图 6-4 IP Core Generator 界面 55

图 6-5 GAO 配置界面 56
图 6-6 GAO 界面 56
图 6-7 GPA 配置界面 57
图 6-8 初始化文件新建 New 提示框 60
图 6-9 初始化文件新建 New File 提示框 60
图 6-10 初始化文件配置界面 60
图 6-11 列数配置 61
图 6-12 批量设置 61
图 7-1 Place&Route Report 63
图 7-2 Ports & Pins Report 63
图 7-3 时序报告内容 64
图 7-4 功耗分析报告 65

表目录

表 1-1 术语、缩略语 2
表 2-1 Gowin 云源软件支持的芯片 5
表 3-1 Components to Install 8

1 关于本手册

1.1 手册内容

本手册主要描述高云半导体云源软件（Gowin 云源软件）的安装及操作，旨在帮助用户快速熟悉 Gowin 云源软件的使用流程，提高设计效率。本手册中的软件界面截图和支持的产品列表等信息均参考 1.9.2 beta 版本，因软件版本升级，部分信息可能会略有差异，具体以用户软件版本的信息为准。

1.2 适用产品

本手册中描述的信息适用于以下产品：

- GW1N 系列 FPGA 产品：GW1N-1，GW1N-1S，GW1N-2，GW1N-2B，GW1N-4，GW1N-4B，GW1N-4S，GW1N-6，GW1N-9
- GW1NR 系列 FPGA 产品：GW1NR-4，GW1NR-4B，GW1NR-9
- GW1NS 系列 FPGA 产品：GW1NS-2，GW1NS-2C，GW1NS-4
- GW1NSE 系列 FPGA 产品：GW1NSE-2C
- GW2A 系列 FPGA 产品：GW2A-55，GW2A-18
- GW2AR 系列 FPGA 产品：GW2AR-18
- GW1NZ 系列 FPGA 产品：GW1NZ-1
- GW1NSR 系列 FPGA 产品：GW1NSR-2C、GW1NSR-2

1.3 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可下载、查看以下相关文档：

1. DS100, GW1N 系列 FPGA 产品数据手册
2. DS117, GW1NR 系列 FPGA 产品数据手册
3. DS821, GW1NS 系列 FPGA 产品数据手册
4. DS102, GW2A 系列 FPGA 产品数据手册
5. DS226, GW2AR 系列 FPGA 产品数据手册
6. DS841, GW1NZ 系列 FPGA 产品数据手册
7. DS861, GW1NSR 系列 FPGA 产品数据手册
8. SUG101, Gowin 设计约束指南

9. SUG113, Gowin 器件设计优化与分析手册
10. SUG114, Gowin 在线逻辑分析仪用户指南
11. SUG282, Gowin 功耗分析工具用户指南
12. SUG284, Gowin IP 核产生工具用户指南

1.4 术语、缩略语

本手册中的相关术语、缩略语及相关释义如表 1-1 术语、缩略语所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
CRC	Cyclic Redundancy Check	循环冗余校验
CS	Wafer Level Chip Scale Package	晶圆级芯片封装
DLL	Delay-locked Loop	延迟锁相环
FPGA	Field Programmable Gate Array	现场可编程门阵列
FF	Flip-Flop	触发器
IDE	Integrated Development Environment	集成开发环境
IP Core	Intellectual Property Core	知识产权核
LQ	Low-profile Quad Flat Package	薄型四方扁平封装
MAC	Media Access Control	媒体控制
MG	Micro Ball Grid Array Package	微型球栅阵列封装
PC	Personal Computer	个人计算机
PLL	Phase-locked Loop	锁相环
PG	Plastic Ball Grid Array	塑料球栅阵列封装
QN	Quad Flat No-lead Package	四方扁平无引脚封装
RTL	Register Transfer Level	寄存器传输级
UG	Ultra Ball Grid Array Package	增强型球栅阵列封装

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel：+86 755 8262 0391

2 云源软件概述

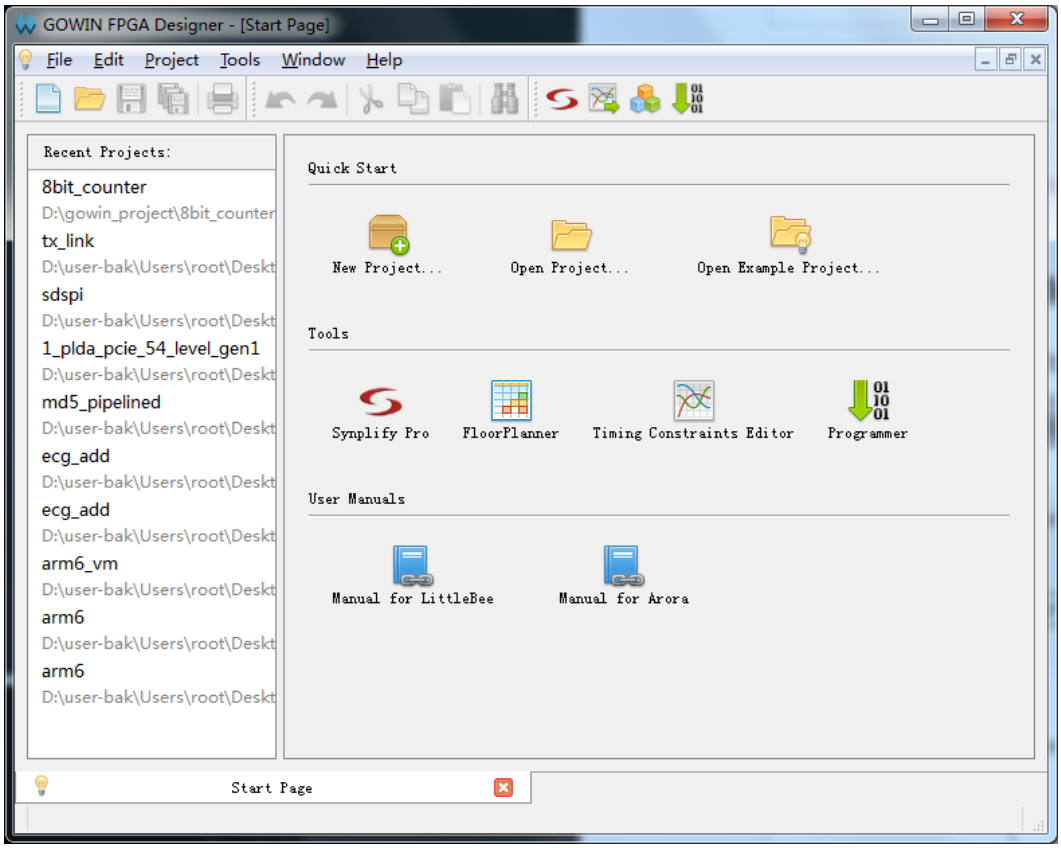
2.1 简介

Gowin 云源软件是高云半导体根据自有产品特性自主研发的新一代 FPGA 硬件开发环境，支持通用的硬件描述语言，帮助用户迅速实现 FPGA 开发过程中的代码综合、布局布线和比特流文件生成下载等工作，此外，Gowin 云源软件集成了 IP 核生成器，帮助用户快捷地实现复杂设计；集成了在线 debug 工具在线逻辑分析仪 GAO（Gowin Analysis Oscilloscope），便于用户快速定位分析设计信号问题。

为了满足用户的不同需求，Gowin 云源软件创建的工程中，输入文件既可以是用户使用硬件描述语言编写的 RTL 级设计文件，也可以是用户 RTL 设计经过综合后产生的网表文件。

Gowin 云源软件提供工程的图形化设置界面，可快速地编辑约束文件、查看 Synthesize 及 Place&Route 的运行结果，并能快速启动高云半导体 FPGA 下载工具将比特流文件下载到芯片，实现用户设计所需的功能。Gowin 云源软件界面图如图 2-1 所示。

图 2-1 Gowin 云源软件界面图



2.2 芯片支持

Gowin 云源软件支持的芯片、芯片主要资源、芯片封装方式以及芯片速度如表 2-1 所示。

表 2-1 Gowin 云源软件支持的芯片

型号	LUT4s	Flip-Flops	MULT18 x 18	PLL	封装	速度
GW1N-1	1,152	864	0	1	WLCSP30 QFN32 QFN48 LQFN100 LQFN144	4/5/6
GW1N-1S	1,152	864	0	1	QFN32	5/6
GW1N-2	2,304	1,728	16	2	WLCSP72 QFN32 QFN88 QFN48 LQFP100 LQFP144 MBGA160 PBGA256 PBGA256M	4/5/6
GW1N-2B	2,304	1,728	16	2	WLCSP72 QFN32 QFN88 QFN48 LQFP100 LQFP144 MBGA160 PBGA256 PBGA256M	4/5/6
GW1N-4	4,608	3,456	16	2	WLCSP72 QFN32 QFN88 LQFP100 LQFP144 MBGA160 PBGA256 QFN48 PBGA256M	4/5/6
GW1N-4B	4,608	3,456	16	2	WLCSP72 QFN32 QFN88 LQFP100 LQFP144 MBGA160 PBGA256	4/5/6

型号	LUT4s	Flip-Flops	MULT18 x 18	PLL	封装	速度
					QFN48	
					PBGA256M	
GW1N-4S	4608	3456	16	2	WLCSP49	5/6
					QFN48	
GW1NR-4	4608	3456	16	2	QFN88	4/5/6
					MBGA81	
GW1NR-4B	4608	3456	16	2	QFN88	4/5/6
					MBGA81	
GW1N-6	6912	5184	20	2	LQFP144	4/5/6
					UBGA332	
					PBGA256	
					LQFP100	
					QFN88	
					QFN48	
					LQFP176	
					MBGA160	
					WLCSP64	
					UBGA256	
GW1N-9	8640	6480	20	2	LQFP144	4/5/6
					UBGA332	
					eLQFP144	
					PBGA256	
					LQFP100	
					QFN88	
					QFN48	
					LQFP176	
					MBGA160	
					WLCSP64	
					UBGA256	
GW1NR-9	8640	6480	20	2	LQFP144	4/5/6
					QFN88	
					MBGA100	
GW1NS-2	1728	1080	0	1	WLCSP36	4/5/6
					QFN32	
					QFN48	
					LQFP144	
					QFN32U	
GW1NS-2C	1728	1080	0	1	WLCSP36	4/5/6
					QFN32	
					QFN48	
					LQFP144	
					QFN32U	
GW1NSE-2C	1728	1080	0	1	QFN48	5/6
					LQFP144	
GW1NS-4	4608	3456	16	2	WLCSP49	5/6
					QFN48	

型号	LUT4s	Flip-Flops	MULT18 x 18	PLL	封装	速度
GW1NZ-1	1152	864	0	1	WLCSP16 QFN32	4/5/6
GW1NSR-2	1512	1080	0	1	QFN48	4/5/6
GW1NSR-2C	1512	1080	0	1	QFN48	4/5/6
GW2A-18	20,736	15,552	48	4	PBGA484 PBGA256 PBGA256C LQFP144 eLQFP144 PBGA256S MBGA196	6/7/8
GW2AR-18	20,736	15,552	48	4	QFN88 LQFP144 LQFP176 eLQFP144 eLQFP176	6/7/8
GW2A-55	54,720	41,040	40	6	PBGA484 PBGA1156	6/7/8

注！

软件版本不同，支持的芯片可能会略有差异，具体信息请参考所使用的软件版本。

3 云源软件安装

3.1 运行环境

Windows：Win7/8/10(64bit)、Win7/winXP(32bit)

Linux：Centos6/7(64bit)、Red Hat 6/7(64bit)、SUSE 11/12(64bit)

3.2 软件下载

Gowin 云源软件安装包分为 Windows 版本和 Linux 版本，可通过登录高云半导体官网进行下载：

- Windows 系统下的安装包名称为“云源软件 for win(Vx.x.xBeta)”，下载地址：www.gowinsemi.cn/faq.aspx
- Linux 版本是压缩包形式，名称为“云源软件 for Linux(Vx.x.xBeta)”，下载地址：www.gowinsemi.cn/faq.aspx

注！

- 软件下载前，需先注册官网并登录。
- 软件安装包/压缩包名称“Vx.x.xBeta”中“x”表示软件的版本号。

3.3 软件安装

注！

- 安装 Gowin 云源软件前，建议关闭 360 或金山毒霸等杀毒软件；
- 软件安装路径尚不支持含有中文或空格的文件路径；
- 如需安装新版本 Gowin 云源软件，建议卸载上个版本之后，再次安装；
- Windows 下安装支持选择安装部分，可选择的安装部分如表 3-1 所示。

表 3-1 Components to Install

Components	描述	备注
Gowin FPGA designer GUI	Gowin 云源软件图形用户界面	对应的可执行文件在安装目录下 \x.x\IDE\bin\gw_ide.exe
Device programmer	Gowin 器件下载工具，包括 programmer 使用文档	● 对应的可执行文件在安装目录下 \x.x\Programmer\bin\programmer.exe；

Components	描述	备注
		● 对应的使用文档路径 \x.x\Programmer\doc。
Synthesis tool	Gowin 综合工具，包括使用文档	● 对应的可执行文件在安装目录下 \x.x\SynplifyPro\bin\synplify_pro.exe； ● 对应的使用文档路径 \x.x\SynplifyPro\doc。

Windows 系统

在 Windows 系统安装 Gowin 云源软件，请参考以下步骤：

1. 双击安装包，根据提示默认安装；

注！

- 安装过程中可根据需要更改安装目录；
- 安装结束之后，会默认在 PC 桌面创建软件快捷方式“ ”。

2. 双击快捷方式“ ”，打开 Gowin 云源软件界面。

Linux 系统

在 Linux 系统下，解压文件夹后，运行如下命令：path/x.x.xBeta/IDE/bin/gw_ide，即可打开软件界面。

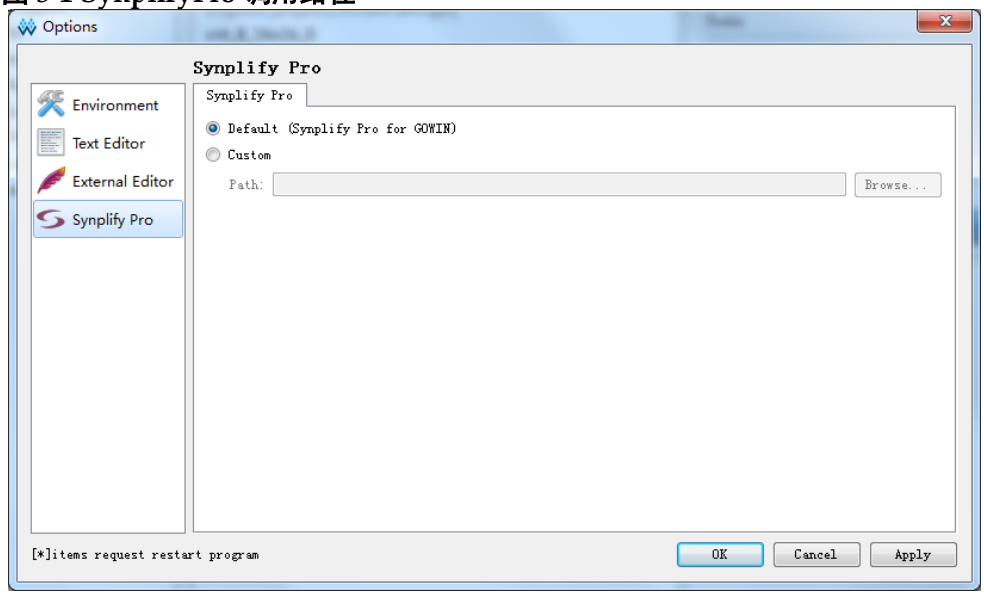
注！

需要使用 root 权限启动 programmer

注！

如用户之前安装过 Gowin 云源软件，再次安装后，需确认 SynplifyPro 综合工具的调用路径与最新版的 Gowin 云源软件的安装路径是否位于同一文件夹下，具体方法为：在菜单栏中，单击“Tools > Options”，然后选择 SynplifyPro 的安装路径，如图 3-1 SynplifyPro 调用路径所示。

图 3-1 SynplifyPro 调用路径



3.4 软件许可证加载(Windows)

在安装之后，需加载云源软件许可证（License）才能正常工作，Gowin 云源软件的许可证包括：

- SynplifyPro 综合工具许可证；
- 布局布线工具许可证。

Gowin 云源软件许可证支持节点锁定许可证（Node-Locked License）和浮动许可证（Floating License）。

请登录高云半导体官网 www.gowinsemi.cn/faq_view.aspx 申请 License。

软件许可证相关加载方法请参考 3.5SynplifyPro License 加载及 3.6 布局布线工具 License 加载。

3.5 SynplifyPro License 加载

3.5.1 节点锁定许可证

节点锁定许可证是基于本机 MAC 地址所获取的许可证，仅限本机用户使用。收到 SynplifyPro 的节点锁定许可证后，请参考以下步骤安装：

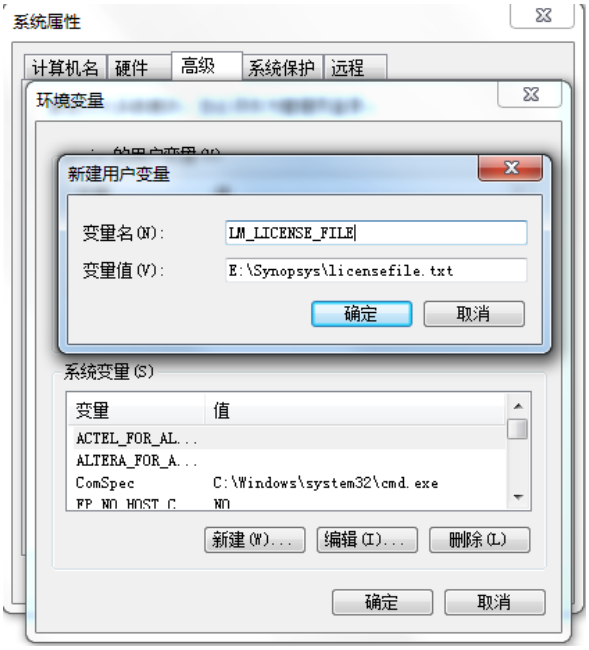
注！

若"C:\Synopsys\"路径下安装过友商工具，且路径下有 license 文件，会导致 Gowin 的 synplify 在寻找 license 时候出现冲突问题。因为 synopsys 会默认先到这个路径下找 license，不管是否配置环境变量。

以下以 win7，64 位操作系统为例，配置系统环境变量。

1. 保存 License 文件。
   将获得的 SynplifyPro 的 License 文件（如 licensefile.txt）保存在指定目录下，如“E:\Synopsys\licensefile.txt”。
2. 配置环境变量。
   a). 右键单击“计算机”，选择“系统属性”，单击“高级系统设置”，打开“系统属性”窗口；
   b). 在“系统属性”窗口中单击“高级”页签，选择“环境变量>新建”，打开“新建用户变量”对话框，如图 3-2 所示。
   c). 在“新建用户变量”对话框中输入“环境变量名称”和“变量值”；
   - 环境变量名称：LM_LICENSE_FILE；
   - 变量值：License 文件的存放位置，如“E:\Synopsys\licensefile.txt”。
3. 单击“确定”。

图 3-2 环境变量设置



3.5.2 浮动许可证

浮动许可证是在局域网内搭建一台许可证服务器，局域网内的 PC 都可使用。浮动许可证会有**用户数量限制**。

1. 启动浮动许可证服务，需使用 Synopsys Common Licensing（SCL）软件，即软件安装包下文件夹“GowinLicenseServerForWindows\SCL”。

   a). 首先点击 SCL 执行文件“scl_v2018.06_windows.exe”进行 SCL 软件的安装，根据软件安装向导步骤进行安装，在弹出的“Site Information”界面可进行如下配置：

   - “Site ID”:获得的 SynplifyPro 的 License 文件（如 synp_license.lic）的“siteid”的取值，如 29247；
   - “Site Administrator”：应是本机管理员名称；
   - “Contact Information”：可选填项，管理员联系方式；

   b). 然后根据软件安装向导选择安装路径，如选择路径“C:\Synopsys\SCL”，点击下一步直到出现完成安装界面，如“Completing the SCL 2018.06 Setup Wizard”，点击“Finish”按钮完成 SCL 安装。

2. 在 SCL 安装路径下进入到文件夹“2018.06\win32\bin”，如“C:\Synopsys\SCL \2018.06\win32\bin”，有两种方式启动浮动许可证服务，以 Win7，64 位操作系统为例：

命令行模式

a) 修改浮动许可证文件中的计算机名称及确认 MAC 地址；
例：
license 文件内容“SERVER hostname1 F8BC12950972 27020”一行中：
- “hostname1”应修改为本机计算机名称；
- “F8BC12950972”为本机的 MAC 地址；
- “27020”为端口号，根据安装 SynplifyPro 的计算机信息进行修改：如修改后为“SERVER GaoYun-PC F8BC12950972 27020”。

b) 修改浮动许可证文件中的 snpslmd 路径：
根据 SCL 软件中 snpslmd.exe 的路径，修改 license 文件中“VENDOR snpslmd /path/to/snpslmd”一行，如修改后为“VENDOR snpslmd C:\Synopsys\SCL\2018.06\win32\bin\snpslmd.exe”；

c) 打开 cmd 窗口，运行命令启动许可证服务，执行命令为“path\lmgrd.exe” –c “path\licensefile” –l “path\logfile” –z –s；

d) 运行完毕后，查看 log 文件（log 文件路径：path\logfile），确认 License 是否安装成功，如安装成功，log 文件中会出现如图 3-3 所示。

图 3-3 License 安装成功 log 文件

```
01/28/2019 09:16:06 (snpslmd) Siteid: 29247, Server Hostid: 525400B8ABE7, Issued on: 12/18/2018
01/28/2019 09:16:06 (snpslmd) ------------------------------------------------------------------------
 9:16:06 (snpslmd) SLOG: Statistics Log Frequency is 240 minute(s).
 9:16:06 (snpslmd) SLOG: TS update poll interval is 0. TS update is detected by midnight reread only.
 9:16:06 (snpslmd) SLOG: Activation borrow reclaim percentage is 0.
 9:16:06 (snpslmd) (@snpslmd-SLOG@) ===============================================
 9:16:06 (snpslmd) (@snpslmd-SLOG@) === Vendor Daemon ===
 9:16:06 (snpslmd) (@snpslmd-SLOG@) Vendor daemon: snpslmd
 9:16:06 (snpslmd) (@snpslmd-SLOG@) Start-Date: Mon Jan 28 2019 09:16:06 CST
 9:16:06 (snpslmd) (@snpslmd-SLOG@) PID: 30659
 9:16:06 (snpslmd) (@snpslmd-SLOG@) VD Version: v11.14.1.3 build 212549 x64_lsb ( build 212549 (ipv6))
 9:16:06 (snpslmd) (@snpslmd-SLOG@)
 9:16:06 (snpslmd) (@snpslmd-SLOG@) === Startup/Restart Info ===
 9:16:06 (snpslmd) (@snpslmd-SLOG@) Options file used: None
 9:16:06 (snpslmd) (@snpslmd-SLOG@) Is vendor daemon a CVD: Yes
 9:16:06 (snpslmd) (@snpslmd-SLOG@) Is TS accessed: No
 9:16:06 (snpslmd) (@snpslmd-SLOG@) TS accessed for feature load: -NA-
 9:16:06 (snpslmd) (@snpslmd-SLOG@) Number of VD restarts since LS startup: 0
 9:16:06 (snpslmd) (@snpslmd-SLOG@)
 9:16:06 (snpslmd) (@snpslmd-SLOG@) === Network Info ===
 9:16:06 (snpslmd) (@snpslmd-SLOG@) Listening port: 37814
 9:16:06 (snpslmd) (@snpslmd-SLOG@) Daemon select timeout (in seconds): 1
 9:16:06 (snpslmd) (@snpslmd-SLOG@)
 9:16:06 (snpslmd) (@snpslmd-SLOG@) === Host Info ===
 9:16:06 (snpslmd) (@snpslmd-SLOG@) Host used in license file: swlicense
 9:16:06 (snpslmd) (@snpslmd-SLOG@) Running on Hypervisor: Not determined - treat as Physical
 9:16:06 (snpslmd) (@snpslmd-SLOG@) ===============================================
```

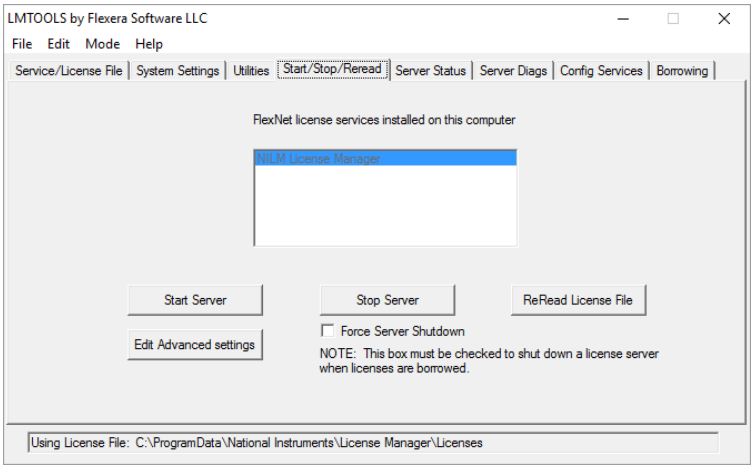
SCL 界面配置模式

a) 修改浮动许可证文件中的计算机名称及确认 MAC 地址；

b) 修改浮动许可证文件中的 snpslmd 路径；

c) 在 snpslmd 路径下，即启动执行文件 lmtools.exe，界面如图 3-4 所示。

图 3-4 SCL 启动界面

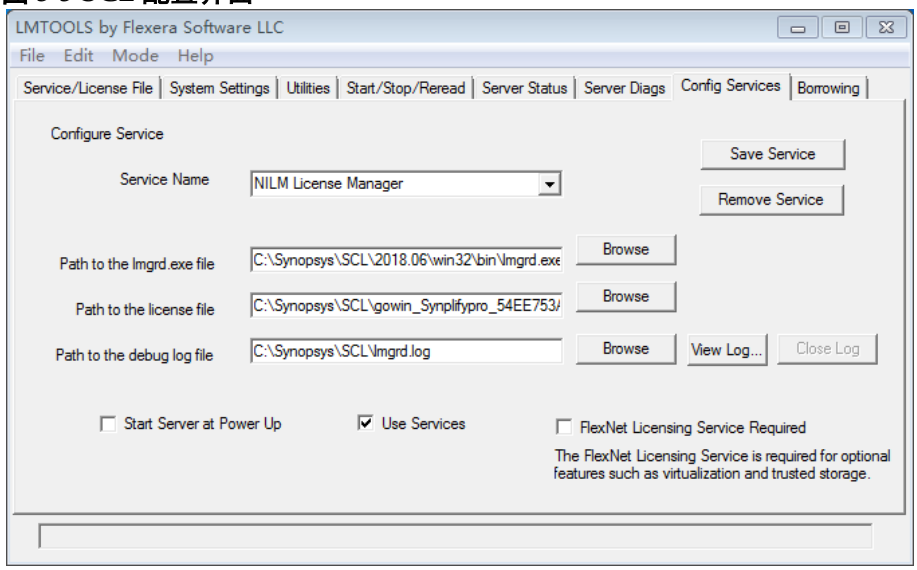


d) 选择“Config Services”页签，配置相关文件路径，如图 3-5 所示：

- “Path to the lmgrd.exe file”：lmgrd.exe 文件所在路径；
- “Path to the license file”：license 文件所在的路径；
- “Path to the debug log file”：加载 license 后生成的 log 文件

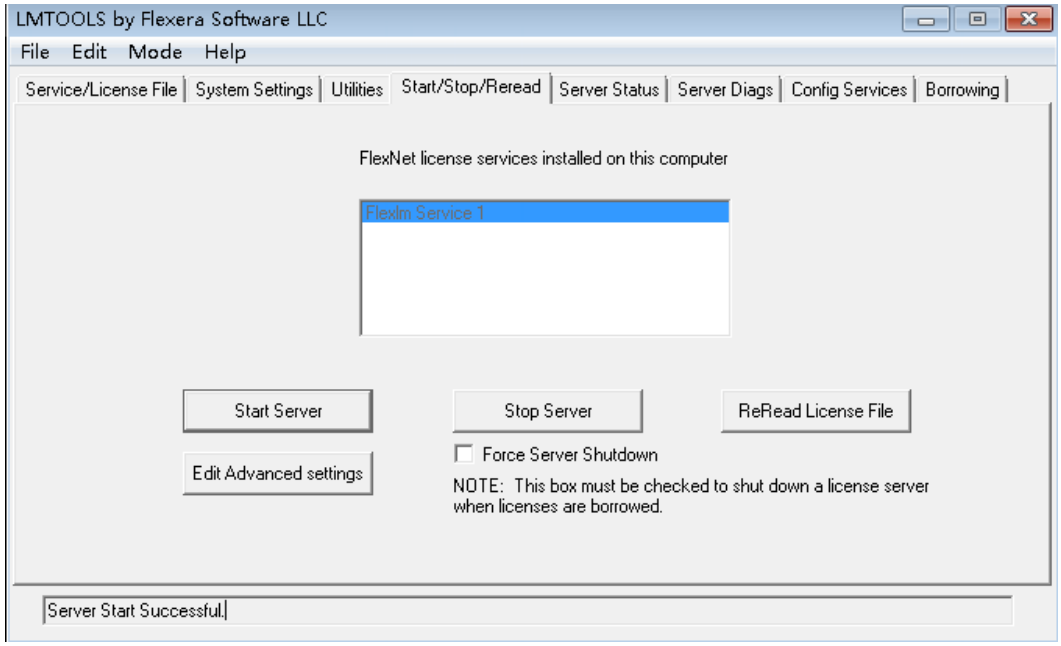
的路径（若无 log 文件，配置前需用户新建一个 log 文件）。

图 3-5 SCL 配置界面



e) 配置完后，启动许可证服务，如图 3-6 所示，选择“Start/Stop/Reread”页签，单击“Start Server”， 可在下方显示“Server Start Successful”则代表启动成功。也可通过查看 log 文件核查是否启动成功，点击如图 3-5 的 View Log 可查看 log 文件。

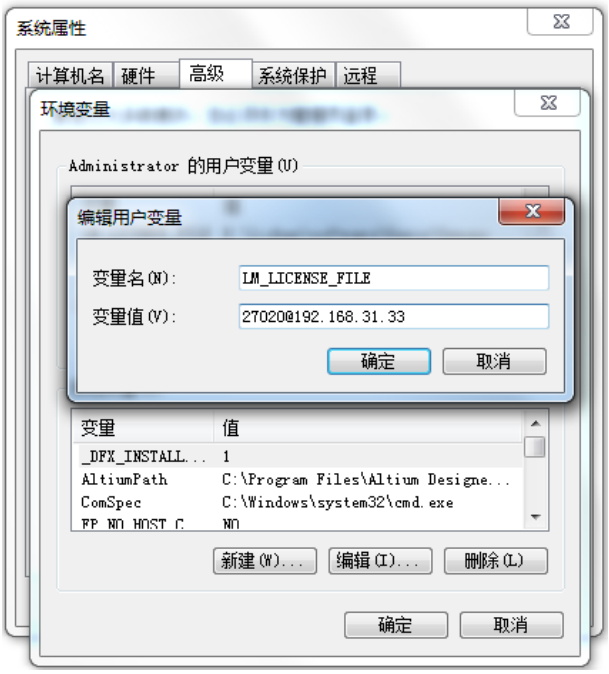
图 3-6 SCL 启动 license 界面



注！

- 启动服务许可证服务之后，同样需配置系统环境变量 LM_LICENSE_FILE 才可成功加载 SynplifyPro 浮动许可证。如图 3-7 所示：
- 变量名：LM_LICENSE_FILE；
- 变量值：License 文件的存放位置，如：“27020@192.168.31.33”，其中“192.168.31.33”为本机的 IP 地址。

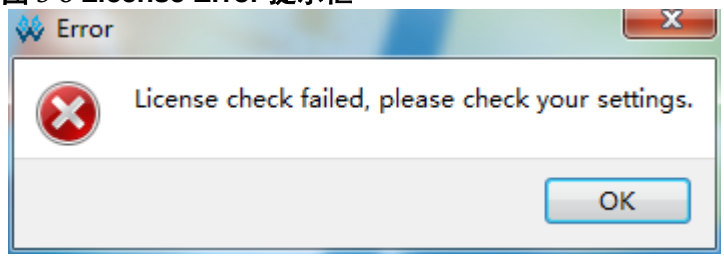
图 3-7 环境变量设置



3.6 布局布线工具 License 加载

Gowin 云源软件安装完成后，打开云源软件时会对 License 进行 check，如果 License 不正确则软件无法打开并报出 Error 提示框，如图 3-8 所示。

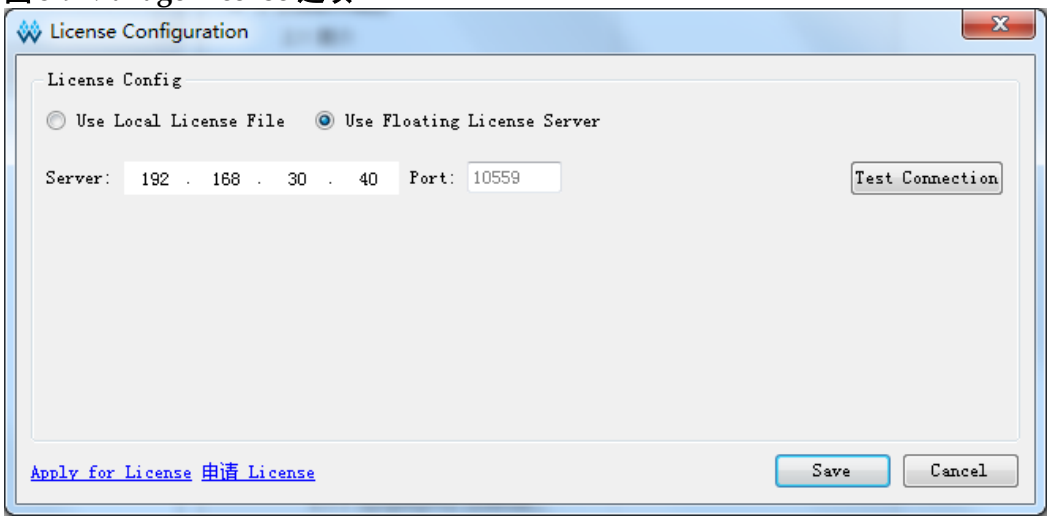
图 3-8 License Error 提示框



Gowin 云源软件安装完成后需配置 License 信息，步骤如下：

1. 打开 Gowin 云源软件界面，在菜单栏上，单击“Help> Manage License…”，弹出“License Configuration”窗口，如图 3-9 所示。

图 3-9 Manage License 选项



2. 用户可选择本地 License 文件或浮动 License 文件：
   - Use Local License File
     选择本地 node-locked License 文件，单击“Browse…”，添加文件的路径。

     注！

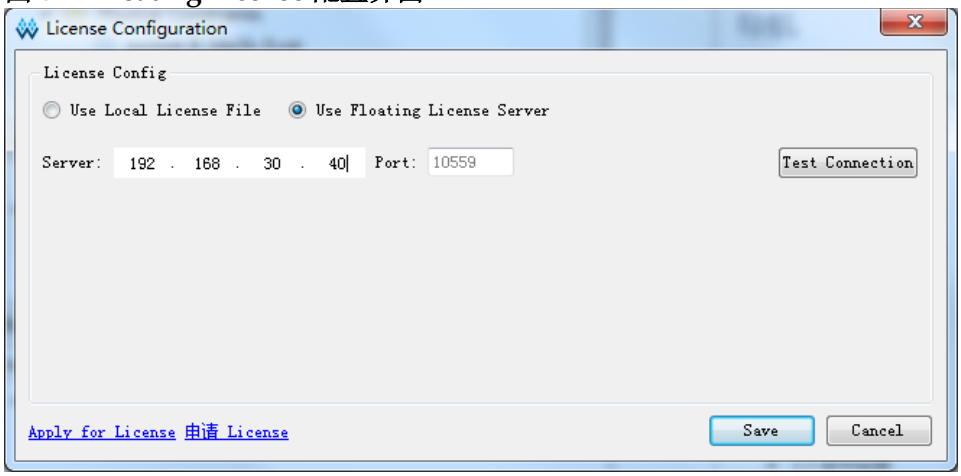
     如无License文件，单击“License Configuration”窗口左下方“Apply for License”或者“申请 License”申请。“Apply for License”会跳转到英文的 License 申请页面，“申请 License” 会跳转到中文的 License 申请页面。

- Use Floating License Server
  启动浮动许可证服务，需使用 PnrLicenseServer 软件，即软件安装包下文件夹“GowinLicenseServerForWindows\PnrLicenseServer”。可通过以下两种方式启动 PnrLicenseServer：
  a) 直接双击“gwlic_server.exe”启动：
     首先将浮动许可证文件（如 gowin_license.lic）复制到“GowinLicenseServerForWindows\PnrLicenseServer”，将浮动许可证文件改名为“gowin.lic”，双击“gwlic_server.exe”；
  b) 命令行模式启动:
     首先将浮动许可证文件（如 gowin_license.lic）复制到“GowinLicenseServerForWindows\PnrLicenseServer”，在 cmd 窗口中 gwlic_server.exe 所在路径下命令执行：gwlic_server.exe -l gowin_license.lic。启动后如图 3-10 所示。

图 3-10 Gowin Floating License Server 启动界面

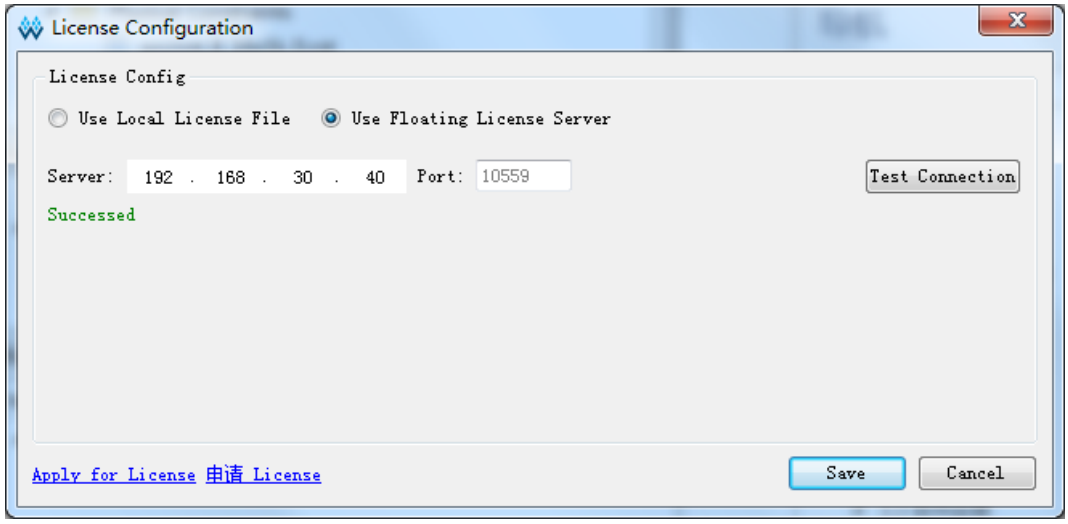
3. 启动成功之后，在“Licese Configuration”窗口中输入服务器的 IP 地址，如图 3-11 所示。

图 3-11Floating License 配置界面



4. 点击右侧 Test Connection 按钮可以测试能否连接成功，连接成功会在 License Configuration 窗口中出现 successed，如图 3-12 所示。

图 3-12 测试连接



3.7 软件许可证加载(Linux)

3.7.1 SynplifyPro License 加载

Linux 环境下的 SynplifyPro 只有 Floating License 类型，当收到 SynplifyPro 的 License 后，将 license.txt 文件保存在 lmgrd 路径下，放置在其它路径下调用 license.txt 时，建议采用绝对路径。

Linux 系统（以 64 位 Linux 系统，Redhat 5 为例）下仅支持 floating license 安装，请参考以下步骤执行加载过程：

1. 在文件夹“GowinLicenseServerForLinux\SCL\SynopsysInstaller”下，根据“installer_INSTALL_README.txt”安装提示，安装“SynopsysInstaller”：
   a) 在 SynopsysInstaller_v4.1.run 文件路径下，修改文件权限确保可以使用，右键打开命令行，运行：“chmod 755 SynopsysInstaller_v4.1.run”。
   b) 切换至 root 权限，在 SynopsysInstaller_v4.1.run 路径下执行安装命令如下：“./SynopsysInstaller_v4.1.run -d /usr/synopsys/installer”。
   c) 退出 root 权限，确保安装路径可以使用，在当前路径执行：“chmod -R 755 /usr/synopsys/installer”。
      - 添加环境变量：
      - 如果是 C shell，运行：
      - “set path=(/usr/synopsys/installer $path)”
      - 如果是 Bourne 或是 Bash shell，则运行：
      - “PATH=/usr/synopsys/installer:$PATH”
      - “export PATH”
   d) 可以用“export”指令查询环境变量，从而确认 PATH 是否添加成功。
2. 根据“GowinLicenseServerForLinux\SCL\doc”下的“scl_INSTALL_README.txt”进行 SCL 软件安装，安装路径如“path/scl_lic_server_linux/v2018.06”：
   a) 如果是 suse 系统，则删除“GowinLicenseServerForLinux\SCL”的“scl_v2018.06_linux64.spf”文件，如果是其他系统（CentOS，Redhat，UBUNTU 等），则删除“scl_v2018.06_suse64.spf”文件。
   b) 在安装好 SynopsysInstaller 之后，安装 SCL 软件，执行命令：“installer -batch_installer -source <SOURCE> -target <DEST>”<SOURCE>为 spf 文件的路径，<DEST>为安装 SCL 软件的路径。安装过程中会提示确认文件是否都正确安装，命令行输入“yes”继续安装。
3. 确认并修改获得的 license 文件：
   a) 修改计算机名称及确认 MAC 地址
      在 floating license 文件中，将“SERVER hostname1 000C293B1A2B 27020”中内容 hostname1 修改为系统主机名，000C293B1A2B 为 HWaddr，27020 为端口号，根据安装 SynplifyPro 的计算机信息进行修改，如：“SERVER gaoyun 000C293B1A2B 27020”；
   b) 修改 snpslmd 路径
      根据 SCL 软件中 snpslmd 的路径，将 license 文件中“VENDOR snpslmd /path/to/snpslmd”一行，修改为本地 snpslmd 的路径，如“VENDOR snpslmd path/scl_lic_server_linux/v2018.06/linux64/bin/snpslmd”。
4. 使用 SCL 加载 License：在 lmgrd 路径下执行指令“./lmgrd -c license.txt -l lic.log”，生成 log 文件 lic.log，查看 lic.log 文件确认是否加载成功，如加载成功，log 文件中会出现如图 3-4 所示。图 3-4 SCL 启动界面
5. 配置环境变量：

a) 设置环境变量 LM_LICENSE_FILE，其值的格式为“端口号@主机名”。如：setenv LM_LICENSE_FILE 27020@gaoyun。
b) License 安装过程中，默认采用 27020 端口，用户可编辑 License 进行修改，修改方式：打开 License 文件，查找“27020”字符串，将其修改为指定端口。

注！

有关 license 的操作指令补充如下，所有指令均在 license 安装包目录下执行：

- 加载 license——“./lmgrd –c licensefile –l lic.log”；
- 停用 license——“./lmdown -c licensefile”；
- 查询 license 状态——“./lmstat -a -c 端口号@主机名”。

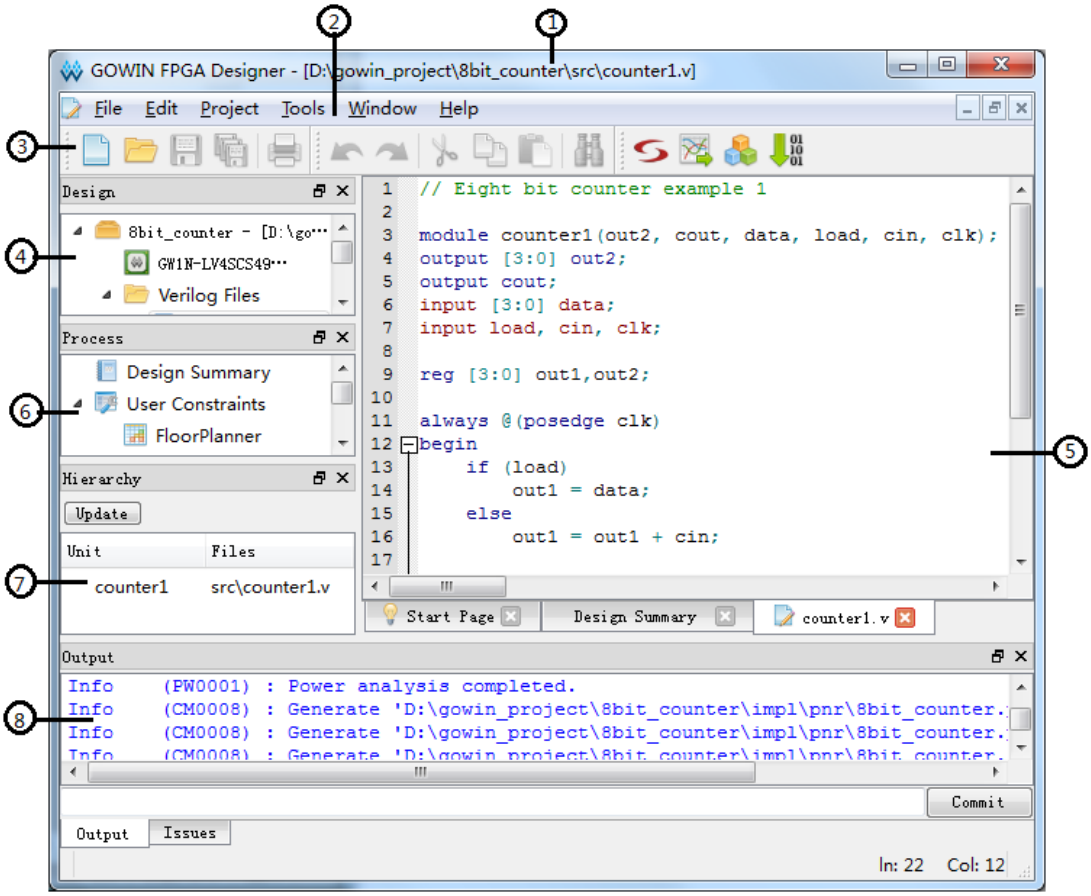
3.7.2 布局布线工具 License 加载

Linux 环境下 Gowin License 的加载过程与 Windows 环境下相同，请参考 3.6 布局布线工具 License 加载。

4 云源软件用户界面

云源软件用户界面如图 4-1 所示，主要分为标题栏、菜单栏、工具栏、工程管理区（Design 窗口）、过程管理区（Process 窗口）、源文件编辑区、信息输出区（Output）。

图 4-1 软件用户界面



① 标题栏　② 菜单栏
③ 工具栏　④ 工程管理区
⑤ 源文件编辑区　⑥ 过程管理区
⑦ 设计层级显示区　⑧ 信息输出区

4.1 标题栏

主要显示当前工程的路径、名称及当前打开的文件名称。

4.2 菜单栏

主要提供一些常用菜单以及工程所需的启动工具，包括 File、Edit、Project、Tools、Window 和 Help 选项，详情如下：

1. File 菜单栏:
   - New，新建文件和工程；
   - Open，打开文件和工程；
   - Save，保存工程中的文件；
   - Save As…，文件另存为；
   - Save All，保存所有文件；
   - Close，关闭工程或者工程中的文件、页面；
   - Close All，关闭所有文件、页面；
   - Close Project，关闭当前工程；
   - Print，打印
   - Recent Files，最近打开的文件，可以重新进行打开；
   - Recent Projects，最近打开过的工程，可以重新选择打开；
   - Exit，软件退出。
2. Edit 菜单栏：
   - Undo，撤销；
   - Redo，重做；
   - Cut，剪切；
   - Copy，复制；
   - Paste，粘贴；
   - Select All，选择全部；
   - Find，查找替换关键词；
   - Macros，宏。
3. Project 菜单栏：
   - Archive Project，工程打包；
   - Restore Archived Project，恢复被打包的工程；
   - Set Device，设置当前工程的 device；
   - Configuration，打开配置界面；
   - Design Summary，在显示当前工程的具体信息。
4. Tools 菜单栏：
   - Start Page，开始页；
   - Synplify Pro，前端综合软件；
   - Gowin Analyzer Oscilloscope，高云在线逻辑分析仪；
   - IP Core Generator，IP Core 产生器；
   - Programmer，FPGA 编程器；
   - FloorPlanner，物理约束编辑器；
   - Timing Constraints Editor，时序约束编辑器；
   - Options，用户可在此处直接打开想要的工具或者设置 IDE 参数。

5. Window 菜单栏：
   - Full Screen，全屏显示；
   - Tile，平铺显示；
   - Cascade，覆盖显示；
   - Reset Layout，恢复初始设置；
   - Panels，对界面中各区域显示模块的选择；
   - Start Page，在源文件编辑区显示 Start Page；
   - Design Summary，在源文件编辑区显示 Design Page。
6. Help 菜单栏：
   - View Help，查看帮助文档；
   - Contact Us，联系我们；
   - Manage License，许可证管理；
   - About，软件版本信息。

4.3 工具栏

主要提供一些常用功能的快速访问入口，按钮从左至右依次为新建文件或工程（New File or Project）、打开文件或工程（Open File or Project）、保存文件（Save）、保存所有文件（Save All）、打印（Print）、撤销（Undo）、重做（Redo）、剪切（Cut）、复制（Copy）、粘贴（Paste）、查找（Find）、Synplify Pro、Gowin Analyzer Oscilloscope 、IP Core Generator、Programmer。

4.4 工程管理区（Design 窗口）

主要提供工程及其相关文件的管理和显示功能，主要显示或更改工程所用器件信息、用户设计文件、用户设计约束文件以及配置文件等。

4.5 过程管理区（Process 窗口）

主要提供用户 FPGA 设计流程，包括综合（Synthsis）、布局布线（Place & Route）以及下载比特流文件（Program Device），同时可双击打开时序约束和物理约束工具进行约束文件编辑。

4.6 设计层级显示区（Hierarchy 窗口）

加载设计文件后，IDE 会先对设计文件进行解析，Hierarchy 窗口会显示当前工程的设计层级关系，Unit 列显示设计文件的 module 层级结构，Files 列显示 module 定义所在的文件。

单击某个 module 后点击右键弹出右键菜单，可以通过右键菜单中的”Goto Module Instantiation”和”Goto Module Definition”定位 module 定义和 module 实例化在设计文件中的位置。在 Hierarchy 窗口中，每个 module 都支持右键选择”Set As Top Module”，被设置为 top 的 module 会添加标记“ ”表明当前 module 是 top module，且原有的 hierarchy 层级结构不变。

注！

Hierarchy 窗口目前不支持对 VHDL 文件的解析，因此，如果加载进来的是 vhdl 文件，IDE 中会报出 error，这是 hierarchy 窗口报出的，属于正常现象。

4.7 源文件编辑区

提供基本的文件编辑及查看功能。

在 File 窗口新建或打开的文件、综合后生成的文件以及 Place & Route 后生成的文件均可显示在文本编辑区，另外“Start Page”及工程的“Design Summary”同样会显示在文本编辑区。

如文件显示在文本编辑区内，在外部对文件进行了修改操作，则在文本编辑区内会弹出“File Changed”对话框，如图 4-2 所示，选择“Reload”则会重新加载该文件。

图 4-2 文件修改提示框

单击“File”菜单栏中“Close”选项或文本编辑区当前显示文件名右侧 ，会关闭文本编辑区内当前显示的文件。

单击“File”菜单栏中“Close All”选项，则会关闭文本编辑区内显示的所有文件。

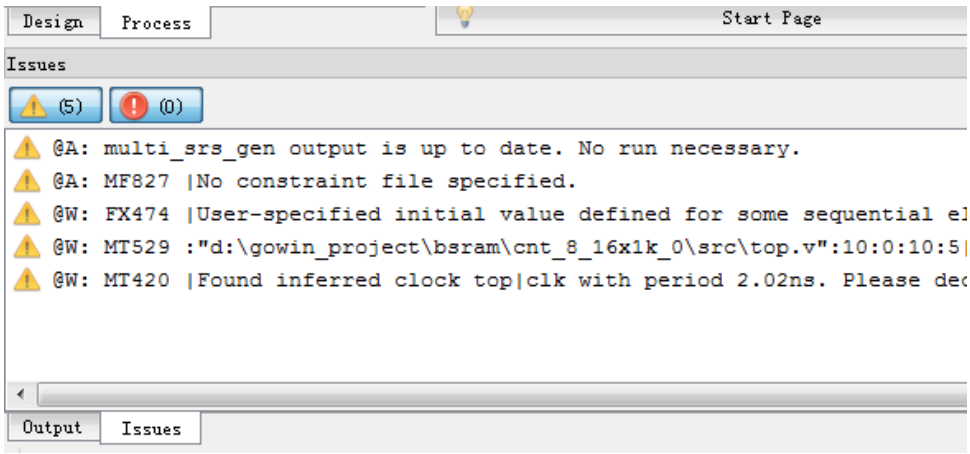
4.8 信息输出区

显示软件在运行过程中处理信息，可手动切换标签页查看不同类型的输出信息：

- 全部信息页（Output 页）
- 问题信息页（Issues 页）

在 Output 窗口单击右键，选择“Clear”，可清空所有页的信息；Issues 页包含 Warning 和 Error 两个子选项，可控制 Issues 页面只显示 warning 信息或 error 信息，每个子选项会在相关的信息页标签处记录出现 Warning 或者 Error 的个数,如图 4-3 所示。在 Issues 窗口单击右键，选择“Clear”，可清空当前页面的信息。

图 4-3 信息输出界面



选中 PnR 报出的某条 Error 或 Warning 信息后单击右键选择“Help”，或者按快捷键“F1”，会弹出该条 Error 或 Warning 的“GOWIN Help”帮助文档，文档中会详细描述该条 Error 或 Warning 的帮助信息。

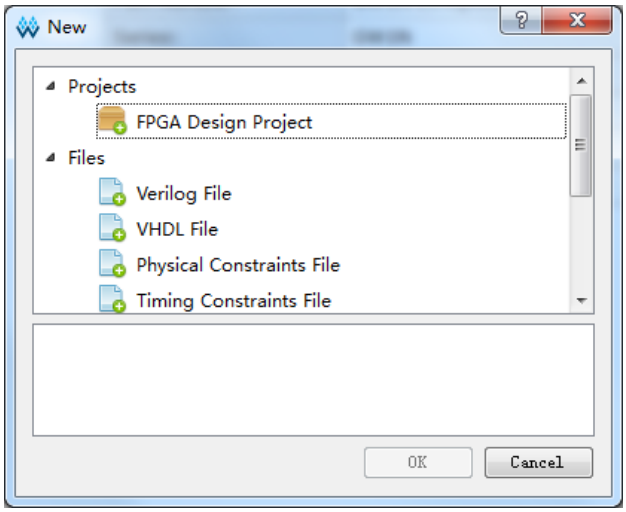
5 云源软件使用

云源软件支持 Windows 和 Linux 两个版本，且支持界面模式和命令行模式运行，以 Windows 版本，界面运行为例，介绍软件的使用方法。

5.1 新建工程

1. 单击“File> New…”，打开“New”对话框，如图 5-1 所示。

图 5-1 新建工程



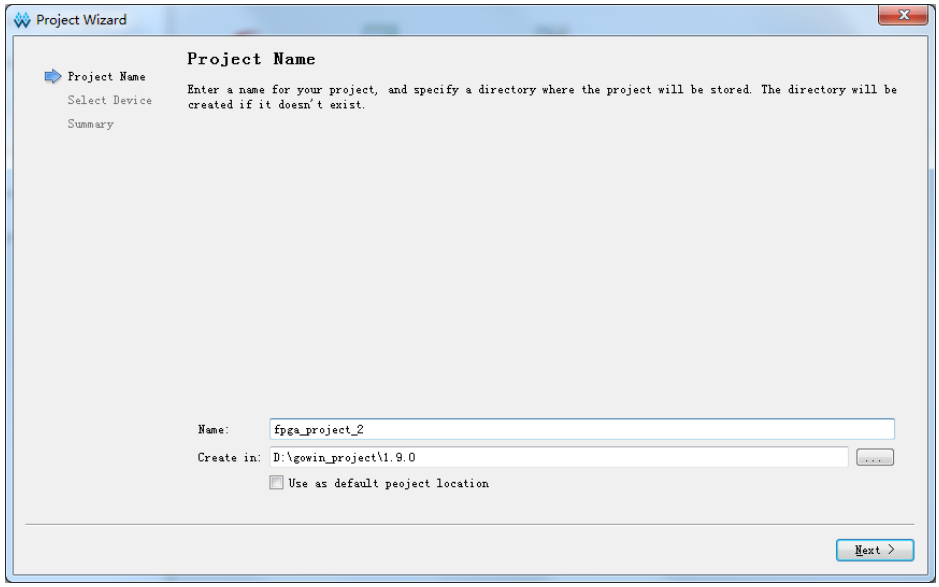
注！

亦可通过以下三种方式打开“New”对话框：

- 使用快捷键 Ctrl+N；
- 单击工具栏上“New File or Project”图标；
- 单击 Start Page 界面上“Quick Start>New Project”。

2. 选择“FPGA Design Project”，单击“OK”，打开“Project Wizard”窗口，如图 5-2 所示

图 5-2 新建工程向导

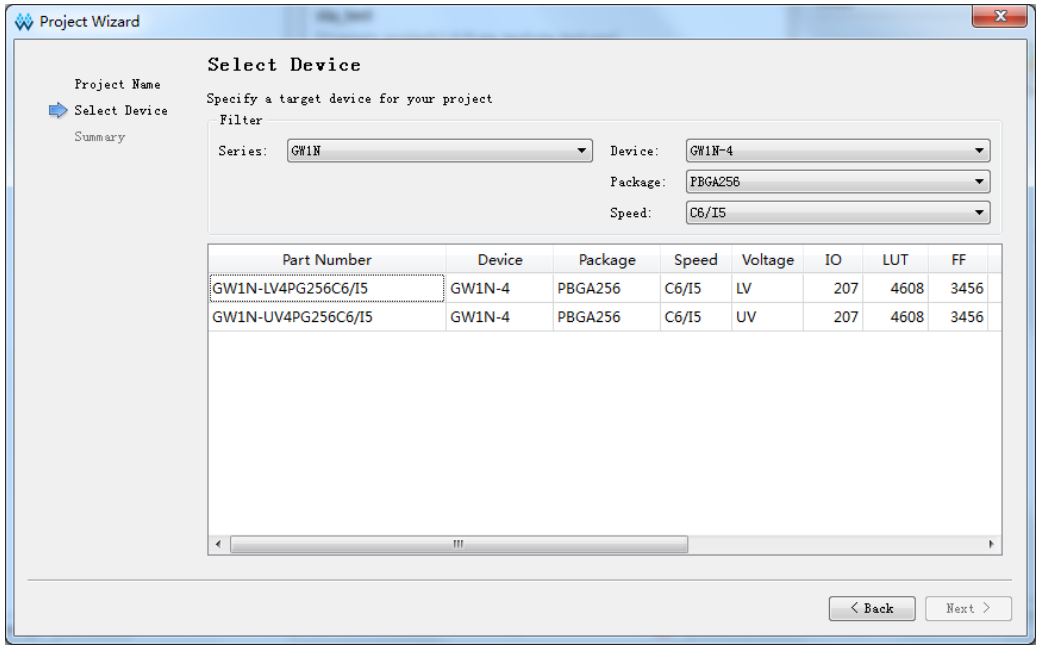


3. 创建工程名和路径，如图 5-2 所示：
   a). 在“Name”文本框中输入工程名。
   b) 单击“...”选择工程路径。

   注！

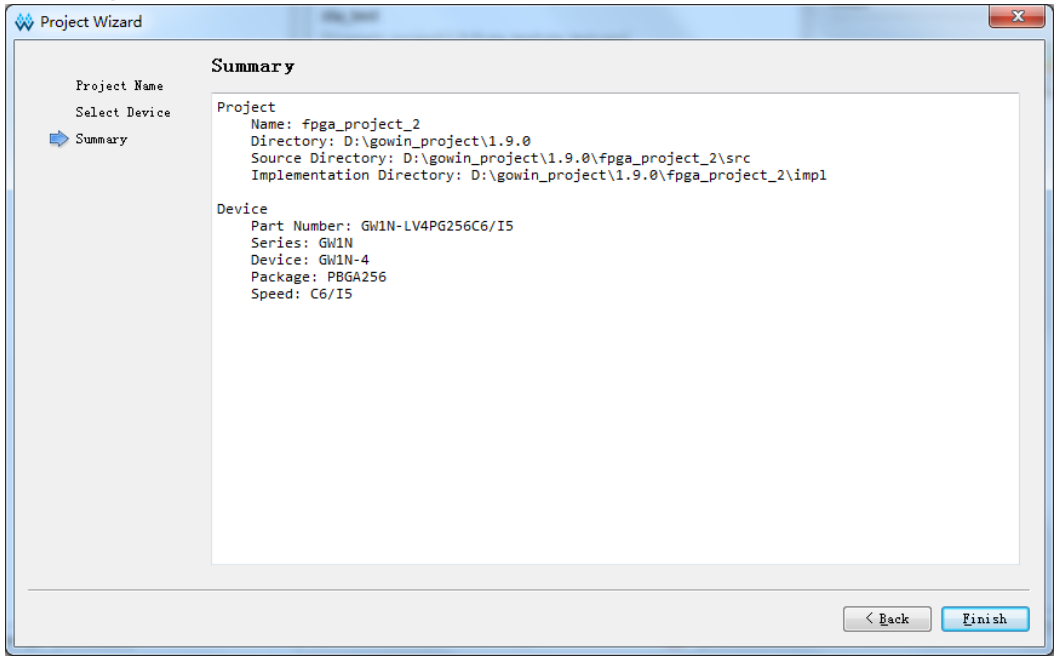
   - 软件布局布线操作尚不支持含有中文或空格的文件路径，所以工程路径中不应含有中文或空格；
   - Windows 和 Linux 下的文件路径长度均有限制，在路径下存在文件长度超出系统限制的情况下，删除或者拷贝路径都会失败；
   - 与 Linux 不同，在 Windows 中路径分隔符为“\”，如 E:\Gowin\ide；
   - 若选中“Use as default project location”，即会将该工程路径设置为默认路径，下次新建工程时会默认工程创建在该路径。
4. 单击“Next”，设置 FPGA 芯片的型号，如图 5-3 设置 FPGA 芯片型号所示。
   - 在“Select Device”窗格中选择“Series”和“Device”；
   - 在“Package”下拉列表中选择封装类型；
   - 在“Speed”下拉列表中选择速度等级；
   - 在“Part Number”栏中选择最终的型号，并且该栏中显示所选择芯片的详细资源信息。

图 5-3 设置 FPGA 芯片型号



5. 单击“Next”，在“Summary”窗格中核对新建的 FPGA 工程的工程信息及芯片信息，如图 5-4 所示。

图 5-4 工程信息



6. 单击“Finish”，工程创建完成。

注！

- 芯片的型号参数可在工程创建之后修改，详细信息请参考 5.3 编辑工程>5.3.1 修改工程 Device；
- 工程所需的源文件及约束文件需在工程创建之后添加，详细信息请参考 5.3 编辑工程>5.3.2 编辑工程文件。

5.2 打开工程

用户可直接通过云源软件界面打开已创建的高云软件工程，有以下四种方式打开工程：

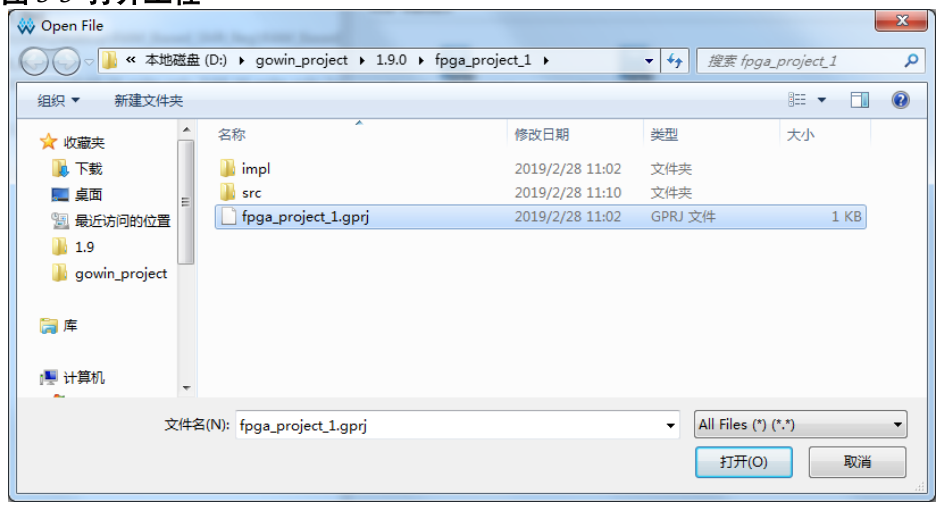
方法一

1. 菜单栏中，选择“File> Open …”打开“Open File”对话框，如图 5-5 所示。

注！

亦可通过单击工具栏上的“ ”图标，打开“Open File”对话框。

图 5-5 打开工程



2. 选择“Open File > 工程文件（*.gprj）”，单击“Open”，打开工程。

方法二

1. 在“Start Page”页面中，单击“ ”，打开“Open Project”对话框。
2. “Open”，打开工程。

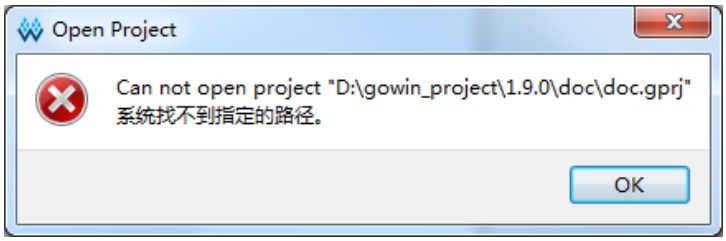
方法三

菜单栏中，单击“File> Recent Projects”，选择需打开的工程。

注！

- 亦可在“Start Page >Recent Projects”列表中，选择需打开的工程；
- “Recent Projects”为最近打开过的工程列表；
- 若该工程已被删除，会弹出“Open Project”提示框，如图 5-6 所示。

图 5-6 工程删除提示框



方法四

在本地找到建立的工程，在工程中找到工程文件*.gprj，双击工程文件，就会自动识别云源软件打开工程。

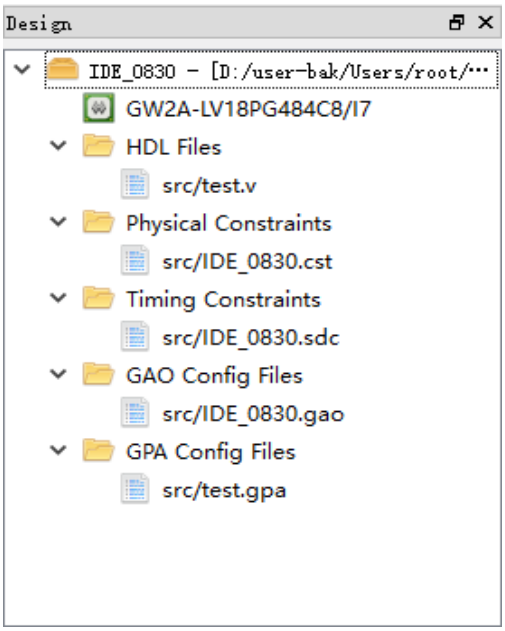
5.3 编辑工程

新建或打开工程后，可在工程管理区对 FPGA 工程器件信息及相关文件等进行编辑，如图 5-7 所示。

工程管理区主要包含以下信息：

- FPGA 工程的路径信息；
- 使用的芯片信息：芯片型号、封装方式及速度；
- 当前工程包含的文件信息，包括用户设计文件、物理约束文件（.cst）、时序约束文件（.sdc）、GAO 配置文件（.gao）、功耗分析 GPA 配置文件（.gpa）等。

图 5-7 工程文件窗口



5.3.1 修改工程 Device

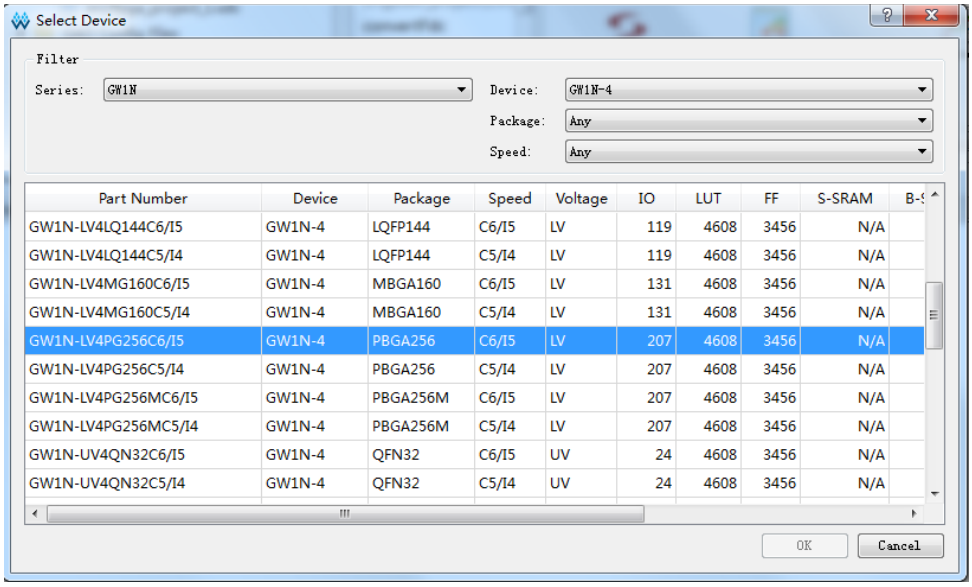
在工程管理区第二行内容是具体显示当前 FPGA 工程所使用的芯片信息：

1. 如图 5-7，双击“GW1N-LV4PG256C6/I5”，打开“Select Device”窗口，如图 5-8 所示；
2. 在“Select Device”窗口中选择“Series”和“Device”，在“Package”下拉列表中选择封装类型，在“Speed”下拉列表中选择速度等级，在“Part Number”栏选择具体的型号，即可修改当前工程所用的 Device 信息。

注！

“Part Number”栏中显示所选芯片的详细资源信息。

图 5-8 工程配置 Device 信息



5.3.2 编辑工程文件

工程中需添加的文件类型包括用户设计文件（Source Files）、约束文件和配置文件。其中，约束文件包括物理约束文件（Physical Constraints File）、时序约束文件（Timing Constraints File），配置文件包括 GAO 配置文件（GAO Config File）、GPA 配置文件（GPA Config File）。

工程可包含多个用户设计文件，但仅可包含一个物理约束文件和一个时序约束文件。

下面介绍如何编辑工程所需文件。

1. 新建工程文件

   a) 如图 5-9 所示，在工程管理区空白处单击鼠标右键，选择“New File…”，打开新建文件 New 对话框，如图 5-10 所示。

   b) 在图 5-10 中，选择需新建的文件类型。

图 5-9 右键菜单

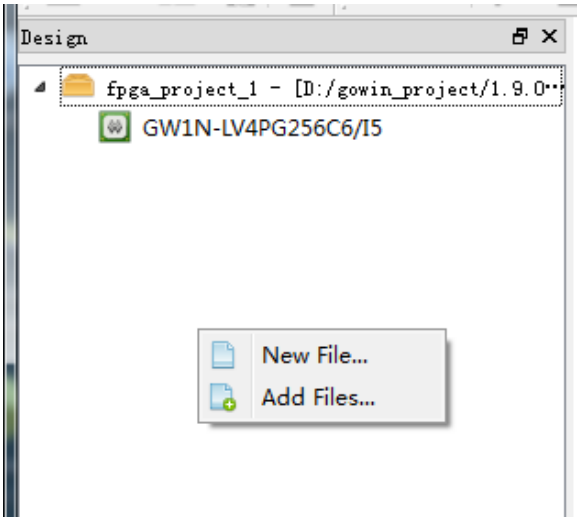
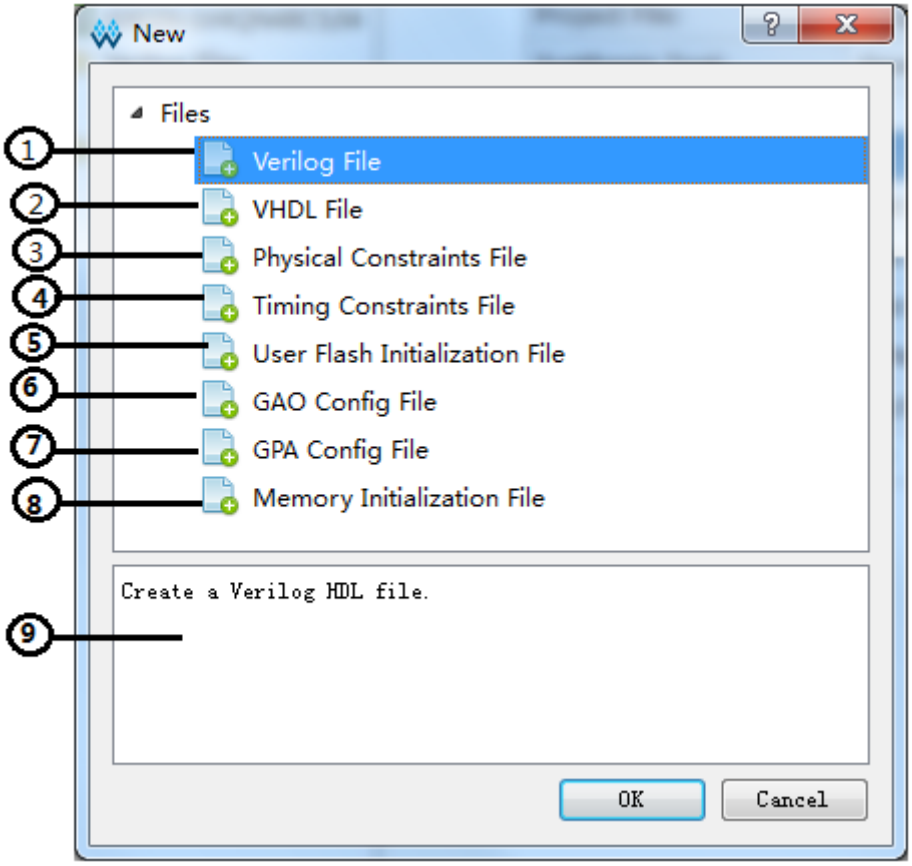


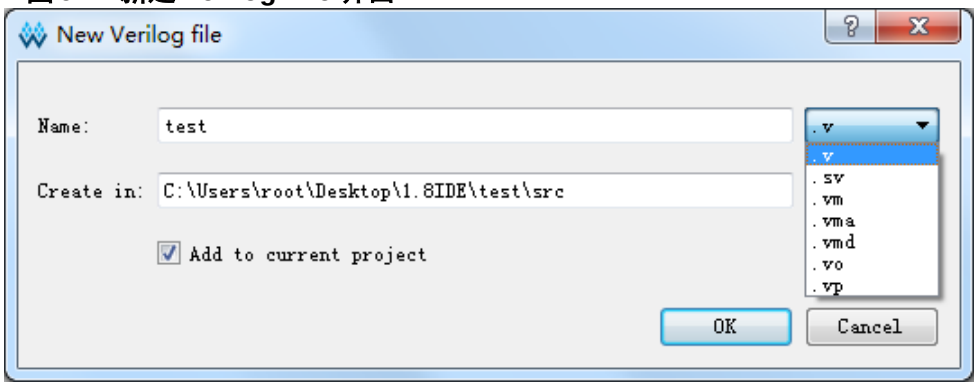
图 5-10 新建文件界面



① 用户 Verilog 设计文件
② 用户 VHDL 设计文件
③ 物理约束文件
④ 时序约束文件
⑤ User Flash 初始化文件
⑥ GAO 配置文件
⑦ GPA 配置文件
⑧ 块存储器初始化文件
⑨ 文件类型解释区

c) 如图 5-11 所示，以新建 Verilog File 为例，选中“Verilog File”打开新建 Verilog File 窗口。

图 5-11 新建 Verilog File 界面



d) 填写文件名，单击“OK”。

注！

- 可选择文件扩展格式，默认勾选“Add to current project”。
- 可在源文件编辑区打开新建空白文件，并允许用户进行编辑。

2. 新建配置文件

a). 如图 5-9 所示，在工程管理区空白处单击鼠标右键，选择“New File…”，打开新建文件 New 对话框，如图 5-10 所示；

c) 在图 5-10 中，选择需新建的配置文件类型。以新建 GPA Config File 为例，选中“GPA Config File”打开新建 GPA Config File 窗口，如图 5-12 所示；

d) 新建配置文件时，不会直接在源文件编辑区打开新建空白配置文件，需在工程管理区双击配置文件，以界面形式打开空白配置文件，进行编辑，如图 5-13 所示。

图 5-12 新建配置文件界面

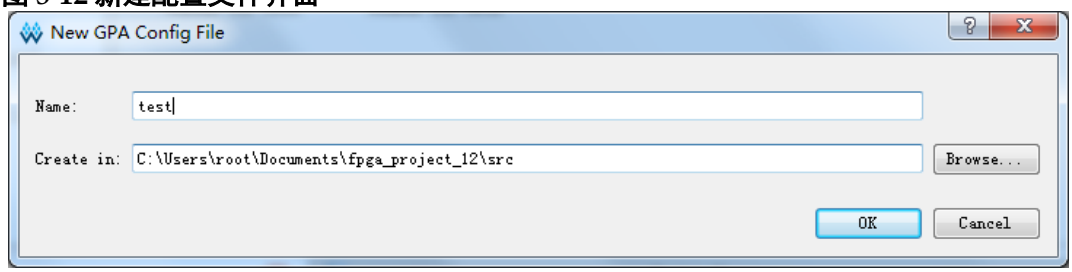
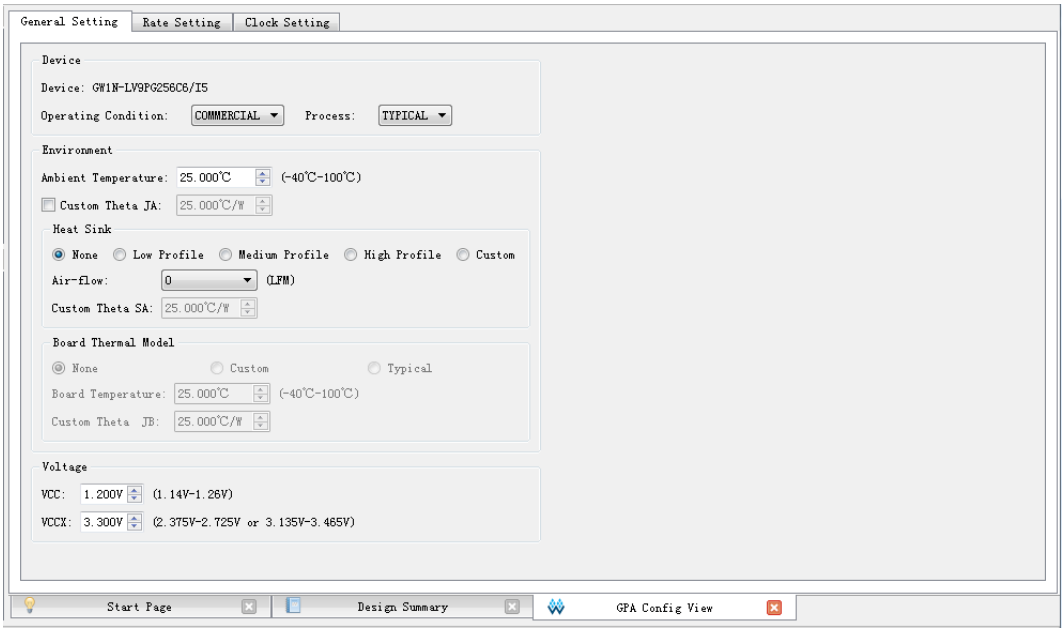


图 5-13 GPA 配置文件



注！

- 如用户添加的 Verilog File 与已有的文件重名，则无法添加，并弹出提示，如图 5-14 所示；
- 如添加的约束文件在工程文件中已经存在，会弹出提示无法添加，如图 5-15 所示；
- 如添加的配置文件在工程文件中已经存在，会弹出提示是否替换，如图 5-16 所示。

图 5-14 重名提示

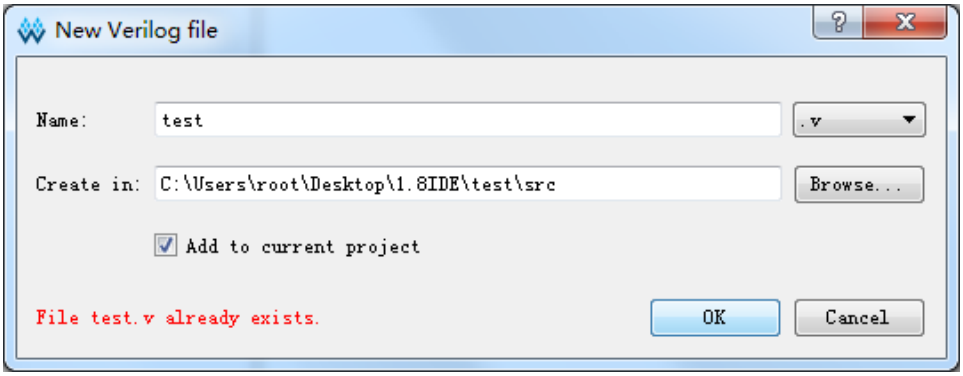


图 5-15 工程约束文件唯一性

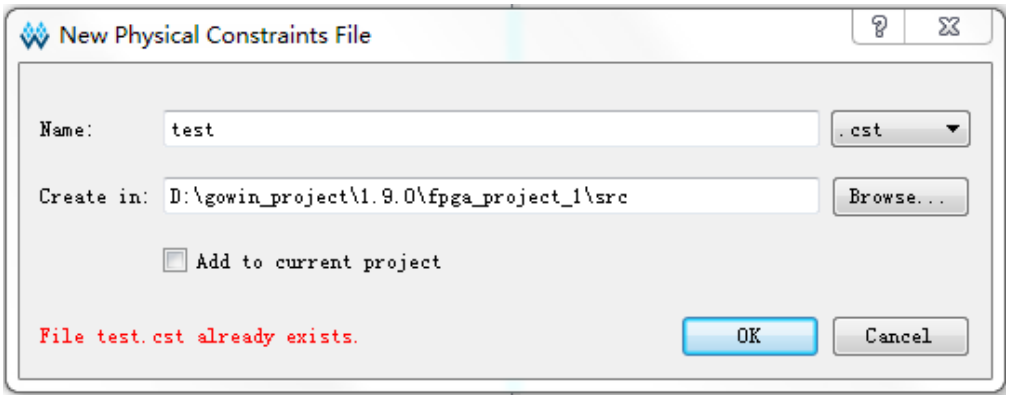
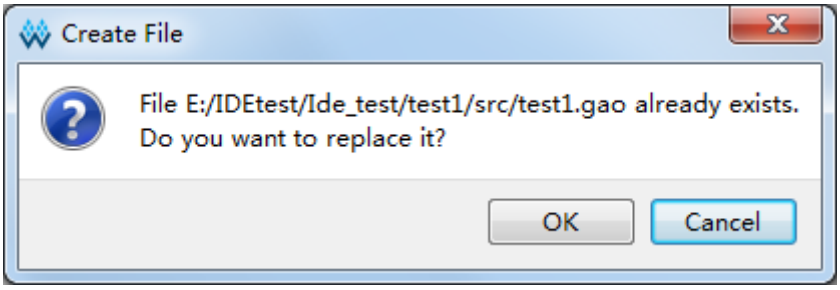


图 5-16 配置文件唯一性



3. 添加工程文件

   a) 如图 5-17 所示，在工程管理区空白处，单击鼠标右键，选择“Add Files…”，打开“Select Files”对话框；

   b) 选择工程文件，可同时选择多个文件或单个文件添加，完成添加用户设计文件。

注！

- 添加文件时，选择“Add Files…”，如果添加的文件不是工程中的文件会进行提示是否需要将该文件复制到工程目录，便于工程归档，如图 5-18 所示；
- 如同时添加 RTL 文件、约束文件等，软件会自动在工程文件管理区将文件进行分类；
- 如果添加的文件既不是 RTL 设计文件也不是约束文件和 GPA、GAO 配置文件，则在工程管理区会增加一个文件分类“Other Files”。

图 5-17 Design 窗口右键菜单

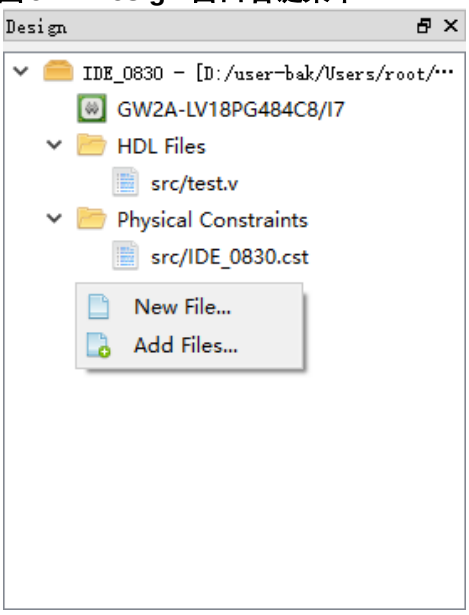
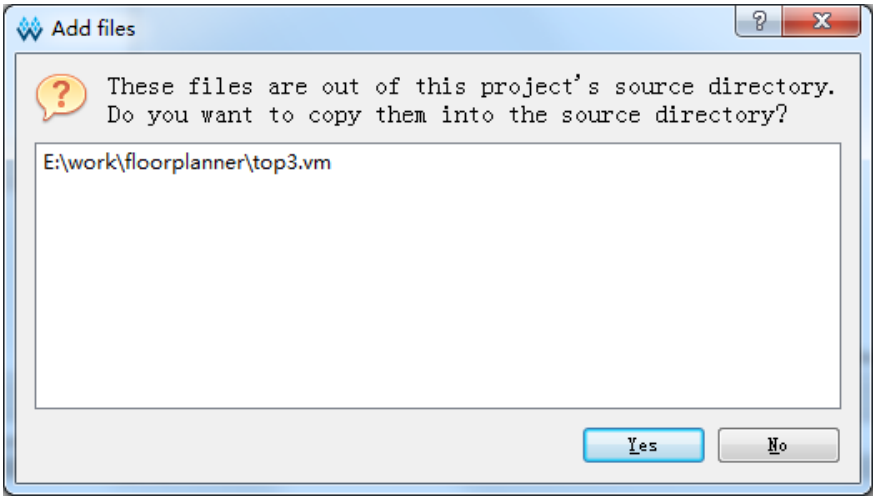


图 5-18 文件复制到工程路径提示框



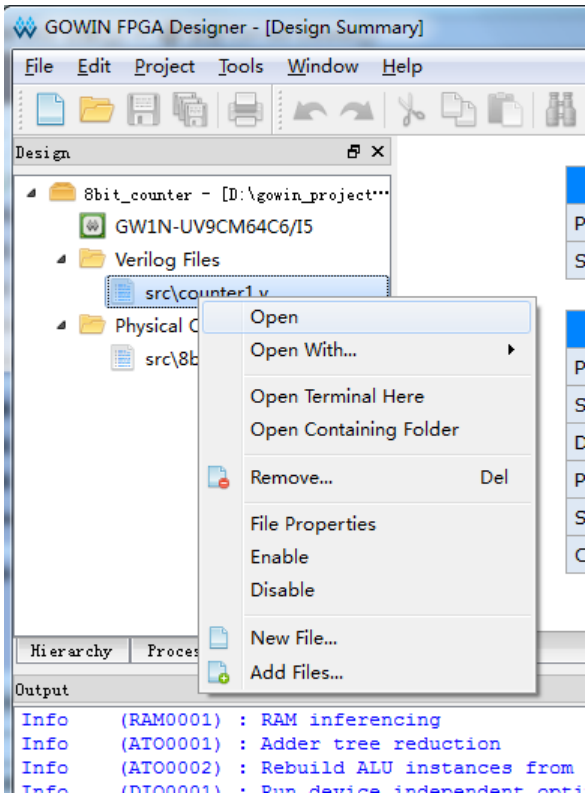
4. 修改工程文件

如图 5-19 所示，可通过以下两种方式打开文件：

a) 双击工程管理区内的任一文件，需编辑的文件即会显示在源文件编辑区；

b) 右键单击需要修改的文件，单击“Open”。

图 5-19 工程文件编辑菜单



注！

- 选择“Open With>Add External Editor”，可添加或者选择外部编辑器窗口，如图 5-20 所示，用户可根据自身的使用习惯添加外部编辑器；

- 选择“Open Containing Folder”可打开文件所在的文件夹；
- 选择“Open Terminal Here”可打开命令行运行窗口，用户可通过命令行模式运行；
- 用户使用外部编辑器对已经在云源软件编辑区打开的文件修改并保存之后，Gowin 云源软件会弹出工程文件变更通知，如图 5-21 所示；
- 用户关闭编辑后未保存的文件，云源软件会弹出工程文件保存通知，如图 5-22 所示。

图 5-20 外部编辑器

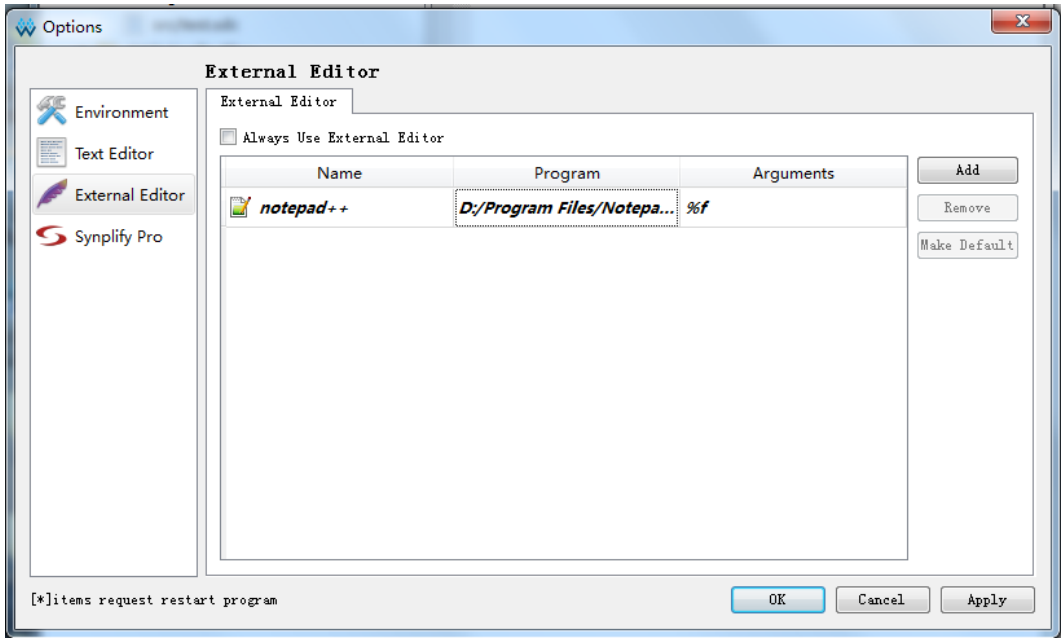
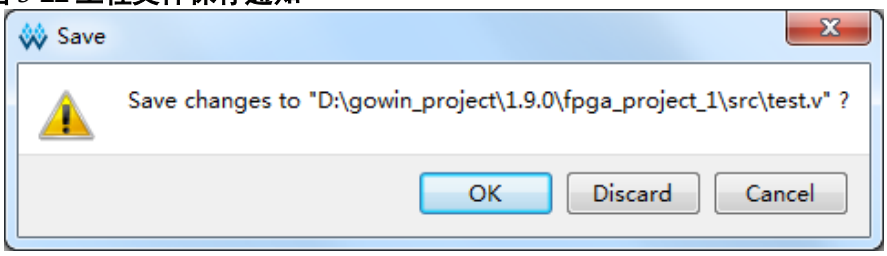


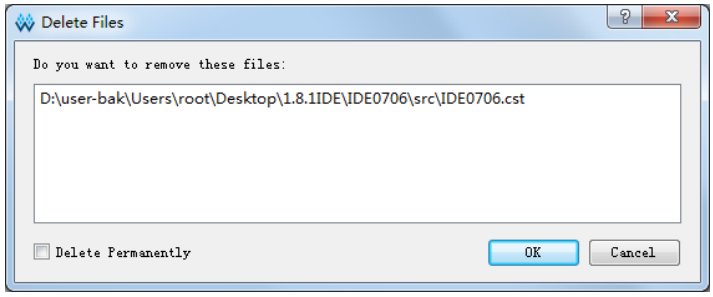
图 5-21 工程文件变更通知

图 5-22 工程文件保存通知



5. 删除工程文件
   a) 选中工程管理区内的文件；
   b) 单击鼠标右键，选择“Remove”或直接按键盘“Delete”键，弹出“Delete File”对话框，如图 5-23 所示。若选中“Delete Permanently”复选框，则该文件从当前工程删除且在磁盘上删除，否则，该文件仅从当前工程删除。

图 5-23 文件删除确认



注！

如删除当前处于编辑区的文件，软件会弹出文件删除通知，如图 5-24 所示。

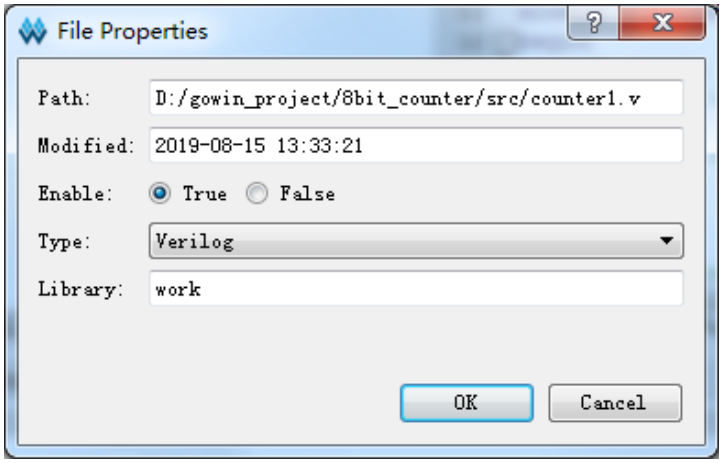
图 5-24 文件删除通知

6. 查看工程文件属性

在工程管理区内的任一文件处单击鼠标右键，选择右键菜单列表里的 File Properties，会弹出该文件的文件属性对话框，如图 5-245 所示。对话框中包含该文件的路径信息、修改时间、是否 Enable、Type 以及 Library 信息。

通过 Type 下拉菜单按钮可以选择修改文件的 type 信息，点击 OK 后，该文件会在 Design 窗口中自动移动到所选的 type 类型下。

图 5-25 工程文件属性



7. 工程文件的 Enable/Disable 功能

在工程管理区内的任一文件处单击右键，弹出的选项框中有 Enable 和 Disable 选项，如图 5-19 所示。Enable / Disable 设置后，Synthesize 或 Place & Route 能够正确读取 enable 文件的内容。

a) 通过右键菜单选项设置文件的 Enable / Disable（包括单独文件的设置及文件的批量设置）；

b) 选中多个设计文件（HDL Files 或 Netlist Files）时，Enable 和 Disable 都可用；

c) 对于同一种约束类文件或配置类文件，选中多个时，Enable 不可用，Disable 可用，如图 5-26 所示；

d) 对于同一种约束类文件或配置类文件，工程中只有一个会处于 Enable 状态，再次新建或添加时，会将前一个约束文件或配置文件 Disable 掉；当选中多个不同类型的文件时，Enable 和 Disable 功能不可用，如图 5-27 所示。

图 5-26 选中多个同类型文件右键框图

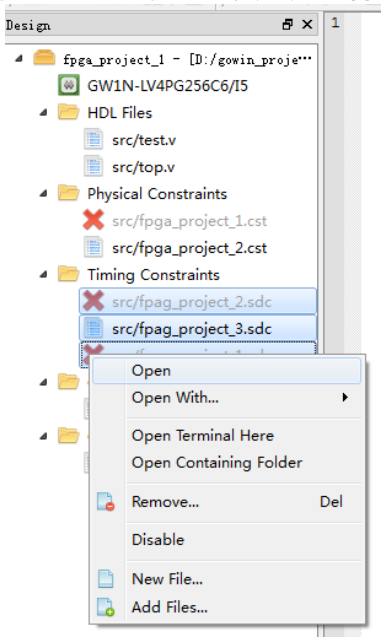
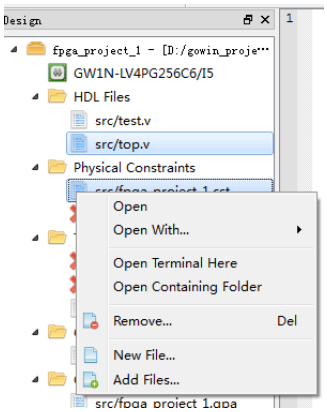


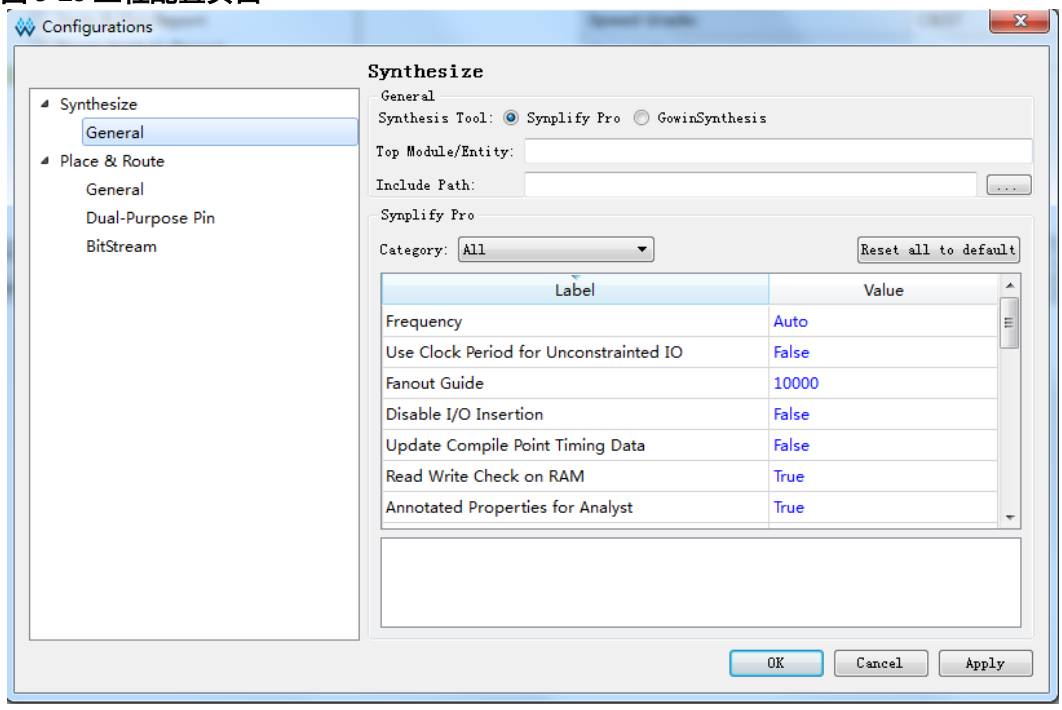
图 5-27 选中多个不同类型文件右键框图



5.3.3 修改工程配置

在工程管理区内的 Synthesize 处或 Place & Route 处，单击鼠标右键;选择“Configuration”，打开工程配置属性页面，如图 5-28 所示。

图 5-28 工程配置页面



如图 5-28 所示，可配置的工程属性包含 Synthesize 属性和 Place & Route 属性，Place & Route 属性又包括 General 属性、Dual-Purpose Pin 属性以及 BitStream 属性：

- Synthesize：用于配置综合工具优化用户设计时所需的参数属性；
- General：用于配置运行布局布线时的参数信息；
- Dual-Purpose Pin：用于配置所选 Device 信息中封装方式对应的 I/O 信息，主要用于配置复用管脚；
- BitStream：用于配置产生的 BitStream 文件是否允许 CRC 校验、是否压缩以及下载频率等配置。

有关可配置的各个工程属性的介绍如下：

Synthesize

工程配置界面，选择 Synthesize 属性页。在 General 标签页内，可以选择 Synthesis Tool：Synplify Pro 或者 GowinSynthesis。

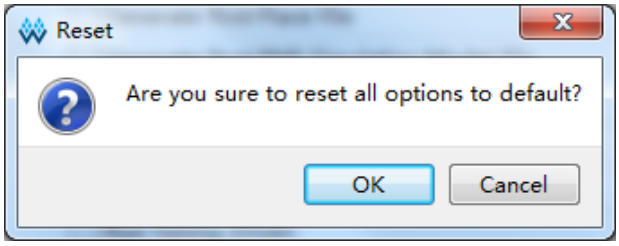
如果选择的 Synthesis Tool 为 Synplify Pro：

- 可以指定 Top Module/Entity 和 Include Path 路径；
- 在“Category”下拉列表中选择参数配置选项分类，默认为“ALL”；
- 在“Lable”列表中选择需配置的参数名称，“Configuration”窗口底部相应显示该配置项的含义；
- 双击所选配置参数的“Value”值，根据需求配置，单击“Apply”，可使当前配置生效，并可继续配置；单击“OK”，完成所有配置。

  注！

  - 关于常用参数配置选项及含义，请参考附录 A SynplifyPro 属性及指示；
  - 关于所有配置的详细用法，具体可参考云源软件安装目录下 SynplifyPro 相关文档，路径 installPath\SynplifyPro\doc；
  - Reset all to default：当前配置页面全部恢复默认设置，单击后弹出 Reset 提示框，如图 5-29 所示。

图 5-29 Reset 提示框

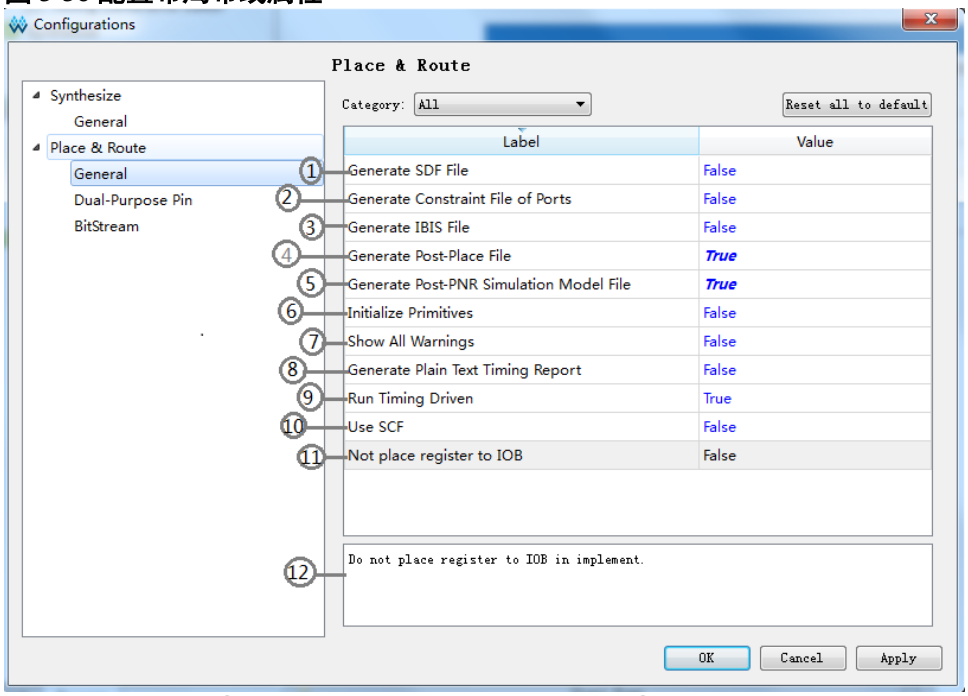


如果选择的 Synthesis Tool 为 GowinSynthesis，可以指定 Top Module/Entity、Include Path 路径以及 Verilog Language。Verilog Language 有三个选择：System Verilog 2017、Verilog 2001 和 Verilog 95。

Place & Route

Place & Route 中的 General 配置是高云独立自主研发的符合云源软件的属性配置项目，可在 Value 数据修改属性值，具体属性含义如图 5-30 所示。

图 5-30 配置布局布线属性



① 产生时序仿真 SDF 文件 ② 产生 Port 的约束文件

③ 产生 IBIS 文件
④ 产生器件布局文件
⑤ 产生后仿模型文件
⑥ 后仿真模型文件中输出器件的所有默认初始值
⑦ 输出所有的 Warning 信息
⑧ 产生文本格式的时序报告
⑨ 运行 Timing Driven 过程
⑩ 使用 SCF 文件
⑪ 可自由放置的寄存器不放置到 IOB 上
⑫ 属性解释区

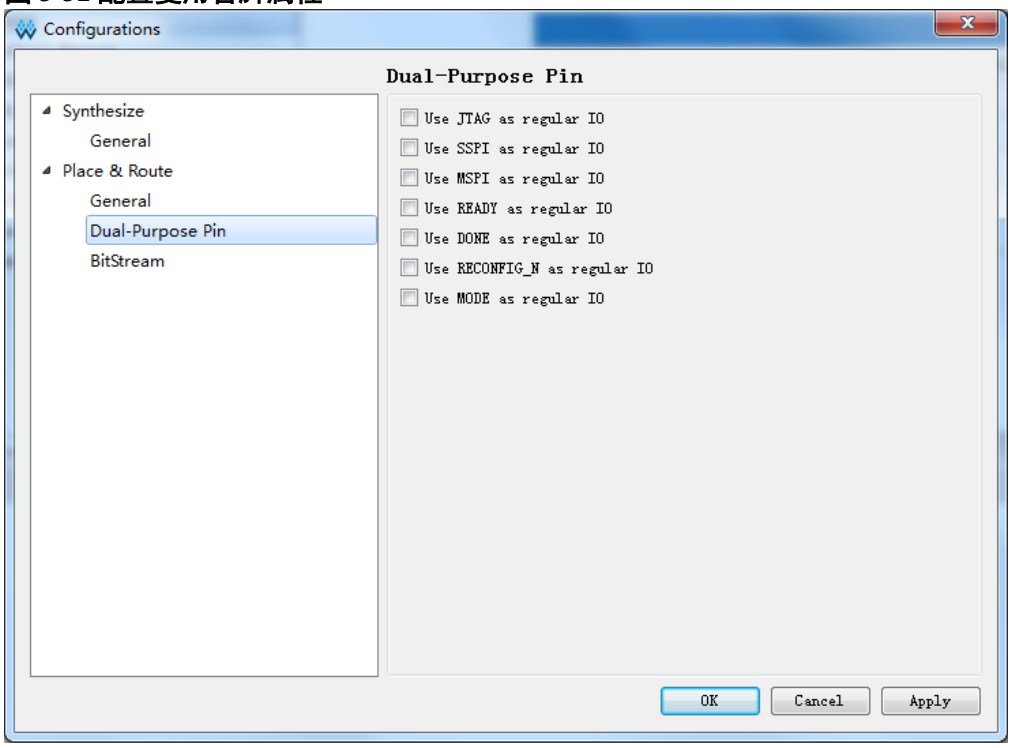
注！

Reset all to default：当前配置页面全部恢复默认设置。

Dual-Purpose Pin

Dual-Purpose Pin 配置是符合高云芯片定制的复用管脚配置，具体配置项目如图 5-31 所示。

图 5-31 配置复用管脚属性



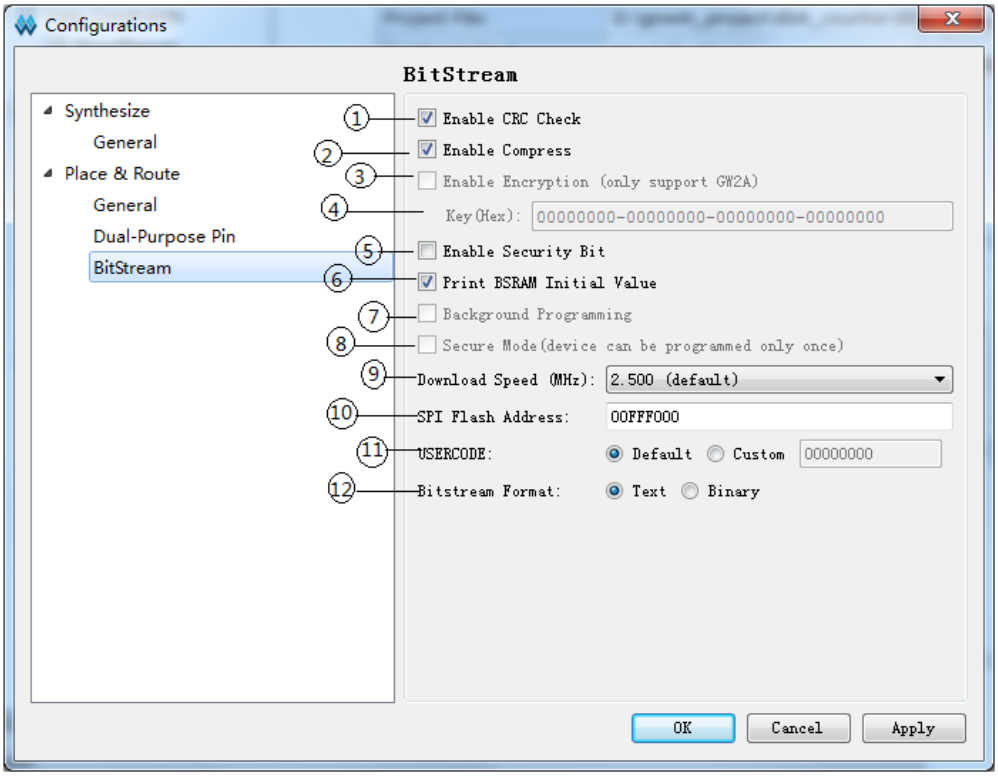
注！

复用管脚属性配置中 JTAG 和 JTAGSELN 管脚为互斥关系，即当不勾选 JTAG 管脚时，默认选择 JTAGSELN 管脚，当勾选 JTAG 管脚时，则默认不选择 JTAGSELN 管脚。

BitStream

BitStream 配置是符合高云芯片下载模式的 bitstream 文件格式以及下载频率等，具体配置含义如图 5-32 所示。

图 5-32 配置比特流文件属性



① CRC 校验使能
② 压缩使能
③ 加密使能（只支持 GW2A）
④ 用户自定义密钥
⑤ 安全位使能
⑥ 将 BSRAM 初始值写入 bitstream 文件
⑦ 远程升级
⑧ 安全模式
⑨ 下载频率
⑩ SPI Flash 地址
⑪ 用户自定义 User Code
⑫ 比特流文件内容格式

注！

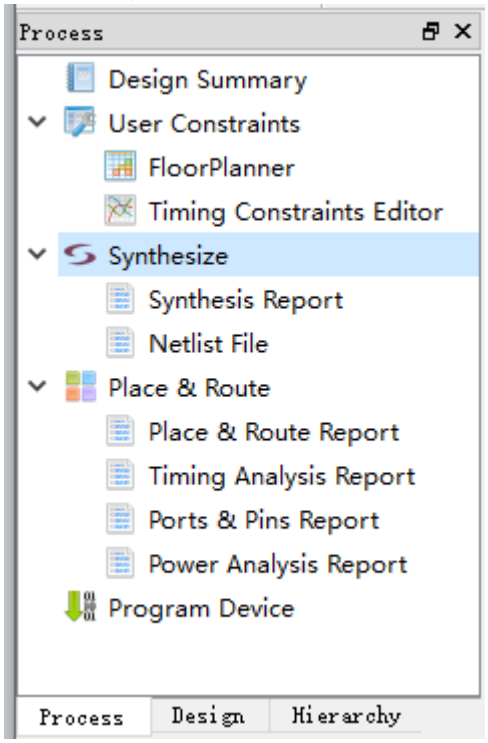
- SPI Flash 地址是指下一次 multiboot 时，加载 bitstream 文件的起始地址，具体可参考 *Gowin Programmer 用户指南*。
- 安全模式只支持 GW1NSE-2C，勾选该模式时会自动将 JTAG 管脚设置为 GPIO，此时的 bitStream 文件只能对该设备编程一次。

5.4 管理工程

在过程管理区，列出了高云云源软件的过程管理步骤，如图 5-33 所示。在该窗口可进行以下操作：

- 查看 Design 概述；
- 启动 FloorPlanner；
- 启动时序约束编辑器；
- 执行综合过程；
- 查看综合设计报告；
- 执行布局布线；
- 查看 Place&Route 后的生成报告；
- 启动高云半导体 FPGA 编程器等功能。

图 5-33 工程 Process 窗口



5.4.1 Design Summary

新建工程时，软件会分析工程选择的芯片信息并提供一份报告，如图 5-34 所示，有三种方法打开 Design Summary：

- 在 GOWIN FPGA Designer 菜单栏上，选择“Window> Design Summary”；
- 在 Process 窗格中，双击“Design Summary”；
- 在 Process 窗格中，单击鼠标右键，在“Design Summary”中选择“Open”。

图 5-34 工程信息显示

General	
Project File:	D:\gowin_project\1.9.0\fpga_project_1\fpga_project_1.gprj
Synthesis Tool:	SynplifyPro

Target Device	
Part Number:	GW1N-LV4PG256C6/I5
Series:	GW1N
Device:	GW1N-4
Package:	PBGA256
Speed Grade:	C6/I5
Core Voltage:	LV

5.4.2 User Constraints

User Constraints 提供了快速打开和创建约束文件的方法。有关约束编辑器的详细使用方法，请参考 *Gowin 设计约束指南*。

User Constraints 分为 FloorPlanner 和 Timing Constriaints Editor。

物理约束编辑器 FloorPlanner 使用步骤：

1. 双击“FloorPlanner”或在右键菜单中选择“Run”，如果工程尚未进行综合，则会弹出提示框，如图 5-35 所示。综合成功后双击“FloorPlanner”或在右键菜单中选择“Run”将会打开物理约束编辑器；
2. 打开物理约束编辑器时，若工程中包含物理约束文件（.cst），编辑器会直接读取约束文件以便编辑；
3. 打开编辑器，如果工程中包含的物理约束文件（.cst）发生了变化，在源文件编辑区进行了修改并保存后，点击 FloorPlanner 中的 reload ，会对修改后的约束文件重新进行读取；
4. 若工程中不包含相应的约束文件，综合成功后双击 FloorPlanner，软件会弹出创建约束文件的通知，如图 5-36 所示；
5. 若工程中不包含约束文件，但源文件目录下存在与工程同名的约束文件（.cst 文件）时，软件会报出在源文件目录下有一个与工程同名的约束文件，是否要覆盖它的 Warning 提示框，如图 5-37。

注！

通过选择“Tools”菜单的“Floor Planner”和“Timing Constriaints Editor”，可直接打开 Floor Planner 和时序约束编辑器，而不进行设计文件的综合操作。

图 5-35 先进行综合提示

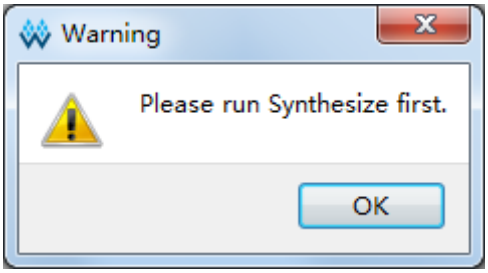


图 5-36 创建约束文件提示

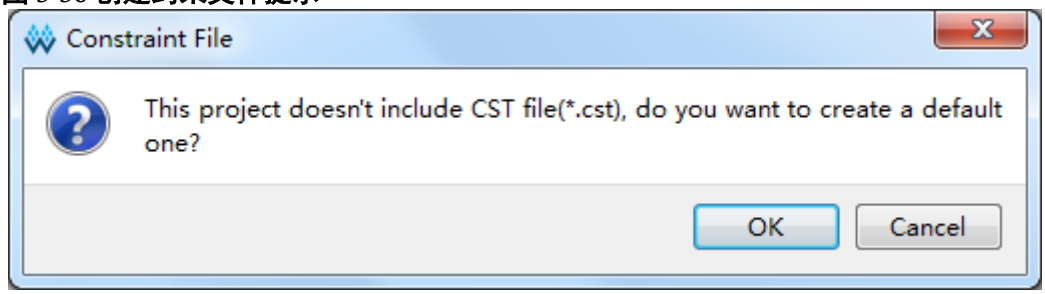
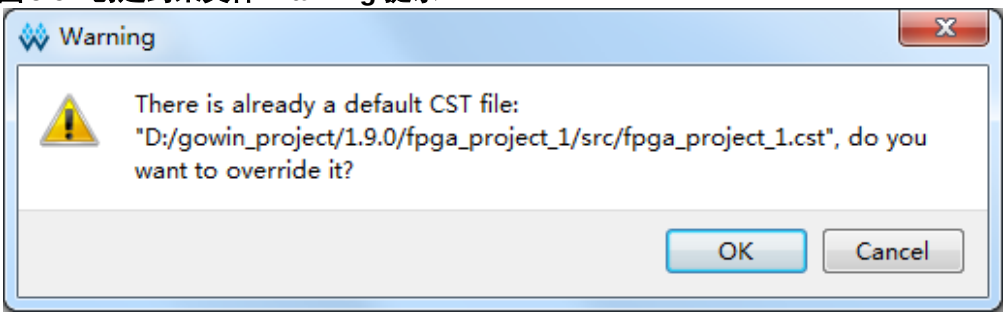


图 5-37 创建约束文件 Warning 提示



时序约束编辑器 Timing Constraints Editor 使用方法：

1. 双击“Timing Constraints Editor”或在右键菜单中选择“Run”，如果工程尚未进行综合，则会弹出提示框，如图 5-35 所示。综合成功后双击“Timing Constraints Editor”或在右键菜单中选择“Run”将会打开时序约束编辑器；
2. 打开约束编辑器时，若工程中包含时序束文件（.sdc），综合成功后，编辑器会直接读取约束文件以便编辑；
3. 若工程中不包含相应的约束文件，软件会弹出创建约束文件的通知，如图 5-38 所示；
4. 若工程中不包含约束文件，但源文件目录下存在与工程同名的约束文件（.sdc 文件）时，打开软件时会报出在源文件目录下有一个与工程同名的约束文件，是否要覆盖它的 Warning 提示框，如图 5-39。

图 5-38 创建时序约束文件提示

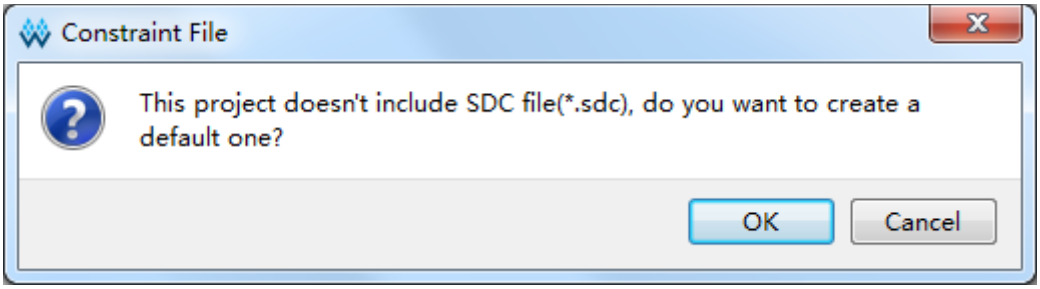
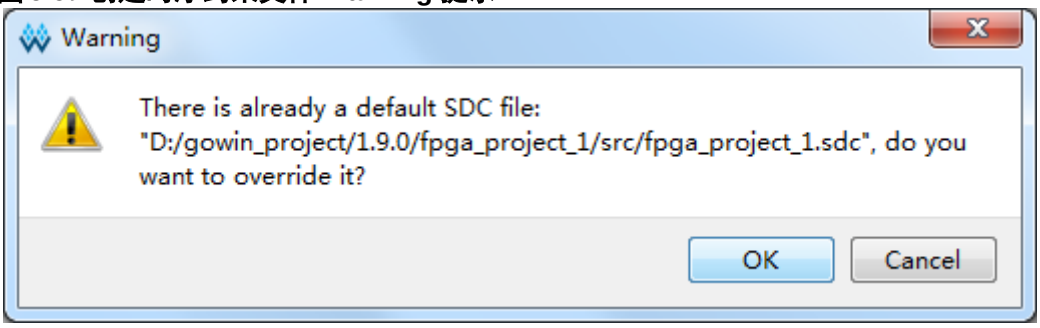


图 5-39 创建时序约束文件 Warning 提示



5.4.3 Synthesize

执行 Synthesize 时云源软件提供两种综合工具进行选择，Synplify Pro 和 GowinSynthesis，如果不进行选择，默认综合工具是 Synplify Pro。

通过在工程管理区的 Synthesize 处单击鼠标右键，选择“Configuration”，打开综合属性配置页面选择综合工具，如图 5-28 所示。

Synplify Pro 是 Synopsys 公司为高云半导体专门定制的前端综合软件，支持高云半导体的库文件及其实现，支持 VHDL、Verilog 等编程语

GowinSynthesis 是高云研发的综合软件，支持高云半导体的库文件及其实现，目前支持 System Verilog 和 Verilog 2005。

Synthesize 提供了运行综合、设置综合属性参数及管理网表文件（Netlist File）和综合报告（Synthesis Report）的功能。

参考以下步骤运行 Synthesize：

1. 配置 Synthesis 属性，综合工具选择 Synplify Pro 或者 GowinSynthesis；
2. 有关 Synthesis 属性配置，请参考 5.3.3 修改工程配置；
3. 运行 Synthesize；
4. 在过程管理区，双击“Synthesize”或右键单击“Synthesize> Run”，启动综合工具对源文件进行综合。

   若综合成功，则 Synthesize 栏前会出现图标 ✔，否则出现图标 ❗；
5. 综合成功后，双击“Netlist File”或在该项右键选择 Open 选项，可查看网表文件，且生成的网表文件名称与工程名称相同。若综合工具选择的是 Synplify Pro，生成的综合后网表文件为*.vm，若综合工具选择的是 GowinSynthesis，则生成的综合后网表文件为*.vg。

   注！

   - 若综合之前（Synthesize 图标为 ）双击“Netlist File”或在该项右键选择 Open 选项，则会先进行综合，综合成功后打开网表文件。
   - 若综合之前（Synthesize 图标为 ）双击“Synthesis Report”或在该项右键选择 Open 选项，则会先进行综合，综合成功后打开综合报告。

   右键单击“Synthesize”，如图 5-40 可进行的操作包含：

- Run：只有 Synthesize 栏前图标为 、 或 时，选择该选项会启动综合工具对源文件进行综合；
- Rerun：无论 Synthesize 是何种状态，选择该选项，重新启动综合工具对源文件进行综合；
- Stop：停止运行 Synthesize 过程；
- Clean：清除综合后产生文件夹（synthesize）下的所有文件及文件夹，点击该选项会弹出提示框，如图 5-41 所示；
- Configuration：可对 Synthesis 中参数进行设置。

图 5-40 右键单击“Synthesize”图示

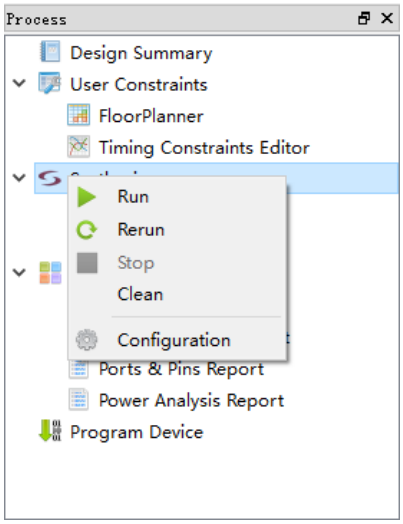
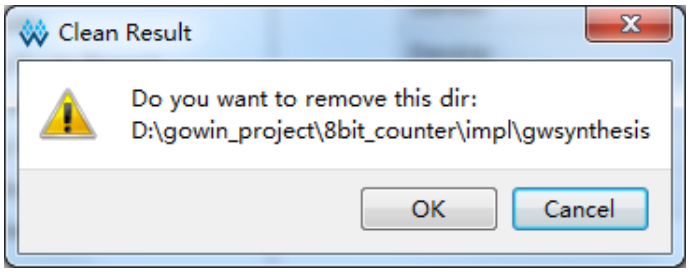


图 5-41 左键单击“Clean”图示



5.4.4 Place & Route

Place & Route 提供运行布局布线、设置布局布线参数及管理布局布线后生成文件的功能。

注！

Place & Route 依赖于综合过程，执行该步骤时，如其依赖项（Synthesize）未执行，则会先执行 Synthesize，再执行该步骤。

参考以下步骤运行 Place & Route：

1. 配置 Place & Route 属性；
2. 关于 Place & Route 属性配置，请参考 5.3.3 修改工程配置；
3. 运行 Place & Route；
4. 双击“Place & Route”或单击鼠标右键“Place & Route>Run”执行布局布线产生 bit 流文件和相关报告文件。如运行成功，则 Place & Route 栏前会出现图标，否则出现图标；
5. Place & Route 运行成功后，在 Place & Route 下方双击文件或右键选择“Open”可在文本编辑区浏览报告文件。
6. 可查看生成的四种文件，包括 Place & Route Report、Timing Analysis Report、Ports & Pins Report 及 Power Analysis Report，这四种文件均不可编辑。

注！

- 若当前已经打开报告文件，再运行 Place & Route 重新生成报告文件后会提示是否更新文件；
- 若运行 Place & Route 之前（Place & Route 栏前图标为 ），双击报告文件或在该报告文件右键选择“Open”选项，则会先运行 Place & Route，运行成功后打开报告文件。

右键单击 Place & Route，可进行的操作包含：

- Run：只有 Place & Route 栏前图标为 或 或 时，选择该选项会运行 Place & Route；
- Rerun：无论 Place & Route 是何种状态，选择该选项，重新运行 Place & Route；
- Stop：停止运行 Place & Route 过程；
- Clean：清除运行 Place & Route 后产生文件夹（pnr）下的所有文件及文件夹，点击该选项会弹出提示框；
- Configuration：可对 Place & Route 参数进行设置。

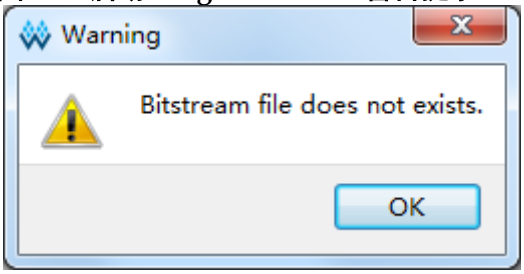
5.4.5 Program Device

云源软件在布局布线运行成功后，会生成比特流文件（.fs 文件），需启动高云半导体 FPGA 编程器，才可将比特流文件下载到芯片，实现用户所需的功能。

注！

Program Device 依赖于 Synthesize 及 Place & Route 步骤，执行该步骤时，如其依赖项（Synthesize 及 Place & Route）未执行，会弹出警告提示，如图 5-42 所示。

图 5-42 启动 Program Device 警告提示

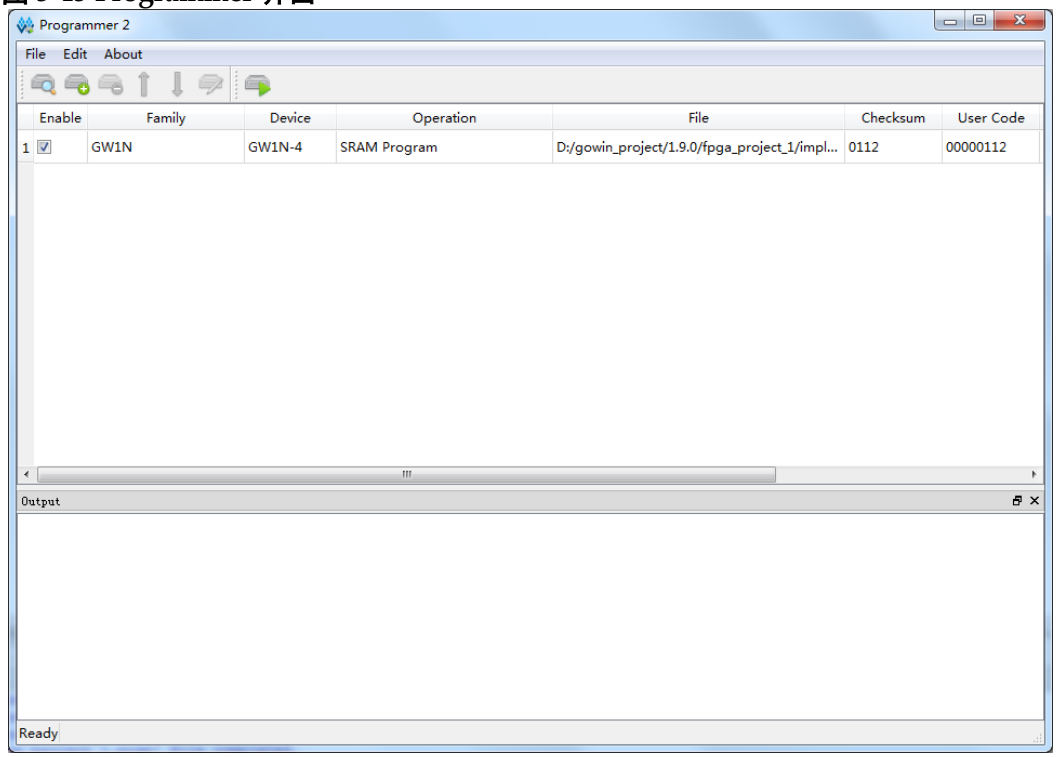


双击“Program Device”或在该项右键单击“Run”选项，打开高云半导体 FPGA 编程器，如图 5-43 所示。

注！

Linux 安装包中的编程器适用于 Linux 版本 Red Hat 5.10，如需 Red Hat 6/7 版本的编程器，请到官网上下载安装后，将安装包替换为 Gowin 云源软件安装包中的文件夹“Programmer”。

图 5-43 Programmer 界面



有关高云半导体 FPGA 编程器的详细使用方法，请参考*《Gowin Programmer 用户指南》*。

5.5 工程打包及加载

IDE 支持对当前工程进行打包以及恢复被打包的工程。通过菜单栏 Project 中的“Archive Project”和 Restore Archived Project 对工程进行打包或恢复。

5.5.1 工程打包

单击菜单栏 Project 中的“Archive Project”会弹出打包工程对话框，如图 5-44 所示。

- “Archive File Name”是打包后的文件名，默认和当前要打包的工程名一致，后缀是.gar 格式。
- “Create In”为打包后的文件要存放的路径，默认为当前工程路径。
- 打包工程项包括 Project source files（默认勾选）、GowinSynthesis files、SynplifyPro files、PnR files、Programming files。
- 当勾选了某一打包工程项后，下方会显示该项在当前工程下的源文件、所在路径以及大小。
- Add 和 Remove 按钮可以用来自行增删打包的文件。
- 点击 Archive 后，如果工程中的文件未保存，则会弹出警告提示框，提示先保存文件。
- 打包完成后会弹出提示窗口，提示打包成功或失败，如图 5-45 所示。
- 打包完成后在“Create In”路径下会生成两个文件：打包工程*.gar 和与 gar 同名的打包文件*.garlog。后缀为 gar 的文件压缩存储所有被打包的文件，日志文件*.garlog 供参考使用，可以查看哪些文件被打包以及打包是否成功。

图 5-44 工程打包界面

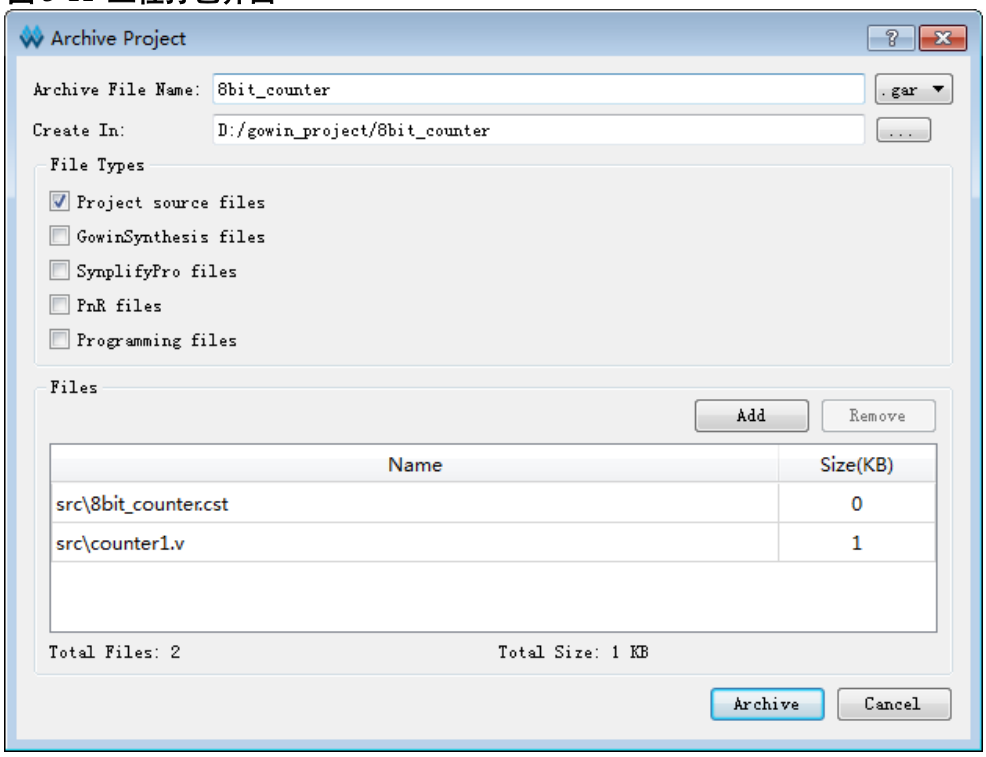
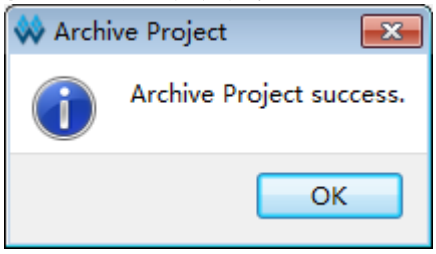


图 5-45 打包成功提示

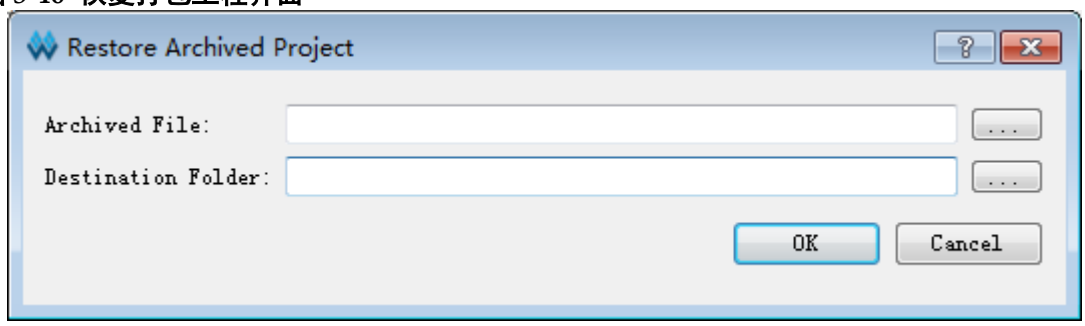


5.5.2 恢复被打包工程

单击菜单栏 Project 中的“Restore Archived Project”会弹出恢复被打

包工程对话框，如图 5-46 所示。

图 5-46 恢复打包工程界面



点击“Archived File”右面的路径选择按钮，选择要恢复的打包文件。选择要恢复的打包文件后，“Destination Folder”会自动更新为打包文件所在的路径。点击 OK 后会弹出恢复成功的对话框。

5.6 退出软件

通过以下方式退出 IDE：

1. 单击“File > Exit”选项；
2. 单击软件界面右上角图标“ ”。

注！

- 若有未保存的文件，则会先提示是否对文件进行保存；
- IDE 提供的保存（Save）、保存所有（Save All）和另存为（Save As…）功能只针对文本编辑动作的保存；
- IDE 对于工程配置（Configuration）信息的修改或对工程中文件的增删等操作不会即时保存到工程配置文件中，在 IDE 关闭时自动保存；
- 如果软件在运行中，无法通过点击退出 IDE。

6 云源软件集成工具

6.1 Synplify Pro

Synplify Pro 是 Synopsys 公司为高云半导体专门定制的前端综合软件，支持高云半导体的库文件及其实现，支持 VHDL、Verilog 等编程语言。

关于 Synplify Pro 的详细信息及操作请参考 *Synplify Pro 菜单栏中“Help”下拉列表中的相关用户文档*。

6.2 FloorPlanner

Gowin FloorPlanner 是高云半导体面向市场自主研发的布局与物理约束编辑工具，支持对 I/O、Primitive（原语）、block（存储模块、DSP）、Group 等的属性及位置信息的读取与修改功能，同时可根据用户的配置生成新的布局与约束文件，文件中规定了 I/O 的属性信息，原语、模块的位置信息等。Gowin FloorPlanner 提供了简单快捷的布局与约束编辑功能，可支持高云半导体的各款 FPGA 芯片产品。

启动 FloorPlanner 两种方式：

1. 未建立 FGPA 工程时，可直接在软件菜单栏的“Tools”下拉列表中选择“FloorPlanner”，此时，需通过 File>new 加载网表和约束文件及所需器件信息；
2. 建立 FPGA 工程时，直接在过程管理区运行 Synthesize 后双击“FloorPlanner”，此时，FloorPlanner 会直接加载工程文件并显示在 FloorPlanner 界面。

FloorPlanner 分为 Chip Array 和 Package View 两个窗口，如

图 6-1 和图 6-2 所示，该工具的详细使用方法请参考*《Gowin 设计约束指南》*。除此之外 FloorPlanner 还可以进行时序优化。

图 6-1 Chip Array 窗口

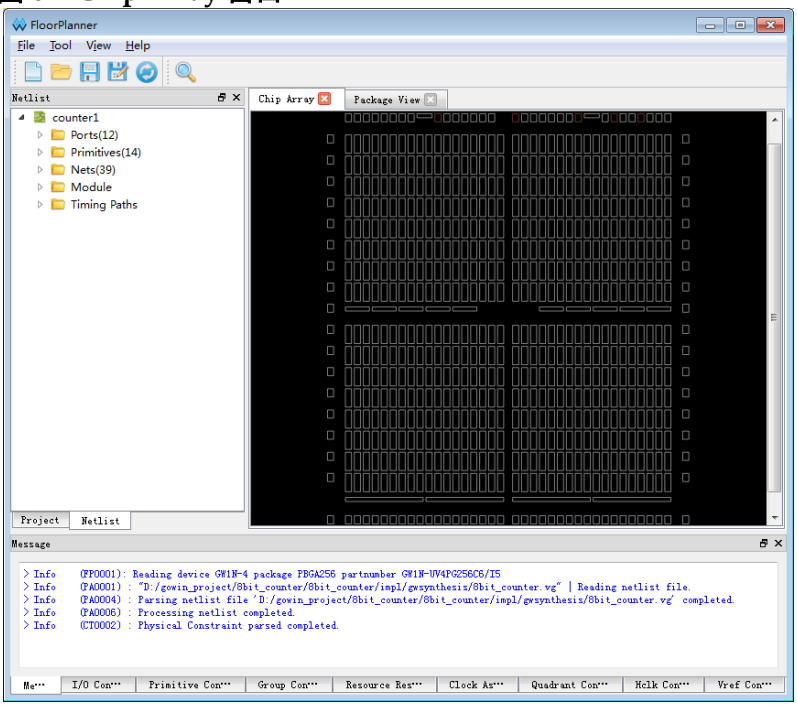
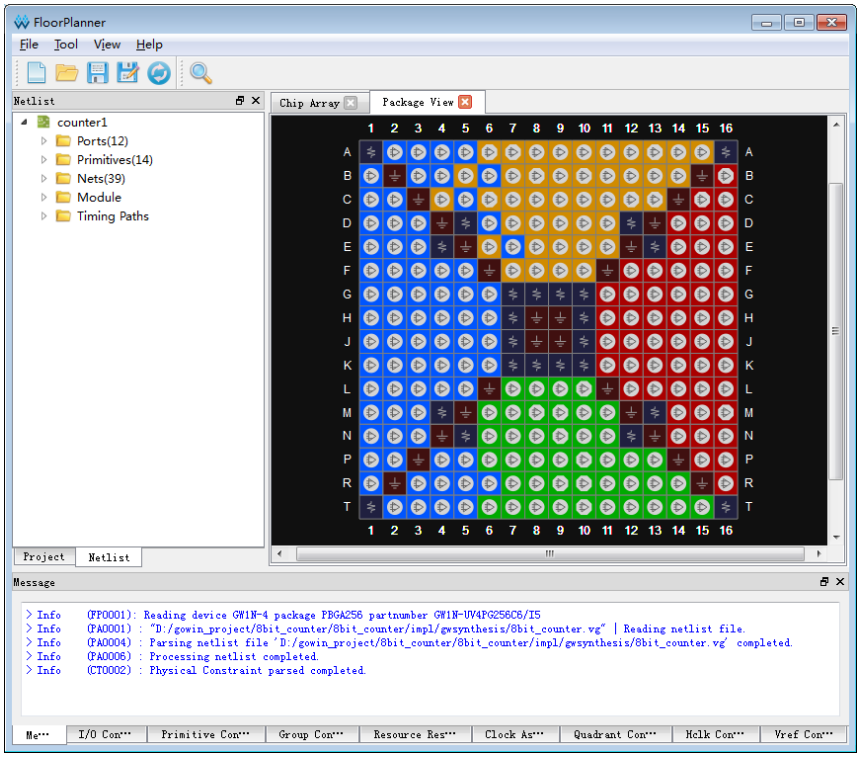


图 6-2 Package View 窗口



6.3 时序约束编辑器（Timing Constraints Editor）

高云时序约束编辑器（Timing Constraints Editor）是高云半导体面向市场自主研发的时序约束编辑工具，支持多种时序约束命令的编辑，包括时钟约束、输入输出约束、路径约束和时钟报告等约束编辑。Timing Constraints

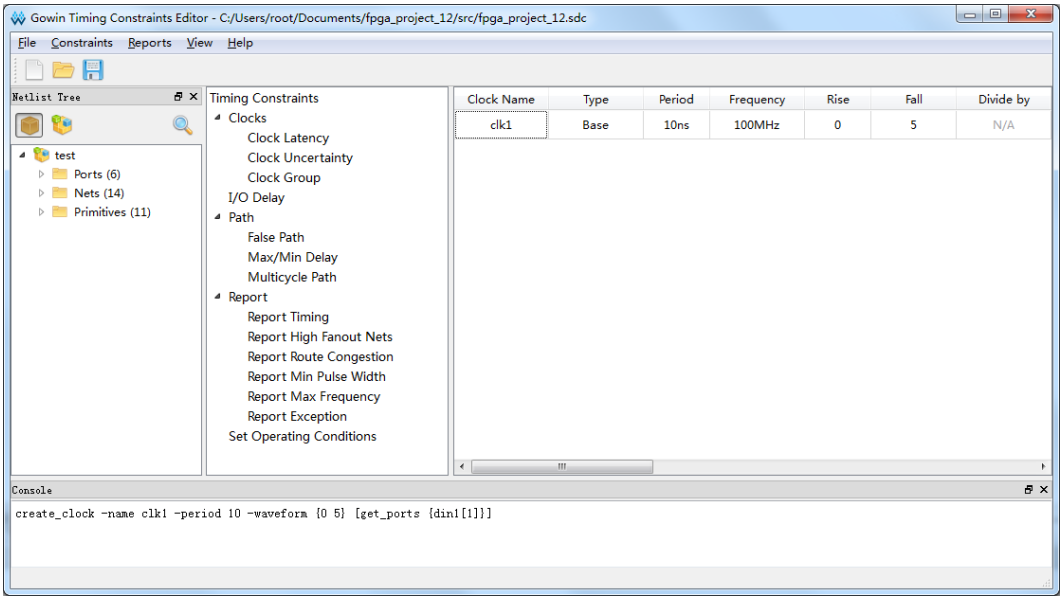
Editor 提供了简单快捷的时序约束编辑功能，可支持高云半导体的各 FPGA 芯片产品。

启动 Timing Constraints Editor 的方式有两种：

1. 如未建立 FGPA 工程，在菜单栏中，选择“Tools>Timing Constraints Editor”，此时，需要通过 File>new 加载网表文件；
2. 如已建立 FPGA 工程，在过程管理区运行 Synthesize 后，双击“Timing Constraints Editor”，则 Timing Constraints Editor 会直接加载工程文件并显示在 Timing Constraints Editor 界面，如图 6-3 所示。

有关时序约束编辑器的详细使用方法，请参考*《Gowin 设计约束指南》*。

图 6-3 创建时钟界面



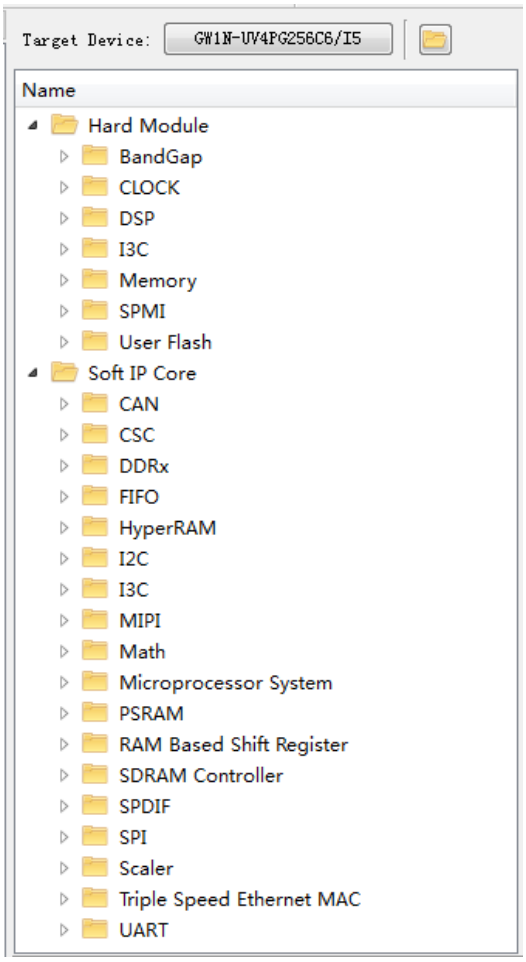
6.4 IP Core 产生器（IP Core Generator）

IP Core Generator 工具主要用于产生实例化的高云器件硬核以及高云发布的 IP，通过工具产生实例化的设计之后，用户可调用该实例化模块实现设计所需的功能。目前 IP Core Generator 包括原语相关的 Module 部分和参考设计相关的 IP Core 两个大组成部分，如图 6-4 所示。

通过单击菜单栏中 Tools 下拉列表中“IP Core Generator”启动 IP Core Generator 工具，进行 IP 调用过程。

具体每个 IP 的调用方法，请参考文档*《Gowin IP 核产生工具用户指南》*。

图 6-4 IP Core Generator 界面



注！

置灰的 Hard Module 或者 Soft IP Core 为当前 device 所不支持的。

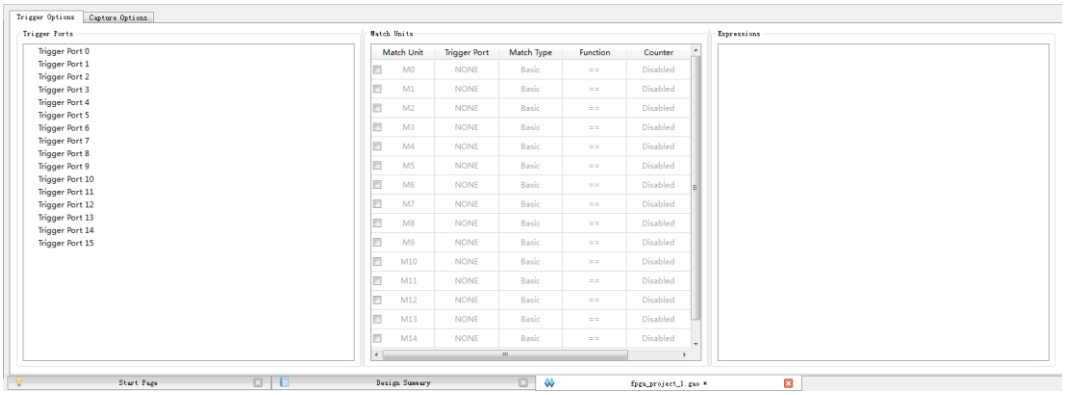
6.5 高云在线逻辑分析仪（Gowin Analyzer Oscilloscope）

高云在线逻辑分析仪（GAO）是高云半导体自主研发的一款数字信号分析工具，旨在帮助用户更加简便地分析设计中信号之间的时序关系，快速进行系统分析和故障定位，提高设计效率。

GAO 包括 Gowin GAO 配置和 Gowin Analyzer Oscilloscope 两个工具。Gowin GAO 配置主要用于把定位信息配置到设计中，这些定位信息主要基于采样时钟、触发单元和触发表达式；Gowin Analyzer Oscilloscope 通过 JTAG 接口连接软件和目标硬件，将 Gowin Core Inserter 设置的采样信号的数据直观地通过波形显示出来。

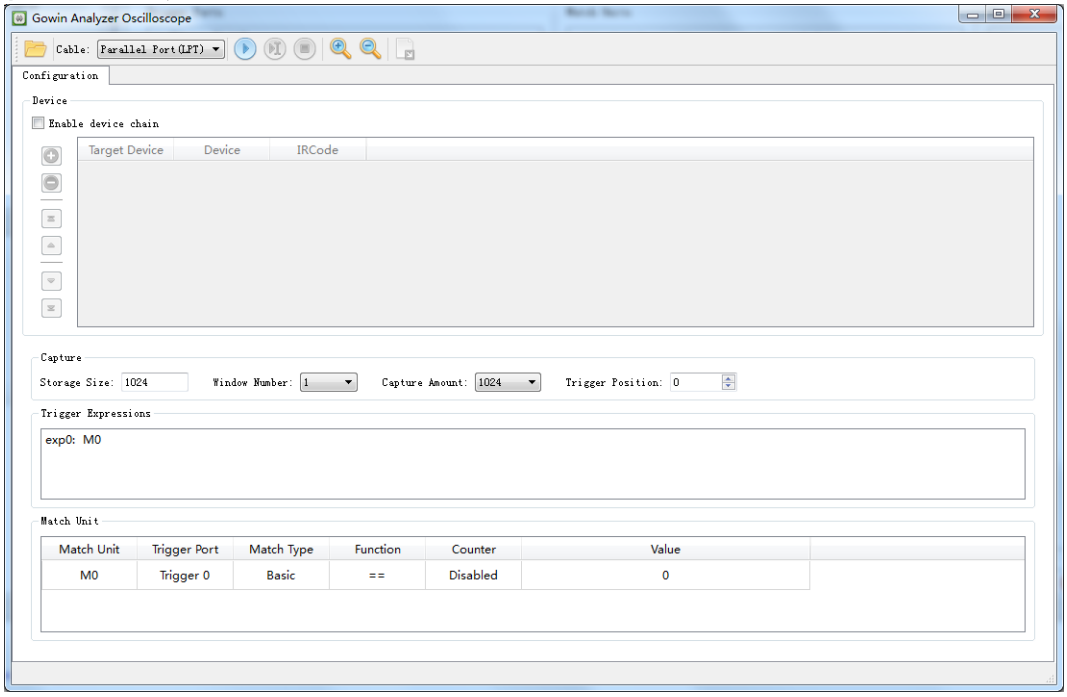
启动 GAO 之前，需在工程管理区新建 GAO 配置文件（.gao），打开配置文件界面，如图 6-5 所示。

图 6-5 GAO 配置界面



配置文件建立之后，在菜单栏中，选择“Tools ＞ Gowin Analyzer Oscilloscope，打开高云半导体在线逻辑分析仪工具，如图 6-6 所示。

图 6-6 GAO 界面



在线逻辑分析仪的配置和使用方法请参考*《GOWIN 在线逻辑分析仪用户指南》*。

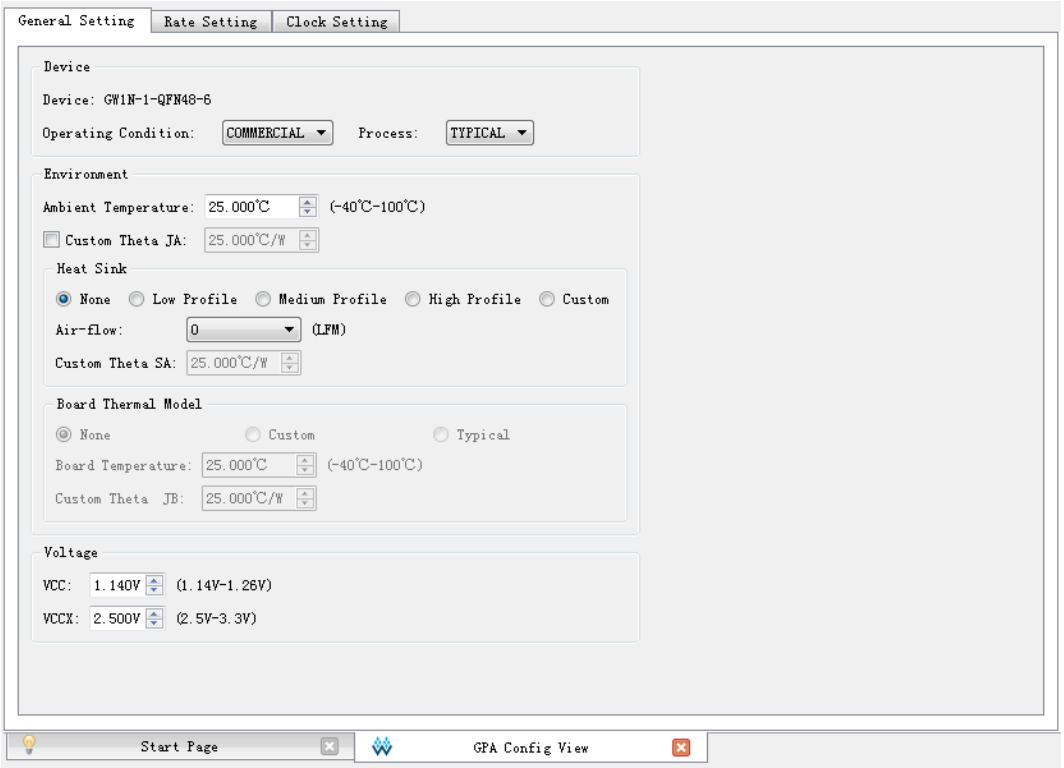
6.6 GPA 功耗分析工具（Gowin Power Analyzer）

高云功耗分析工具（GPA）为用户提供尽可能准确的功耗分析，提供了丰富的用户设置选项，用户可根据实际完成分析前的配置，配置越接近设计的实际情况，高云功耗分析工具提供的功耗分析结果越准确。

目前，GPA 工具的启动首先是以新建配置文件（.gpa）为基础，步骤如下所示：

1. 在软件工程管理区（Design），单击“File> New…”，打开“New”对话框；
2. 选择“GPA Config File”，在弹出的窗口中填写“Name”；
3. 单击“OK”，即可在“Design”窗口看到新建的 GPA Config File；
4. 双击文件名，在源文件编辑区显示“GPA Config View”即可配置，如图 6-7 所示。

图 6-7 GPA 配置界面



有关高云功耗分析工具的配置和使用方法，请参考*《Gowin 功耗分析工具用户指南》*。

6.7 块存储器初始化文件编辑器

块存储器初始化文件是一个 ASCII 文件，其扩展名为.mi；用户可根据自身设计要求，生成相应格式的初始化文件，用以指定存储器中每个地址下的初始值。

块存储器初始化文件的文件名为*.mi(file_name.mi)，文件中每一行代表一个存储单元，行数即为存储单元的个数，也代表存储器的地址深度 Address Depth；列数代表每个存储单元有多少位，即内存的数据宽度 Data Width。地址从上到下依次递增，每行数据高位在前，低位在后。

高云存储器初始化文件格式支持二进制、十六进制、带地址十六进制格式，.mi 文件内容格式举例如下：

二进制格式（Bin File）

Bin 文件是由二进制数 0 和 1 组成的文本文件，行数代表存储器的地址深度，列数代表存储器的数据宽度。

```
#File_format=Bin
#Address_depth=16
#Data_width=32
00001100000100000000100100010000
10000000010010000100000001000000
01000000100000001000000010000000
00100000100001001100000011000000
00000100000001000000010000000100
01000010001010100000101000001010
00100010010001000000010001000110
01000101000001110000010101000001
01100100001001001000010000100100
01001001010010010010100101001001
01100101001001010000010100100101
11000001101001010000010110100101
01001000100010000010110000001100
10000101001011010100110100101101
01101100001100110000011100011001
00001001001010010100000110010000
```

十六进制格式（Hex File）

Hex 文件与 Bin 文件格式类似，由十六进制数 0~F 组成，行数代表存储器的地址深度，每一行数据的二进制位数，代表存储器的数据宽度。

```
#File_format=Hex
#Address_depth=8
#Data_width=16
3A40
A28E
0B52
1C49
D602
0801
03E6
4C18
```

带地址十六进制格式（Address-Hex File）

Address-Hex 文件是在文件中对有数据记录的地址和数据都进行记录，

地址和数据都是由十六进制数 0~F 组成，每行中冒号前面是地址，冒号后面是数据，文件中只对写入数据的地址和数据进行记录，没有记录的地址默认数据为 0。

```
#File_format=AddrHex
#Address_depth=256
#Data_width=16
9:FFFF
23:00E0
2a:001F
30:1E00
```

高云块存储器初始化文件的编辑是以新建配置文件（.mi）为基础，初始化文件编辑器具体使用步骤如下：

1. 在软件工程管理区（Design），单击“File> New…”，打开“New”窗口；
2. 选择“Memory Initiazation File”，如图 6-8 所示点击“OK”，在弹出的 New File 提示框中填写初始化文件名字后点击“OK”，如图 6-9 所示；
3. 启动如图 6-10 所示的初始化文件配置界面，界面左侧部分表格填写初始值，右侧部分配置初始化文件大小和视图格式；
4. 在配置界面的右侧配置初始化文件的 Depth 和 Width，以及左侧表格中地址和初始值的数值显示格式。
   - Depth 和 Width 要与用户在 IP Core Generator 界面上所选择 Block Memory 或 Shadow Memory 的 Address Depth 及 Data Width 一致，若初始化文件中 Address Depth 或 Data Width 大于界面上所选择的值，IP Core Generator 将会提示错误信息；若 Address Depth 或 Data Width 小于各自界面上所选择的值，则未指定的地址下的值默认初始化为 0，设置完点击“Update”；
   - 左侧表格中地址和数值的显示格式可以选择二进制，十六进制，带地址十六进制等格式；
5. 在配置界面的左侧表格中进行初始值的写入，此外在左侧表格中可以对表格的视图格式进行设置。
   - 通过表头右键可以配置列数的显示，有 1、8、16 三种选择，如图 6-11 所示；
   - 表格中的初始值既可以通过双击后手动写入，也可以通过右键进行设置，在要输入数值处右键，选择“Fill with 0”是指初始值为 0，“Fill with 1”是指初始值每位都为 1，“Custom Fill”使用户可以根据需要进行数值写入，同样也可批量设置初始值如图 6-12 所示。
6. 保存文件。

图 6-8 初始化文件新建 New 提示框

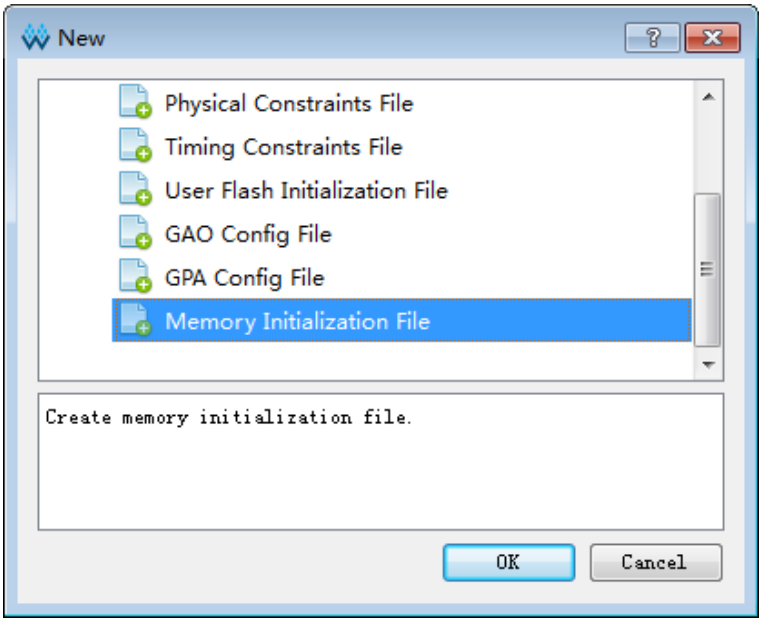


图 6-9 初始化文件新建 New File 提示框

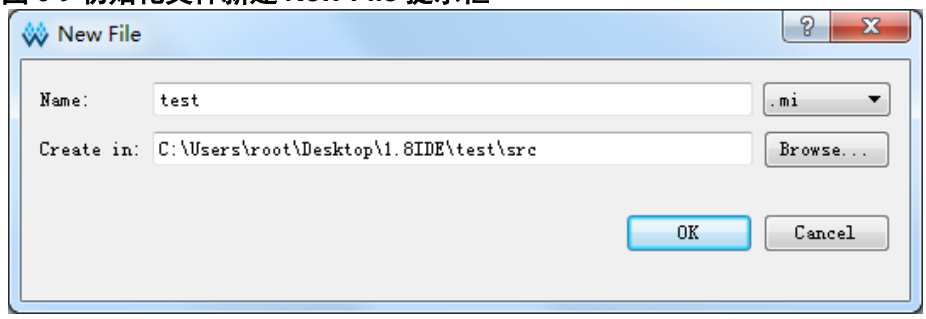


图 6-10 初始化文件配置界面

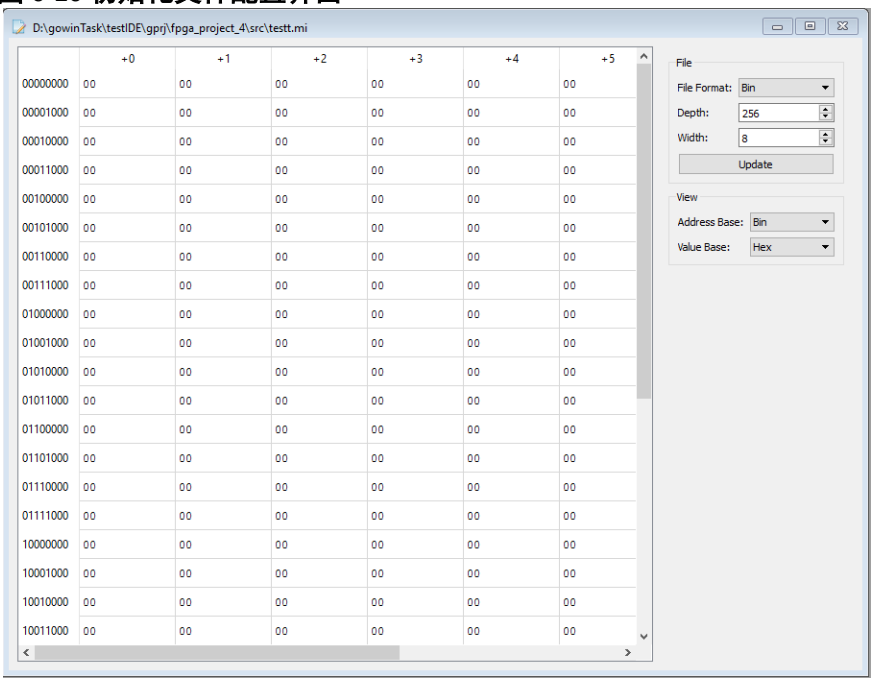


图 6-11 列数配置

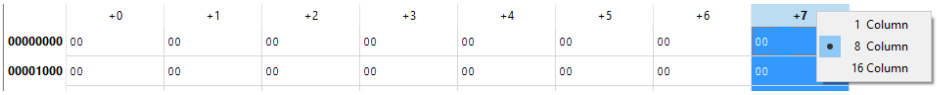
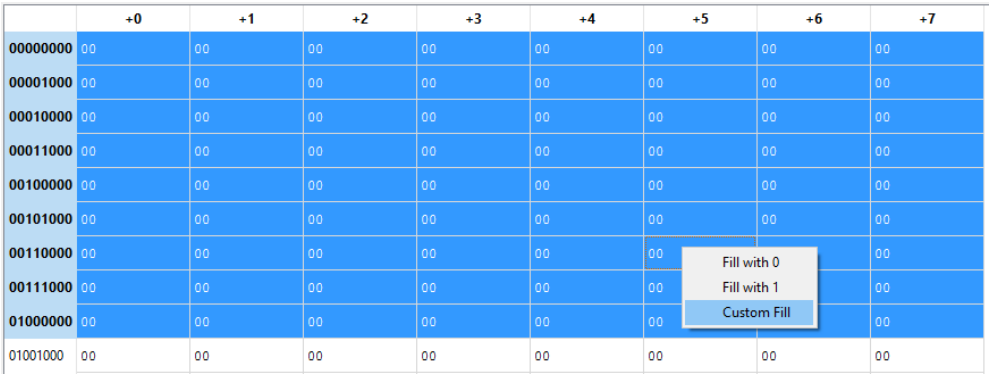


图 6-12 批量设置



7 云源软件输出文件介绍

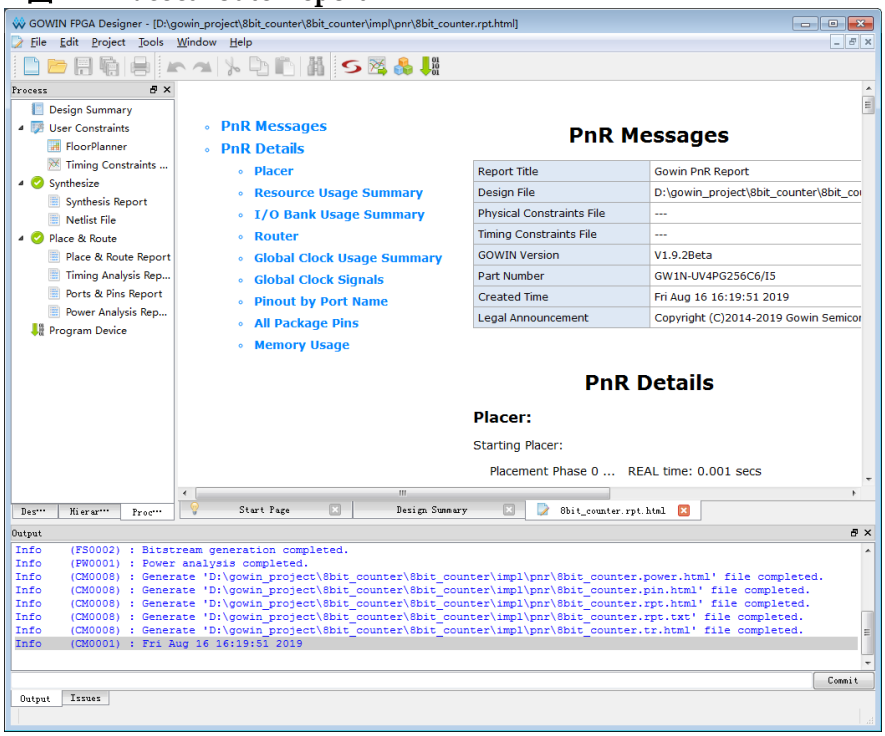
高云云源软件在 FPGA 设计过程中，除生成比特流文件以外，亦可通过使用不同的运行参数，可生成多个 Gowin 云源软件报告供用户参考，默认生成的报告包括布局布线报告、端口属性文件、时序报告和功耗分析报告等。此外，用户可通过右键单击 Place & Route，修改配置属性生成管脚约束文件、物理网表文件等。

7.1 布局布线报告

布局布线报告，列出了用户设计占用的芯片资源信息、内存消耗信息、时间消耗信息等，方便用户了解设计的大小及与目标芯片是否匹配等内容。文件后缀名为.rpt.html，具体信息可查看*.rpt.html 文件。

用户可在过程管理区的 Place & Route 区，双击“Place & Route Report”，打开 FPGA 工程对应的布局布线报告，如图 7-1 所示。

图 7-1 Place&Route Report

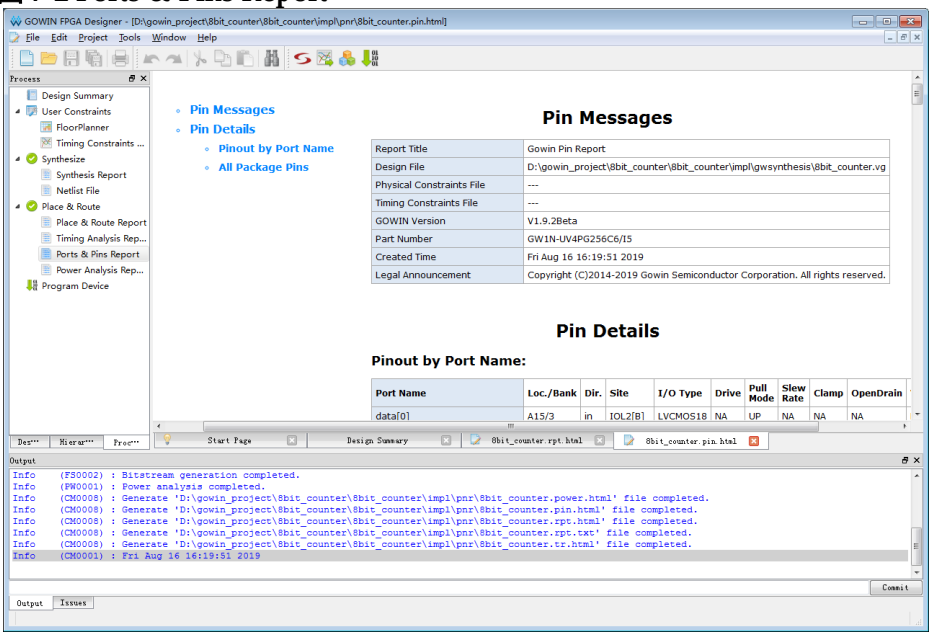


7.2 端口属性报告

端口属性报告，是在布局之后输出的端口属性的文件，包括端口的类型、属性及端口位置信息等，生成的文件后缀名为.pin.html，具体信息可查看*.pin.html 文件。

用户可在过程管理区的 Place & Route 区，双击“Ports & Pins Report”，打开 FPGA 工程对应的端口属性报告，如图 7-2 所示。

图 7-2 Ports & Pins Report



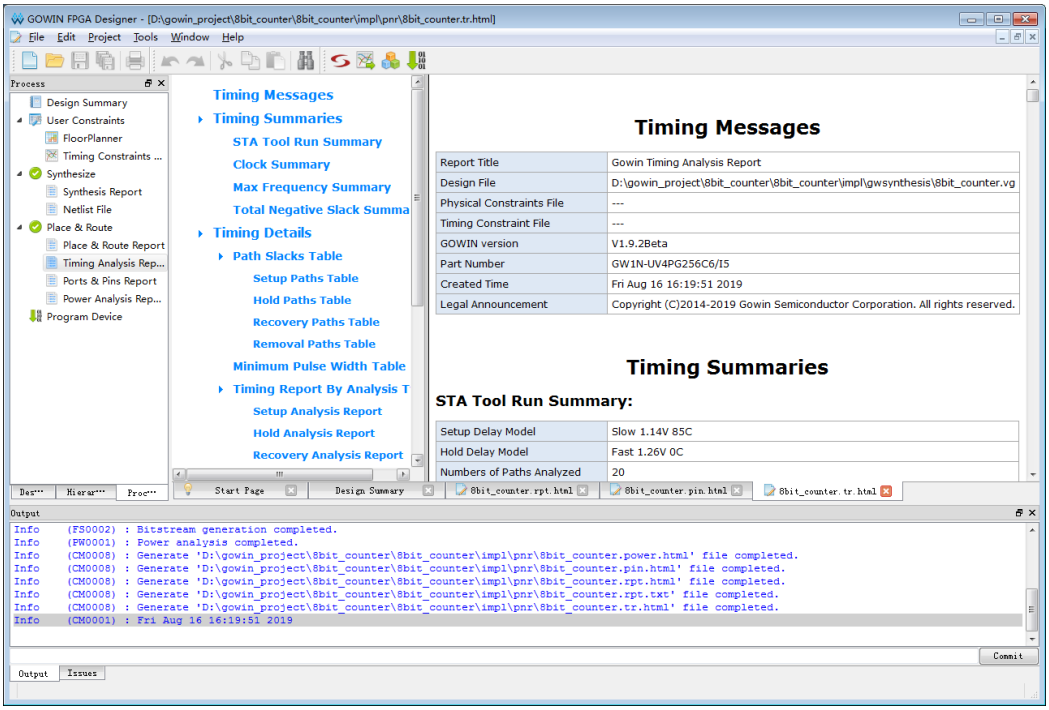
7.3 时序报告

时序报告输出提供两种类型的时序报告：网页格式和文本格式，默认为网页格式。

目前产生的时序报告包括建立时间检查、保持时间检查、恢复时间检查、移除时间检查、最小时钟脉冲检查、最大扇出路径、布线拥塞度报告等部分，默认情况下对上述所有检查进行报告，并提供最大频率的报告。

用户可在过程管理区的 Place & Route 区，双击“Timing Analysis Report”，打开 FPGA 工程对应的时序报告，如图 7-3 所示。

图 7-3 时序报告内容



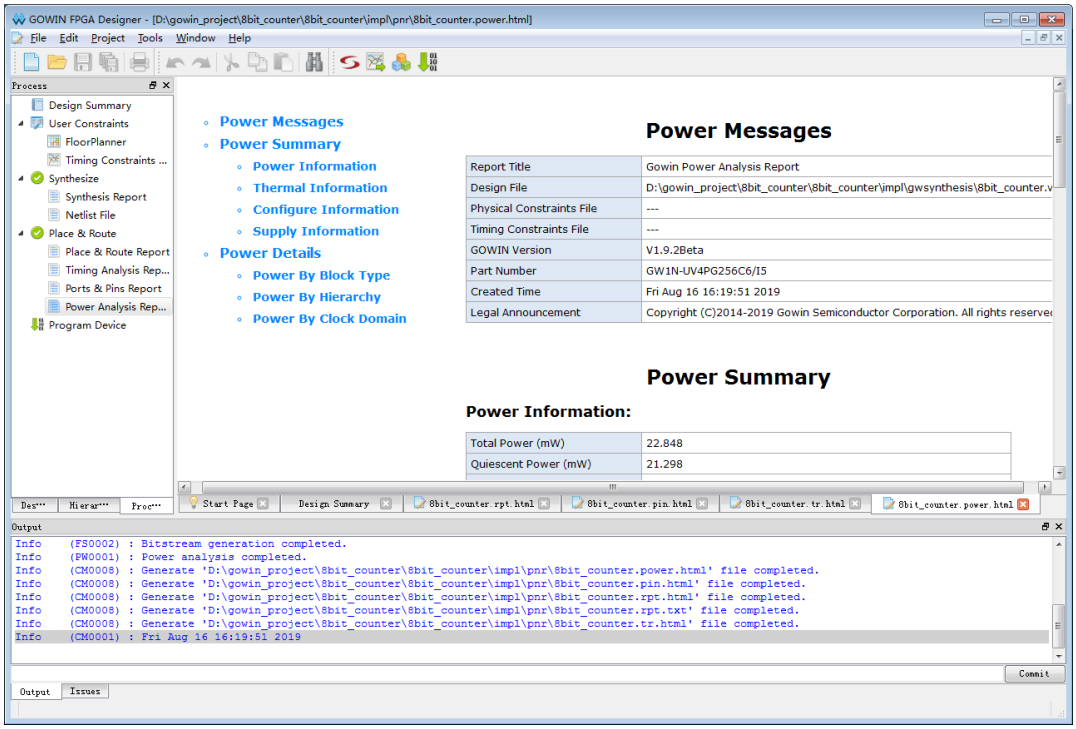
7.4 功耗分析报告

功耗分析报告主要是针对用户设计，根据器件的特性做一个预估的功耗计算，帮助用户评估设计的基本功耗值。

用户可在过程管理区的 Place & Route 区，双击“Power Analysis Report”，可打开 FPGA 工程对应的功耗分析报告，如图 7-4 所示。

有关功耗分析的影响因素，请参考*《Gowin 功耗分析工具用户指南》*。

图 7-4 功耗分析报告


GOWIN FPGA Designer - [D:\gowin_project\8bit_counter\8bit_counter\impl\pnr\8bit_counter.power.html]
File Edit Project Tools Window Help
Process
Design Summary
User Constraints
FloorPlanner
Timing Constraints ...
Synthesize
Synthesis Report
Netlist File
Place & Route
Place & Route Report
Timing Analysis Rep...
Ports & Pins Report
Power Analysis Rep...
Program Device
Power Messages
Power Summary
Power Information
Thermal Information
Configure Information
Supply Information
Power Details
Power By Block Type
Power By Hierarchy
Power By Clock Domain
Power Messages
Report Title Gowin Power Analysis Report
Design File D:\gowin_project\8bit_counter\8bit_counter\impl\gwsynthesis\8bit_counter.v
Physical Constraints File ---
Timing Constraints File ---
GOWIN Version V1.9.2Beta
Part Number GW1N-UV4PG256C6/I5
Created Time Fri Aug 16 16:19:51 2019
Legal Announcement Copyright (C)2014-2019 Gowin Semiconductor Corporation. All rights reserve
Power Summary
Power Information:
Total Power (mW) 22.848
Quiescent Power (mW) 21.298
Start Page
Design Summary
8bit_counter.rpt.html
8bit_counter.pin.html
8bit_counter.tr.html
8bit_counter.power.html
Output
Info (FS0002) : Bitstream generation completed.
Info (PW0001) : Power analysis completed.
Info (CM0008) : Generate 'D:\gowin_project\8bit_counter\8bit_counter\impl\pnr\8bit_counter.power.html' file completed.
Info (CM0008) : Generate 'D:\gowin_project\8bit_counter\8bit_counter\impl\pnr\8bit_counter.pin.html' file completed.
Info (CM0008) : Generate 'D:\gowin_project\8bit_counter\8bit_counter\impl\pnr\8bit_counter.rpt.html' file completed.
Info (CM0008) : Generate 'D:\gowin_project\8bit_counter\8bit_counter\impl\pnr\8bit_counter.rpt.txt' file completed.
Info (CM0008) : Generate 'D:\gowin_project\8bit_counter\8bit_counter\impl\pnr\8bit_counter.tr.html' file completed.
Info (CM0001) : Fri Aug 16 16:19:51 2019
Commit
Output
Issues

附录 A SynplifyPro 属性及指示

A.1 编译属性及指示

full_case

仅用于 Verilog 中的 case 语句，表明所有可能的状态均已给出，不需其他硬件逻辑保持信号的值。

语法

object /* synthesis full_case */ ;

说明

object 可为 case、casex、casez。

parallel_case

仅用于 Verilog 中 case 语句，表明生成一个并行的多路选择结构，而非一个优先译码结构。

语法

object /* synthesis parallel_case */ ;

说明

Object 可为 case、casex、casez。

translate_on/translate_off

用于兼容其他综合软件，两者通常配对使用。在综合时，在两个指示中间的所有代码将被忽略，亦可用于在源代码中插入一段仿真代码。

语法

/* synthesis translate_off */

code

/* synthesis translate_on */

syn_encoding

强制选择状态机实现的方式。

语法

object /* synthesis syn_encoding = "value" */ ;

说明

- object 是状态寄存器定义；
- value 的值包括：
  - default：综合工具会自动选择编码方式以达到最好性能结果；
  - onehot：采用独热码编码方式；
  - gray：采用格雷码编码方式；
  - sequential：采用自然码编码方式；
  - safe：如不能到达任一个状态时让其回到复位态；
  - original：设置编码方式，但是软件依然会执行状态机和可行性分析。

syn_keep

保证经指定的 wire 在综合优化中保持不动，不会被优化。

语法

object /* synthesis syn_keep = 0|1 */ ;

说明

object 是 wire 或 reg 声明的对象。

syn_hier

控制在优化时对一个 Moudle 或 Component 实例的边界的层次化处理，该属性可用于设计中的多个模块。

语法

在 FDC 文件中：

define_attribute {object } syn_hier { value }

define_global_attribute syn_hier {flatten}

在 Verilog 文件中：

object /* synthesis syn_hier = " value " */ ;

在 VHDL 文件中：

attribute syn_hier of object : architecture is " value " ;

说明

syn_hier 的值包括：

- soft（缺省值）：Synplify 决定最优的边界，只影响指定的设计单元；
- firm：保留设计单元的界面允许 cell 跨越边界，只影响指定的单元；

- hard：严格保留设计单元的界面只影响指定的单元；
- fixed：保存设计单元的接口，固定防止所有被优化执行的跨层次边界和保留端口的接口；
- remove：去除声明该属性的层次，但不影响更低层次的单元；
- macro：严格保留设计的界面和内容；
- flatten：去除所有低于该属性所在层次的层次不动，也可将 flatten 和其他值组合使用。如 flatten,soft 等于 flatten；flatten,firm 平面化低于属性所在层次的所有层次，保留设计单元的界面保留对跨越边界的 cell 的优化；flatten,remove 平面化包括属性所在层次和低于该层次的所有层次，在低层声明的该属性取代在高层声明的这一属性。

loop_limit

在 verilog 文件中，当循环变量是一个变量，而非一个常数时，指定循环迭代循环的设计限制。

语法

beginning_of_loop_statement /* synthesis loop_limit integer */;

syn_looplimit

在 vhdl 文件中，当循环变量是一个变量，而不是一个常数时，指定循环迭代循环的设计限制。

语法

attribute syn_looplimit : integer;

attribute syn_looplimit of labelName : label is value;

syn_noprune

用来保持一个或多个 component 的实例，而不管其输出能否完成映射。一般在没有该指示的情况下，未用输出端口的实例会从网表文件中删除。

语法

在 FDC 文件中：

define_attribute {module|instance} syn_noprune {0|1}

在 Verilog 文件中：

object /* synthesis syn_noprune = 1 */ ;

在 VHDL 文件中：

attribute syn_noprune : boolean

说明

Object 可为 module、declaration，或者可为实例。

syn_preserve

用在某些独立的寄存器或模块上，使模块中的所有寄存器在优化时保持不动，也可用于保持特定的状态机在优化时不动。

语法

在 Verilog 文件中：

object /* synthesis syn_preserve = 0 |1 */

在 VHDL 文件中：

attribute syn_preserve of object : objectType is true | false;

说明

object 可为寄存器定义信号或者是 Module 名。

A.2 映射属性及指示

syn_allow_retiming

确定寄存器是否可穿过组合逻辑以提高性能。

语法

在 FDC 文件中：

define_attribute {register} syn_allow_retiming {1|0}

define_global_attribute syn_allow_retiming {1|0}

在 Verilog 文件中：

object /* synthesis syn_allow_retiming = 0 | 1 */;

在 VHDL 文件中：

attribute syn_allow_retiming of object : objectType is true | false;

syn_ramstyle

确定设计中 RAMs 的实现方法，如寄存器或内存块等。可将该属性施加于 RAM 驱动的寄存器信号或 RAM 实例名。

语法

在 FDC 文件中，

define_attribute { signalname [bitRange]} -syn_ramstyle value

define_global_attribute syn_ramstyle value

在 Verilog 文件中：

object /* synthesis syn_ramstyle =value */

在 VHDL 文件中：

attribute syn_ramstyle of object : objectType is value;

syn_romstyle

确定 ROM 的实现架构，在 Synplify Pro 中用 case 语句生成 ROMs 至少应有一半的地址被赋予有效值，可选择采用逻辑或分布 ROM 实现 ROM。

语法

在 FDC 文件中：

define_attribute { romPrimitive } syn_romstyle {logic | block_ram | lpm_rom | MLAB | distributed | select_rom }

在 Verilog 文件中：

object /* synthesis syn_romstyle = "logic | block_ram | lpm_rom | MLAB | distributed | select_rom" */ ;

在 VHDL 文件中：

attribute syn_romstyle of object : objectType is "logic | block_ram | lpm_rom | MLAB | distributed | select_rom";

syn_replicate

在优化期间控制寄存器的复制。

语法

在 FDC 文件中：

define_global_attribute syn_replicate {0 | 1};

在 Verilog 文件中：

object /* synthesis syn_replicate = 1 | 0 */;

在 VHDL 文件中：

attribute syn_replicate : boolean;

attribute syn_replicate of object : signal is true|false;

syn_direct_enable

控制设计中是否指定一条时钟使能 net 分配给指定存储单元的使能端， 缺省情况下软件会作最优选择。

语法

在 FDC 文件中：

efine_attribute {object} syn_direct_enable {1};

在 Verilog 文件中：

object /* synthesis syn_direct_enable = 1 */;

在 VHDL 文件中：

attribute syn_direct_enable of object : objectType is true;

syn_direct_reset

控制设计中是否指定一条 net 分配给指定的同步存储单元的 reset 端。

语法

在 FDC 文件中：

define_attribute syn_direct_reset {0|1};

在 Verilog 文件中：

object /* synthesis syn_direct_reset = 0|1*/;

在 VHDL 文件中：

attribute syn_direct_reset : boolean;

attribute syn_direct_reset of Object : signal is true|false;

syn_direct_set

控制设计中是否指定一条 net 分配给指定的同步存储单元的 set 端。

语法

在 FDC 文件中：

define_attribute syn_direct_set {0|1};

在 Verilog 文件中：

object /* synthesis syn_direct_set = 0|1*/;

在 VHDL 文件中：

attribute syn_direct_set : boolean;

attribute syn_direct_set of Object : signal is true|false;

syn_black_box

Syn_black_box 指令用于将特定模块当成黑盒综合，不论该模块内容是否为空，但要求模块接口已经过定义。

语法

在 FDC 文件中：

define_attribute { object }{syn_black_box}{1}

在 Verilog 文件中：

object /* synthesis syn_black_box */ ;

在 VHDL 文件中：

attribute syn_black_box of object : objectType is true;

syn_maxfan

设置一个输入端口、net 或寄存器输出端的扇出值。

语法

在 FDC 文件中：

define_attribute {object} syn_maxfan {integer}

在 Verilog 文件中：

object /* synthesis syn_maxfan = "value" */;

在 VHDL 文件中：

attribute syn_maxfan of object : objectType is "value";

syn_pipeline

允许将跟在乘法器后面的寄存器移入乘法器实现以提高频率。

语法

在 FDC 文件中：

define_attribute { register } syn_pipeline {0|1}

在 Verilog 文件中：

object /* synthesis syn_pipeline = {1|0} */ ;

在 VHDL 文件中：

attribute syn_pipeline of object : objectType is {true|false};

syn_probe

加入探测点以供测试和调试测内部信号。

语法

在 FDC 文件中：

define_attribute {n:netName} syn_probe{probePortname|1|0}

在 Verilog 文件中：

object /* synthesis syn_probe = "string" | 1 | 0 */;

在 VHDL 文件中：

attribute syn_probe of object : signal is "string" | 1 | 0;

syn_useenables

防止产生带时钟使能端的寄存器。

语法

在 FDC 文件中：

define attribute {register|signal} syn_useenables {0|1}

在 Verilog 文件中：

object /* synthesis syn_useenables = "0|1" */;

在 VHDL 文件中：

attribute syn_useenables of object : objectType is "true|false";

syn_netlist_hierarchy

决定输出的 vm 网表是层次化的还是平面化的，用于顶层模块的全局属性。

语法

在 FDC 文件中：

define_global_attribute syn_netlist_hierarchy {0 | 1}

在 Verilog 文件中：

object /* synthesis syn_netlist_hierarchy = 0 | 1 */;

在 VHDL 文件中：

attribute syn_netlist_hierarchy of object : objectType is true | false;

附录 B 设计示例

以用户设计 demo.v 为例，演示如何使用 Gowin 云源软件：

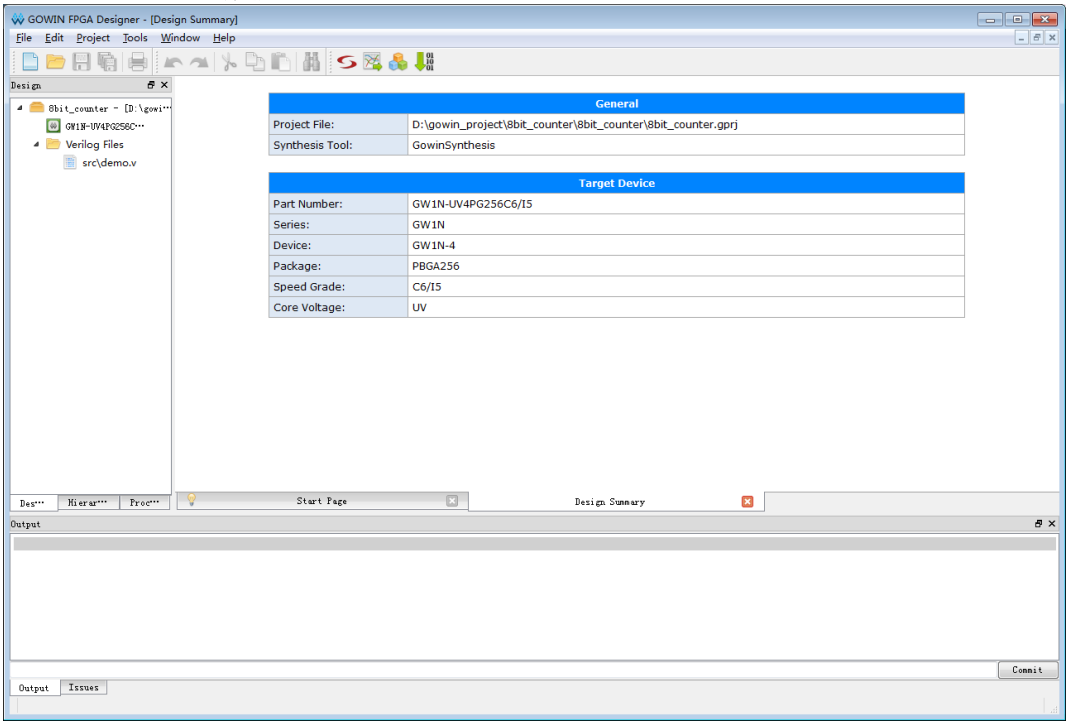
```
module demo (clk_50M,rst_n,led);
input clk_50M;
input   rst_n;
output[3:0] led;
reg[3:0]      led;
reg[24:0]   cnt;
reg           clk_led;

always@(posedge clk_50M or negedge rst_n) begin
    if (!rst_n) begin
            clk_led <= 1'b0;
            cnt <= 25'd0;
    end
    else begin
        if (cnt == 25'd2499_9999) begin
                clk_led<= ~clk_led;
                cnt<= 25'd0;
        end
        else begin
```

```
                cnt <= cnt + 25'd1;
            end
        end
    end
always@(posedge clk_led or negedge rst_n) begin
    if(!rst_n) begin
                led <=  4'h1;
    end
    else begin
                led <=  {led[2:0],led[3]};
    end
end
endmodule
```

B.1 建立工程

打开 Gowin 云源软件后参考 5.1 新建工程及 5.2 打开工程建立工程并添加 demo.v 到工程中，配置好设计属性，如图 B-所示。

图 B-1 Gowin 云源软件 IDE

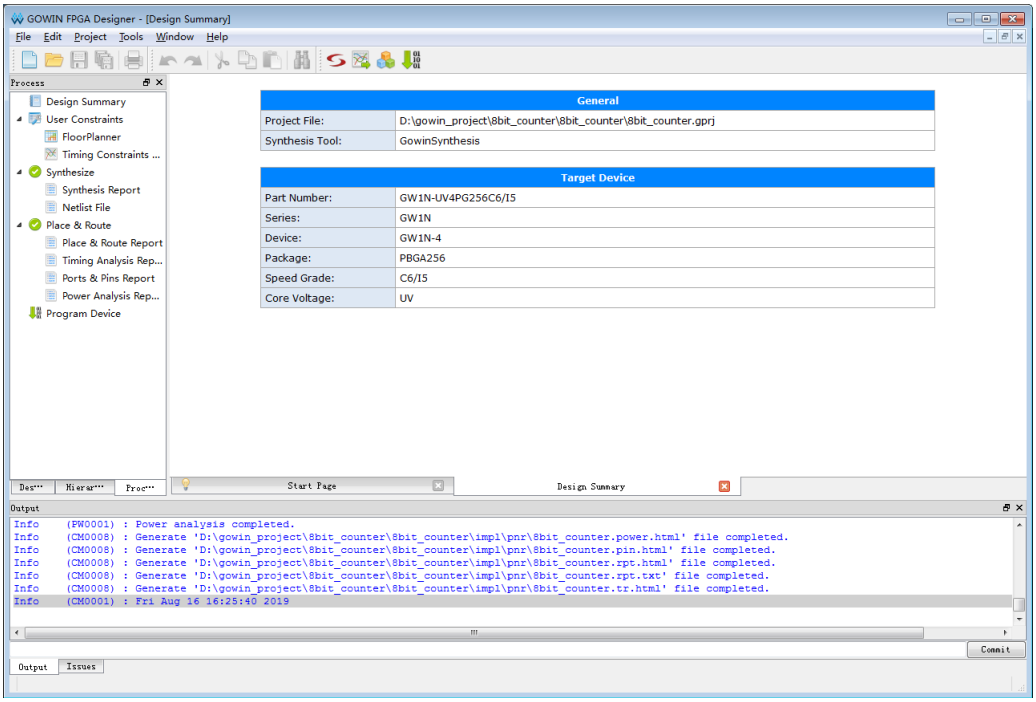


B.2 运行工程

运行工程方式如下：

1. 在“Process”窗口，双击“Synthesize”或者单击鼠标右键选择“Run”，进行用户设计综合优化操作；
2. 综合完成后，双击“Place & Route”或者单击鼠标右键选择“Run”，进行综合后网表的布局布线及产生 bitstream 文件，如图 B-2 所示。

图 B-2 运行工程界面



B.3 下载比特流

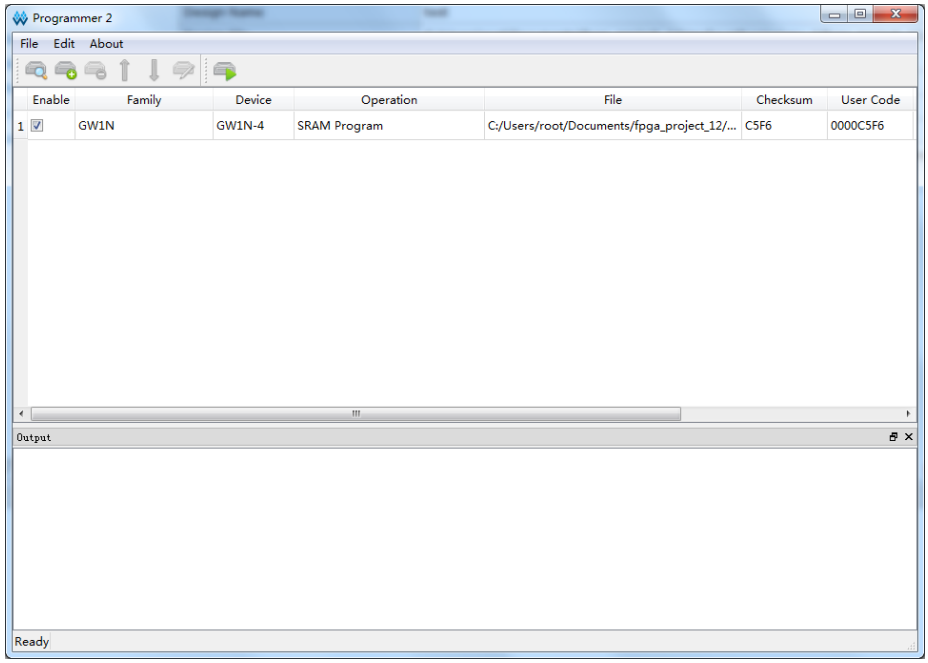
比特流下载方式如下：

1. 运行完布局布线之后，在“Process”窗口，双击“Program Device”或者右键选择“Run”，打开下载器的界面，如图 B-3 所示，工具会自动加载产生的 bitstream 文件到下载器；
2. 单击“ ”，执行 bitstream 文件下载。

注！

- 亦可通过以下方式执行 bitstream 文件下载：
- 使用快捷键 F5。

图 B-3 下载器界面


Programmer 2
File
Edit
About
Enable
Family
Device
Operation
File
Checksum
User Code
1
GW1N
GW1N-4
SRAM Program
C:/Users/root/Documents/fpga_project_12/...
C5F6
0000C5F6
Output
Ready

附录C Tcl 命令说明

1.9.1 IDE 的命令包括两类，一类为工程管理相关的命令，一类为流程执行命令，

C.1 启动命令行模式

C.1.1 gw_sh.exe

语法

命令：安装目录下\x.x\IDE\bin\gw_sh.exe

参数：无

[script file]

[-help]

参数为空：直接进入命令行控制台模式；

script file：执行一个指定的脚本文件；

-help：打印帮助信息。

应用示例：

```
#启动命令行模式
gw_sh
#执行脚本文件
gw_sh.exe script_file
#打印帮助信息
gw_sh.exe -help
```

C.2 工程管理命令

C.2.1 set_option

语法

命令：set_option

参数:：[-out_dir <working dir>]

<-device <gowin device>>

[-pn <gowin part number>]

[-prj_name <project name>]

[-synplify <file>]

[-synthesis_tool <synthesis tool>]

注！

[ ]内为可选项。

- **-out_dir:** 设置工作主目录。working dir 为给定的绝对或相对路径。默认为当前运行目录。
- **-device：**设置 device 信息。
- **-pn：**设置 part number 信息。gowin part number 为 pn 值。
- **-prj_name：**设置工程名, 默认为 gowin。
- **-synplify：**设置 synplify 可执行文件全路径，默认为相对路径下的 synplify_pro，用户可以自行定义。
- **-synthesis_tool：**设置源文件综合工具。synthesisi tool，仅支持“synplify_pro”及“gowinsynthesis”两种值。默认 synplify_pro。

应用示例

#设置工作主目录为相对目录“./test”，默认为当前运行目录

set_option –out_dir ./test

#设置工程 device 信息

set_option -device GW1N-4-LQFP144-6

#设置 part number 信息

set_option -pn GW1N-LV4LQ144C5/I4

#设置工程名

set_option -prj_name dsp_project

#设置 synplify 可执行文件全路径

set_option -synplify /home/test/ synplify_pro

#设置源文件综合工具

set_option -synthesis_tool synplify_pro

C.2.2 add_file

语法

命令：add_file

参数：[-hdl< file>]

[-vm< file>]

[-cst <file>]

[-sdc<file>]

[-cfg<file>]

[-gpa<file>]

[-gsc<file>]

[-fdc< file>]

[-gao<file>]

注！

[ ]内为可选项。

- -hdl< file>: 添加全路径 HDL 文件。
- -vm< file>：添加全路径网表文件。
- -cst <file>：添加全路径物理约束文件。
- -sdc<file>：添加全路径时序约束文件。
- -cfg<file>：添加全路径 device.cfg 文件。
- -gpa<file>：添加全路径功耗分析配置文件。
- -gsc<file>：添加全路径 gowinsynthesis 的约束文件。
- -fdc< file>：添加全路径 synplify_pro 的约束文件。
- -gao<file>：添加全路径 gao 文件。

应用示例

#添加 HDL 设计文件

add_file -hdl /user/Desker/test.vhdl

#添加 cst 约束文件

add_file -cst /user/Desker/test.cst

添加其他类型的文件使用方式与之类似。

C.2.3 rm_file

语法

命令：rm_file

参数：< file>

< file>：移除指定路径的 design 文件，file 为必选项，表示指定的全路径文件。该命令不会删除磁盘文件，支持相对路径与绝对路径。

应用示例

#移除物理约束文件

rm_file /user/Desker/test.cst

C.2.4 load_script

语法

命令：load_script

参数：< file>

< file>：file 为载入运行的脚本文件，内容为支持的脚本命令。

应用示例

#运行脚本文件

load_script /user/Desker/script.log

#script.log 的内容示例如下：

set_option -device GW1N-4-LQFP144-5

set_option -pn GW1N-LV4LQ144C5/I4

set_option -prj_name dsp_project

set_option -synthesis_tool synplify_pro

add_file -hdl /home/test/top.v

C.2.5 export_script

语法

命令：export_script

参数：< file>

< file>：file 为指定的导出全路径文件，包含文件名。如果路径不存在，则创建。

应用示例

#导出工程信息

export_script /user/Desker/log

C.3 流程执行命令

C.3.1 run_synthesis

语法

命令：run_synthesis

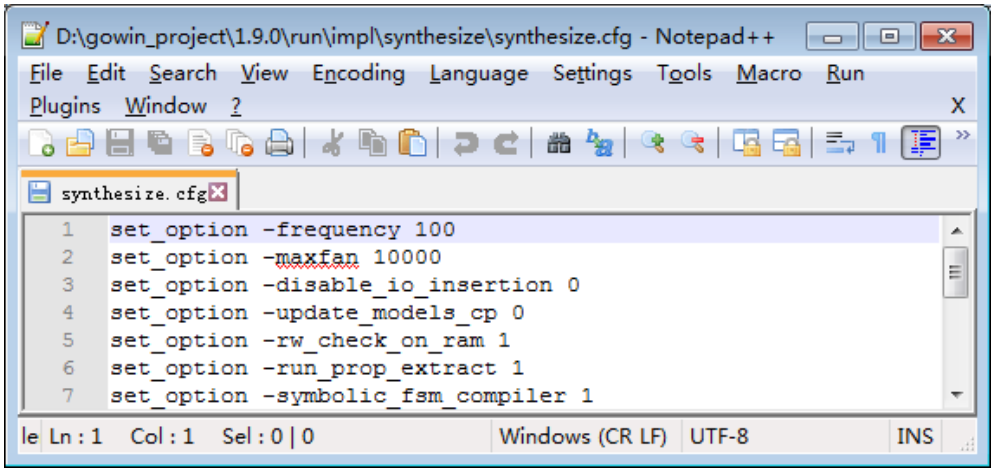
参数:：[-opt <file>]

注！

- [ ]内为可选项。

- **-opt <file>：**file 为指定自定义 synplify_pro 或 gowinsynthesis 选项文件。如图 B-31 所示，每一个命令、选项及参数应该独占一行。当指定该文件时，则使用该文件进行综合，GUI 模式下如不指定则采用默认选项文件。synplify_pro 所支持的命令及命令语法请参考 synplify_pro 帮助手册。

图 C-1 synplify_pro 选项文件图示



应用示例

#使用默认选项执行综合

run_synthesis

#使用选项文件进行综合，让执行频率为 100，最大 fanout 为 1000

run_synthesis -opt synthesize.cfg

synthesize.cfg 的内容如下：

set_option -frequency 100

set_option –maxfan 1000

C.3.2 run_pnr

语法

命令：run_pnr

参数:：[-opt <file>]

[-tt]

[-ibs]

[-oc]

[-posp]

[-o]

[-timing]

[-warning_all]

[-reg_not_in_iob]

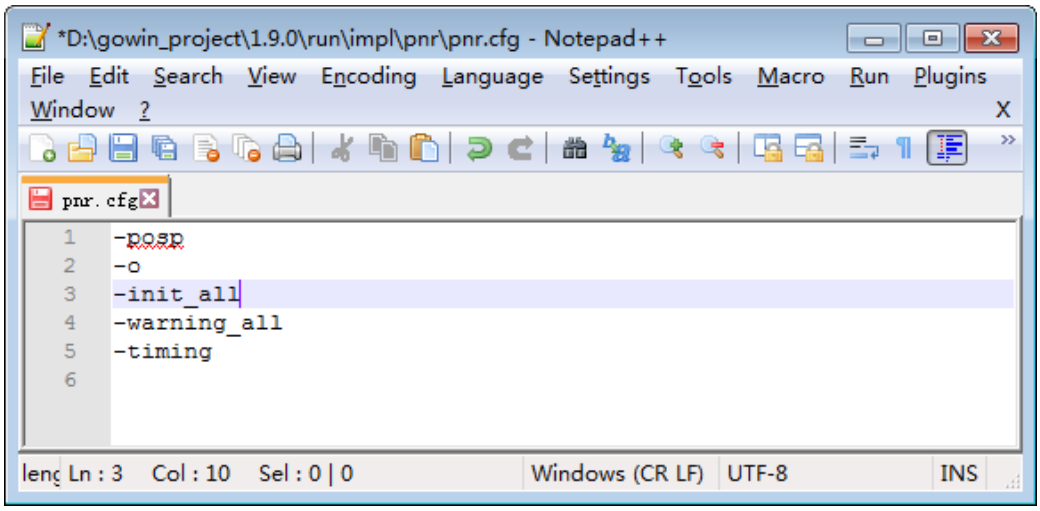
[-sdf]

[-init_all]

注！

- [ ]内为可选项。
- **-opt <file>**：file 为指定自定义 gowin 选项文件，如图 B-32 所示，每一个选项应该独占一行。当指定该文件时，则使用该文件进行 place & route，GUI 模式下如不指定采用默认选项文件。
- **-tt**：生成时序报告 txt 格式，后缀.tr。
- **-ibs**：生成 ibs 文件，后缀.ibs。
- **-oc**：生成实际约束文件，后缀。io.cst。
- **-posp**：生成 posp 文件,供 floorplanner 使用，后缀.posp。
- **-o**：生成 vo 文件，后缀.vo。
- -timing：时序驱动。
- -warning_all：打开所有警告。
- **-reg_not_in_iob**：禁止在 IOblock 上放置 DFF。
- **-sdf**：生成标准延迟格式文件。
- **-init_all**：对模块增加默认初始值。

图 C-2 pnr 选项文件图示



应用示例

#执行 place & route，生成 txt 格式的时序报告和 posp 文件

run_pnr -tt -posp

#使用选项文进行 place & route，生成 txt 格式的时序报告和 posp 文件。

run_ pnr -opt pnr.cfg

pnr.cfg 的内容如下：

-posp

-tt

GOWIN高云
智慧逻辑 定制未来