



Gowin RiscV_AE350_SOC 硬件设计 用户手册

SUG1031-1.0, 2023-09-12

版权所有 © 2023 广东高云半导体科技股份有限公司

 GOWIN高云、Gowin、GOWIN、云源以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其所有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	描述
2023/09/12	1.0	初始版本。

目录

目录	i
图目录	iii
表目录	v
1 关于本手册	1
1.1 手册内容	1
1.2 术语、缩略语	1
1.3 技术支持与反馈	2
2 系统架构	3
3 系统特征	5
3.1 内核系统	5
3.2 存储器系统	7
3.3 总线外设系统	8
4 系统性能	11
4.1 系统时钟	11
4.2 内存时钟	11
4.3 性能指标	11
5 系统端口	13
6 系统配置	20
7 设计流程	22
7.1 硬件目标	22
7.2 软件版本	22
7.3 设计流程	22
8 详细设计方法	24
8.1 建立工程	24

8.2 IP 设计	26
8.2.1 PLIC	28
8.2.2 Instruction Memory	28
8.2.3 Data Memory	29
8.2.4 I2C	30
8.2.5 PIT	31
8.2.6 SPI	31
8.2.7 UART1 和 UART2	32
8.2.8 GPIO	33
8.2.9 WDT	33
8.2.10 RTC	34
8.2.11 SMU	34
8.2.12 DMAC	35
8.2.13 Extended APB Slave	36
8.2.14 Extended AHB Slave	36
8.2.15 Extended AHB Master	37
8.3 用户设计	38
8.3.1 RiscV_AE350_SOC IP 设计	38
8.3.2 PLL_ADV IP 设计	38
8.3.3 用户设计	39
8.4 约束	40
8.4.1 物理约束	40
8.4.2 时序约束	40
8.5 配置	41
8.5.1 综合选项	41
8.5.2 布局布线选项	42
8.5.3 码流选项	43
8.6 综合	43
8.7 布局布线	44
8.8 下载	44
9 参考设计	46

图目录

图 2-1 系统架构	3
图 8-1 New Project	24
图 8-2 Project Name.....	25
图 8-3 Select Device	26
图 8-4 Summary	26
图 8-5 IP Core Generator	27
图 8-6 RiscV_AE350_SOC IP Core	27
图 8-7 PLIC 配置	28
图 8-8 Instruction Memory 配置.....	29
图 8-9 Data Memory 配置.....	30
图 8-10 I2C 配置.....	30
图 8-11 PIT 配置	31
图 8-12 SPI 配置.....	32
图 8-13 UART1 和 UART2 配置	32
图 8-14 GPIO 配置	33
图 8-15 WDT 配置	34
图 8-16 RTC 配置	34
图 8-17 SMU 配置	35
图 8-18 DMAC 配置.....	35
图 8-19 Extended APB Slave 配置	36
图 8-20 Extended AHB Slave 配置.....	37
图 8-21 Extended AHB Master 配置.....	37
图 8-22 RiscV_AE350_SOC IP 设计.....	38
图 8-23 PLL_ADV IP 设计	39
图 8-24 Timing Analysis Report.....	41

图 8-25 综合选项配置	42
图 8-26 布局布线选项配置	42
图 8-27 码流选项配置	43
图 8-28 综合	43
图 8-29 布局布线	44
图 8-30 下载选项配置	45

表目录

表 1-1 术语、缩略语	1
表 3-1 内核系统特征	5
表 3-2 存储器系统特征	7
表 3-3 总线外设系统特征	8
表 4-1 系统时钟	11
表 4-2 内存时钟	11
表 4-3 性能指标	12
表 5-1 系统端口	13
表 6-1 系统配置	20
表 8-1 参考设计的 JTAG 物理约束	40

1 关于本手册

1.1 手册内容

本手册主要描述 Gowin® RiscV_AE350_SOC 的系统架构、系统特征、系统性能、系统端口、系统配置、硬件设计流程和方法。

1.2 术语、缩略语

本手册中的相关术语、缩略语及相关释义，如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
AHB	Advanced High Performance Bus	高性能总线
APB	Advanced Peripheral Bus	高级外设总线
BMC	Bus Matrix Controller	总线矩阵控制器
DDR	Double Data Rate Memory	双倍数据速率存储器
DLM	Data Local Memory	数据局部存储器
DMAC	Direct Memory Access Controller	直接内存访问控制器
DSP	Digital Signal Processor	数字信号处理器
GPIO	General Purpose Input and Output	通用输入输出
I2C	Inter-Integrated Circuit Bus	内部集成电路总线
ILM	Instruction Local Memory	指令局部存储器
ISA	Instruction Set Architecture	指令集架构
LRU	Least Recently Used	近期最少使用替换算法
MCU	Micro Controller Unit	微控制器单元
PIT	Programmable Interval Timer	可编程间隔定时器
PLIC	Platform Level Interrupt Controller	平台级中断控制器
PLMT	Platform Level Machine Timer	平台级机器模式定时器
PMP	Physical Memory Protection	物理内存保护
PWM	Pulse Width Modulation	脉冲宽度调制

术语、缩略语	全称	含义
RISC-V	Reduced Instruction Set Computer V	第五代精简指令集计算机
RTC	Real Time Clock	实时时钟
SMU	System Manage Unit	系统管理单元
SOC	System on Chip	片上系统
SPI	Serial Peripheral Interface	串行外设接口
UART	Universal Synchronous and Asynchronous Receiver/Transmitter	通用同步和异步接收器/发射器
WDT	Watch Dog Timer	看门狗定时器
WFI	Wait for Interrupt	等待中断唤醒

1.3 技术支持与反馈

高云®半导体提供全方位技术支持，在使用过程中如有疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

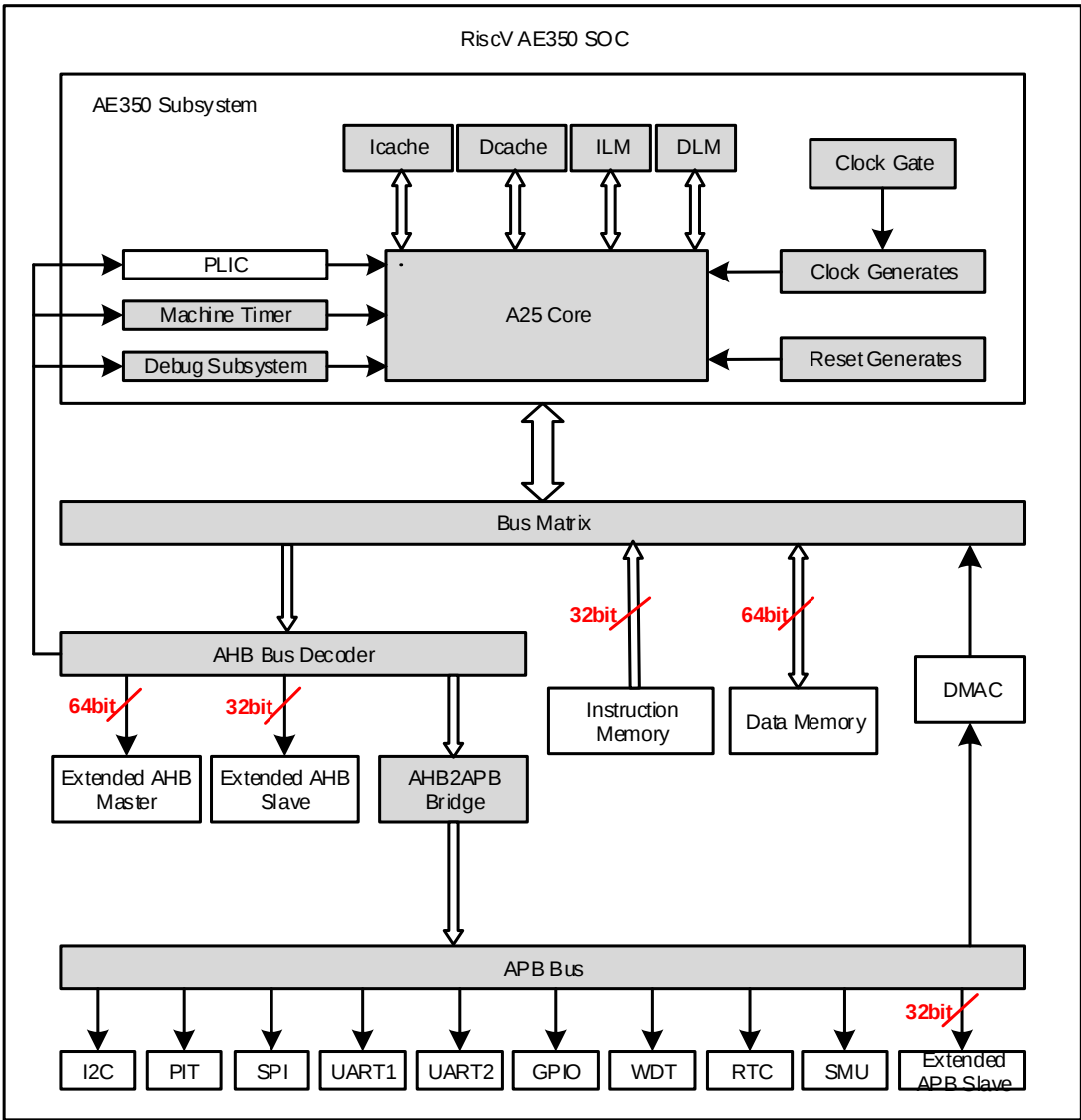
E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2系统架构

RiscV_AE350_SOC 的系统架构，如图 2-1 所示。

图 2-1 系统架构



RiscV_AE350_SOC 包括内核系统、存储器系统和总线外设系统。

- 内核系统包括 RISC-V 内核、PLIC、PLMT、调试系统、时钟门控、时

钟系统、复位系统、I-Cache、D-Cache、ILM、DLM。

- 存储器系统包括指令存储器和数据存储器。
- 总线外设系统包括 AHB 总线外设和 APB 总线外设。AHB 总线外设包括 64-bit Extended AHB Master、32-bit Extended AHB Slave、AHB2APB Bridge。APB 总线外设包括 I2C、PIT、SPI、UART1、UART2、GPIO、WDT、RTC、SMU、DMAC、32-bit Extended APB Slave。

3系统特征

以下各节详细描述 RiscV_AE350_SOC 的系统特征。

3.1 内核系统

内核系统的特征如表 3-1 所示。

表 3-1 内核系统特征

系统	特征
MCU Core	5-stage in-order execution pipeline
	Frequency: Max. 800MHz
	Hardware multiplier radix-2/radix-4/radix-14/radix-256/fast
	Hardware divider
	Optional branch prediction
	4-entry return address stack (RAS) Static branch prediction Dynamic branch prediction 32/64/128/256-entry branch target buffer (BTB) 256-entry branch history 8-bit global branch history
	Machine mode, Supervisor mode and User mode
	Optional performance monitors
	Misaligned memory access
	RISC-V physical memory protection
ISA	RISC-V RV32I base integer instruction set
	RISC-V "C" standard extension for compressed instructions
	RISC-V "M" standard extension for integer multiplication and division
	RISC-V "A" standard extension for atomic instructions

系统	特征
	RISC-V "N" standard extension for user-level interrupt and exception handling
	RISC-V "F" and "D" standard extensions for single/double-precision floating-point
	DSP supported
Privilege	Machine, Supervisor and User privilege mode
	Page-based virtual memory, supervisor mode and SV32 virtual address translation scheme
	128 number of shared Translation Lookaside Buffer (TLB) entries
	8 number of instruction TLB entries
	8 number of data TLB entries
	16 number of support physical memory protection entries
	Hardware performance monitors
	Vectored PLIC extension
	Hardware stack protection extension
	Hardware performance throttling mechanism extension
Power Management	Wait-for-interrupt (WFI) mode
Debug	RISC-V extend debug support
	Number of breakpoints: 8
	External JTAG debug transport module
	JTAG: IEEE STD 1149.1 style 4-wire JTAG interface Serial: 2-wire serial debug interface
PLIC	Configurable number of interrupts: 1-1023
	Number of interrupt priorities: 15
	Configurable number of targets: 1-16
	Vectored interrupt extension
	Support software interrupts
	Support 16 user interrupts
PLMT	The RISC-V architecture defines a machine timer that provides a real time counter and generates timer interrupts
Cache	I-Cache Size: 32KB Associativity: 4-way Replacement policy: pseudo-LRU

系统	特征
	Soft error protection: single/double error correction
	D-Cache
	Size: 32KB
	Associativity: 4-way
Local Memory	Replacement policy: pseudo-LRU
	Soft error protection: single/double error detection
	ILM
	Base: 0xA0000000
	Size: 64KB
	Soft error protection: single error correction and double error detection
	DLM
	Base: 0xA0200000
	Size: 64KB
	Soft error protection: single error correction and double error detection
	Slave port support

3.2 存储器系统

存储器系统的特征，如表 3-2 所示。

表 3-2 存储器系统特征

系统	特征
Instruction Memory	Address: 0x80000000~0x8FFFFFFF
	Size: Max. 256MB
	Bus: AHB bus interface
	Embedded: SPI Flash Memory
	Frequency: Max. 200MHz
Data Memory	Address: 0x00000000~0x7FFFFFFF
	Size: Max. 2GB
	Bus: AHB bus interface
	Embedded: DDR3 Memory
	Frequency: Max. 200MHz

3.3 总线外设系统

总线外设系统的特征，如表 3-3 所示。

表 3-3 总线外设系统特征

系统	特征
SMU	SMU controls the flow of power and clock changes
UART1	The UART controller handles communications to the UART interface. Compatible with the 16C550A register structure Support of the hardware flow control (CTS/RTS) Support of hardware handshaking to the DMA controller Option of by-8 or by-16 over-sampling frequency Support of 64-entry transmit/receive FIFO depth
UART2	The UART controller handles communications to the UART interface. Compatible with the 16C550A register structure Support of the hardware flow control (CTS/RTS) Support of hardware handshaking to the DMA controller Option of by-8 or by-16 over-sampling frequency Support of 64-entry transmit/receive FIFO depth
PIT	The PIT controller is a set of compact multi-function timers, which can be used as PWM or simple timers. Each multi-function timer provides the following 6 usage scenarios: One 32-bit timer Two 16-bit timers Four 8-bit timers One 16-bit PWM One 16-bit timer and one 8-bit PWM Two 8-bit timers and one 8-bit PWM
WDT	The WDT controller prevents the system from hanging if software is trapped in a deadlock condition. Internal/external clock source selection Separate timers for the watchdog interrupt and the system reset Eight choices of watchdog timer intervals Four choices of reset timer intervals Register write protection for watchdog timer control register and restart register Configurable magic number for register write protection

系统	特征
	Configurable magic number to restart the watchdog timer
RTC	RTC keeps track of current time relative to a base time. The time is stored in a RTC counter which records the amount of elapsed time since RTC is enabled. The frequency of clock source (before the clock divider) for the counter is 32.768KHz Separate second, minute, hour and day counters Periodic interrupts: half-second, second, minute, hour and day interrupts Programmable alarm interrupt with specified second, minute and hour values
GPIO	The GPIO controller supports up to 32 channels with independently programmable input/output control. Support of up to 32 GPIO channels Independent control of each channel Programmable I/O direction Optional pull-up/down control Optional support of interrupt trigger control Flexible combination of interrupt trigger modes: high/low level trigger and rising/falling/both edge trigger Optional de-bounce functionality for input channels
I2C	The I2C controller handles communications to I2C interface. Programmable to be either a master or a slave device Programmable clock/data timing Support of the I2C-bus Standard-mode (100 kb/s), Fast-mode (400 kb/s) and Fast-mode plus (1 Mb/s) Support of hardware handshaking to the DMA controller Support of the master-transmit, master-receive, slave-transmit and slave-receive modes Support of the multi-master mode Support of 7-bit and 10-bit addressing modes Support of general call addressing mode Support of auto clock stretch
SPI	The SPI controller handles communications to the SPI. The supported serial data formats range from 4 bits to 32 bits in length. Compliant with AMBA 2 AHB protocol specification Compliant with AMBA 3 APB protocol specification Support of MSB/LSB first transfer Support of DMA data transfer

系统	特征
	Support of programmable SPI SCLK Support of memory-mapped access (read-only) through AHB bus or EILM bus Support of SPI slave mode Quad I/O SPI interfaces TX/RX FIFO depth is 128 Programming port location on APB interfaces
DMAC	The DMAC enhances system performance by transferring large data blocks between devices in background to offload the processor. Compliant with AMBA AXI4 and APB4 Support of up to 8 DMA channels Support of up to 16 DMA request/acknowledge pairs for hardware handshake, 7 internal used, 8 for user Support of up to two AXI master ports for data transfers Support of up to two configurable DMA cores Support of an APB slave port for DMA register programming Support of 24–64 bits AXI address width Support of 32/64/128/256 bits AXI data width Support of narrow transfers on the AXI bus Support of group round-robin arbitration scheme with 2 priority levels Support of chain transfers
Extended APB Slave	For user to extend APB interface peripherals. 32-bit data bit width Size: 64MB AE350 is as master
Extended AHB Slave	For user to extend AHB interface peripherals. 32-bit data bit width Size: 128MB AE350 is as master
Extended AHB Master	For slave port support, access local memory via master. 64-bit data bit width AE350 is as slave

4系统性能

4.1 系统时钟

RiscV_AE350_SOC 的系统时钟，如表 4-1 所示。

表 4-1 系统时钟

系统时钟	时钟频率	描述
内核时钟	Max. 800MHz	RISC-V 内核时钟
DDR 时钟	Max. 200MHz	数据存储器时钟
AHB 时钟	Max. 200MHz	AHB 总线时钟和指令存储器时钟
APB 时钟	Max. 200MHz	APB 总线时钟
RTC 时钟	32.768KHz	RTC 时钟

注！

- 内核时钟、DDR 时钟、AHB/APB 时钟，三者之间为异步时钟
- AHB 时钟与 APB 时钟，二者之间为 1:1 同步时钟

4.2 内存时钟

RiscV_AE350_SOC 的 Embedded Data Memory（DDR3 Memory）的时钟，如表 4-2 所示。

表 4-2 内存时钟

内存时钟	时钟频率	描述
DDR3_MEMORY_CLK	400MHz	用户输入 DDR3 颗粒工作时钟
DDR3_CLK_IN	50MHz	DDR3 参考输入时钟

4.3 性能指标

RiscV_AE350_SOC 基于基准测试程序 Dhrystone、CoreMark 和 Whetstone 测量的性能指标，如表 4-3 所示。

表 4-3 性能指标

基准测试程序	性能指标
Dhrystone	1.72 DMIPS/MHz
CoreMark	3.224841 CoreMark/MHz
Whetstone	0.783 MWIPS/MHz

5系统端口

RiscV_AE350_SOC 的系统端口，如表 5-1 所示。

表 5-1 系统端口

名称	I/O	位宽	描述	所属
RESET_N	input	1	System reset	-
CORE_CLK	input	1	Core clock	-
DDR_CLK	input	1	Data memory clock	-
AHB_CLK	input	1	AHB or instruction memory clock	-
APB_CLK	input	1	APB clock	-
RTC_CLK	input	1	RTC clock	RTC
TCK_IN	input	1	JTAG clock	Debug Subsystem
TMS_IN	input	1	JTAG tms	
TRST_IN	input	1	JTAG trst	
TDI_IN	input	1	JTAG tdi	
TDO_OUT	output	1	JTAG tdo	
TDO_OE	output	1	JTAG tdo oe	
FLASH_SPI_CSN	inout	1	Flash chip select n	Embedded Instruction Memory
FLASH_SPI_MISO	inout	1	Flash master in and slave out	
FLASH_SPI_MOSI	inout	1	Flash master out and slave in	
FLASH_SPI_CLK	inout	1	Flash clock	
FLASH_SPI_HOLDN	inout	1	Flash hold n	
FLASH_SPI_WPN	inout	1	Flash write protection n	
FR_PCLK	input	1	Flash register APB clock	Embedded Instruction

名称	I/O	位宽	描述	所属
FR_PRESETN	input	1	Flash register APB reset n	Memory and Flash Register R/W Mode
FR_PADDR	input	[31:0]	Flash register APB address	
FR_PENABLE	input	1	Flash register APB enable	
FR_PRDATA	output	[31:0]	Flash register APB read data	
FR_PREADY	output	1	Flash register APB ready out	
FR_PSEL	input	1	Flash register APB select	
FR_PWDATA	input	[31:0]	Flash register APB write data	
FR_PWRITE	input	1	Flash register APB write enable	
ROM_HADDR	output	[31:0]	ROM AHB address	Extended Instruction Memory
ROM_HRDATA	input	[31:0]	ROM AHB read data	
ROM_HREADY	input	1	ROM AHB ready in	
ROM_HRESP	input	1	ROM AHB response	
ROM_HTRANS	output	[1:0]	ROM AHB transmission type	
ROM_HWRITE	output	1	ROM AHB write enable	
ROM_HCLK	output	1	ROM AHB clock	
ROM_HRSTN	output	1	ROM AHB reset n	
DDR3_MEMORY_CLK	input	1	DDR3 memory clock	Embedded Data Memory
DDR3_CLK_IN	input	1	DDR3 input clock	
DDR3_LOCK	input	1	DDR3 lock	
DDR3_STOP	output	1	DDR3 stop	
DDR3_INIT	output	1	DDR3 initialized flag	
DDR3_BANK	output	[2:0]	DDR3 bank address	
DDR3_RAS_N	output	1	DDR3 row address select	
DDR3_CAS_N	output	1	DDR3 column address select	
DDR3_WE_N	output	1	DDR3 write enable	

名称	I/O	位宽	描述	所属
DDR3_CK	output	1	DDR3 clock	
DDR3_CK_N	output	1	DDR3 clock differential	
DDR3_CKE	output	1	DDR3 clock enable	
DDR3_RESET_N	output	1	DDR3 reset	
DDR3_ODT	output	1	DDR3 on-die termination	
DDR3_ADDR	output	[13:0]	DDR3 address	
DDR3_DM	output	[1:0]	DDR3 data mask	
DDR3_DQ	inout	[15:0]	DDR3 data	
DDR3_DQS	inout	[1:0]	DDR3 data select	
DDR3_DQS_N	inout	[1:0]	DDR3 data select differential	
DDR_HADDR	output	[31:0]	DDR AHB address	Extended Data Memory
DDR_HBURST	output	[2:0]	DDR AHB burst	
DDR_HPROT	output	[3:0]	DDR AHB protection	
DDR_HRDATA	input	[63:0]	DDR AHB read data	
DDR_HREADY	input	1	DDR AHB ready in	
DDR_HRESP	input	1	DDR AHB response	
DDR_HSIZE	output	[2:0]	DDR AHB size	
DDR_HTRANS	output	[1:0]	DDR AHB transmission type	
DDR_HWDATA	output	[63:0]	DDR AHB write data	
DDR_HWRITE	output	1	DDR AHB write enable	
DDR_HCLK	output	1	DDR AHB clock	
DDR_HRSTN	output	1	DDR AHB reset n	
EXT_INT	input	[15:0]	Extended interrupts	PLIC
APB_PADDR	output	[31:0]	APB slave address	Extended APB slave
APB_PENABLE	output	1	APB slave enable	
APB_PRDATA	input	[31:0]	APB slave read data	
APB_PREADY	input	1	APB slave ready in	
APB_PSEL	output	1	APB slave select	
APB_PWDATA	output	[31:0]	APB slave write data	
APB_PWRITE	output	1	APB slave write enable	
APB_PSLVERR	input	1	APB slave error	

名称	I/O	位宽	描述	所属
			response	
APB_PPROT	output	[2:0]	APB slave protection	
APB_PSTRB	output	[3:0]	APB slave write strobe	
APB_PCLK	output	1	APB slave clock	
APB_PRSTN	output	1	APB slave reset n	
EXTS_HRDATA	input	[31:0]	AHB slave read data	Extended AHB slave
EXTS_HREADYIN	input	1	AHB slave ready in	
EXTS_HRESP	input	1	AHB slave response	
EXTS_HADDR	output	[31:0]	AHB slave address	
EXTS_HBURST	output	[2:0]	AHB slave burst	
EXTS_HPROT	output	[3:0]	AHB slave protection	
EXTS_HSEL	output	1	AHB slave select	
EXTS_HSIZE	output	[2:0]	AHB slave size	
EXTS_HTRANS	output	[1:0]	AHB slave transmission type	
EXTS_HWDATA	output	[31:0]	AHB slave write data	
EXTS_HWRITE	output	1	AHB slave write enable	
EXTS_HCLK	output	1	AHB slave clock	
EXTS_HRSTN	output	1	AHB slave reset n	
EXTM_HADDR	input	[31:0]	AHB master address	Extended AHB master
EXTM_HBURST	input	[2:0]	AHB master burst	
EXTM_HPROT	input	[3:0]	AHB master protection	
EXTM_HREADY	input	1	AHB master ready in	
EXTM_HSEL	input	1	AHB master select	
EXTM_HSIZE	input	[2:0]	AHB master size	
EXTM_HTRANS	input	[1:0]	AHB master transmission type	
EXTM_HWDATA	input	[63:0]	AHB master write data	
EXTM_HWRITE	input	1	AHB master write enable	
EXTM_HRDATA	output	[63:0]	AHB master read data	
EXTM_HREADYOUT	output	1	AHB master ready out	
EXTM_HRESP	output	1	AHB master response	

名称	I/O	位宽	描述	所属
DMA_REQ	input	[7:0]	DMA requests	DMA
DMA_ACK	output	[7:0]	DMA acknowledges	
SPI_HOLDN_IN	input	1	SPI hold n in	SPI and none I/O ports
SPI_WPN_IN	input	1	SPI write protection n in	
SPI_CLK_IN	input	1	SPI clock in	
SPI_CSN_IN	input	1	SPI chip select n in	
SPI_MISO_IN	input	1	SPI miso in	
SPI_MOSI_IN	input	1	SPI mosi in	
SPI_HOLDN_OUT	output	1	SPI hold n out	
SPI_HOLDN_OE	output	1	SPI hold n oe	
SPI_WPN_OUT	output	1	SPI write protection n out	
SPI_WPN_OE	output	1	SPI write protection n oe	
SPI_CLK_OUT	output	1	SPI clock out	
SPI_CLK_OE	output	1	SPI clock oe	
SPI_CSN_OUT	output	1	SPI chip select n out	
SPI_CSN_OE	output	1	SPI chip select n oe	
SPI_MISO_OUT	output	1	SPI miso out	
SPI_MISO_OE	output	1	SPI miso oe	
SPI_MOSI_OUT	output	1	SPI mosi out	
SPI_MOSI_OE	output	1	SPI mosi oe	
SPI_HOLDN	inout	1	SPI hold n	SPI and I/O ports
SPI_WPN	inout	1	SPI write protection n	
SPI_CLK	inout	1	SPI clock	
SPI_CSN	inout	1	SPI chip select n	
SPI_MISO	inout	1	SPI master in and slave out	
SPI_MOSI	inout	1	SPI master out and slave in	
I2C_SCL_IN	input	1	I2C clock in	I2C and none I/O ports
I2C_SDA_IN	input	1	I2C data in	
I2C_SCL_OUT	output	1	I2C clock out	

名称	I/O	位宽	描述	所属
I2C_SDA_OUT	output	1	I2C data out	I2C and I/O ports
I2C_SCL	inout	1	I2C clock	
I2C_SDA	inout	1	I2C data	
UART1_TXD	output	1	UART1 transmits data	UART1
UART1_RTSN	output	1	UART1 rts n	
UART1_RXD	input	1	UART1 receives data	
UART1_CTSN	input	1	UART1 cts n	
UART1_DSRN	input	1	UART1 dsr n	
UART1_DCDN	input	1	UART1 dcd n	
UART1_RIN	input	1	UART1 rin	
UART1_DTRN	output	1	UART1 dtr n	
UART1_OUT1N	output	1	UART1 out1 n	
UART1_OUT2N	output	1	UART1 out2 n	
UART2_TXD	output	1	UART2 transmits data	UART2
UART2_RTSN	output	1	UART2 rts n	
UART2_RXD	input	1	UART2 receives data	
UART2_CTSN	input	1	UART2 cts n	
UART2_DSRN	input	1	UART2 dsr n	
UART2_DCDN	input	1	UART2 dcd n	
UART2_RIN	input	1	UART2 rin	
UART2_DTRN	output	1	UART2 dtr n	
UART2_OUT1N	output	1	UART2 out1 n	
UART2_OUT2N	output	1	UART2 out2 n	
CH0_PWM	output	1	PWM channel 0 output	PWM
CH0_PWMOE	output	1	PWM channel 0 output enable	
CH1_PWM	output	1	PWM channel 1 output	
CH1_PWMOE	output	1	PWM channel 1 output enable	
CH2_PWM	output	1	PWM channel 2 output	
CH2_PWMOE	output	1	PWM channel 2 output enable	
CH3_PWM	output	1	PWM channel 3 output	
CH3_PWMOE	output	1	PWM channel 3 output	

名称	I/O	位宽	描述	所属
			enable	
GPIO_IN	input	[31:0]	GPIO in	GPIO and none I/O ports
GPIO_OE	output	[31:0]	GPIO output enable	
GPIO_OUT	output	[31:0]	GPIO output	
GPIO	inout	[31:0]	GPIO	GPIO and I/O ports
CORE0_WFI_MODE	output	1	Core WFI mode status	SMU
RTC_WAKEUP	output	1	RTC wakeup status	

6系统配置

RiscV_AE350_SOC 的系统配置，如表 6-1 所示。

表 6-1 系统配置

配置选项	默认	说明
Enable Extended Interrupts	关闭	开启扩展的 16 个外部中断信号
Embedded Instruction Memory	开启	系统内置指令存储器：SPI Flash Memory
Flash Register R/W Mode	关闭	开启 Flash 寄存器模式的 APB 总线接口
Extended Instruction Memory	关闭	系统扩展外置指令存储器
Embedded Data Memory	开启	系统内置数据存储器：DDR3 Memory
Extended Data Memory	关闭	系统扩展外置数据存储器
Enable Extended AHB Slave	关闭	开启扩展的 32-bit AHB Slave 接口，AE350 作为 Master
Enable Extended AHB Master	关闭	开启扩展的 64-bit AHB Master 接口，AE350 作为 Slave 设备
Enable Extended DMAC	关闭	开启扩展的 8 组 DMA 请求/应答信号
Enable I2C	关闭	开启 I2C
Enable I2C I/O Ports	开启	开启 I2C “INOUT” 类型端口
Enable PIT	关闭	开启 PIT
PWM Channel 0	关闭	开启 PWM 通道 0
PWM Channel 1	关闭	开启 PWM 通道 1
PWM Channel 2	关闭	开启 PWM 通道 2
PWM Channel 3	关闭	开启 PWM 通道 3
Enable SPI	关闭	开启 SPI
Enable SPI I/O Ports	开启	开启 SPI “INOUT” 类型端口
Enable UART1	关闭	开启 UART1

配置选项	默认	说明
Enable UART2	关闭	开启 UART2
Enable GPIO	关闭	开启 GPIO
Enable GPIO I/O Ports	开启	开启 GPIO “INOUT” 类型端口
Enable WDT	关闭	开启 WDT
Enable RTC	开启	开启 RTC
Enable SMU	关闭	开启 SMU
Enable Extended APB Slave	关闭	开启扩展的 32-bit APB Slave 接口, AE350 作为 Master

7 设计流程

7.1 硬件目标

- DK-START-GW5AT138 V2.0
 - GW5AST-LV138FPG676AES
 - GW5AST-138B

7.2 软件版本

已测试软件版本：云源软件 Gowin_V1.9.9 Beta-3。

7.3 设计流程

RiscV_AE350_SOC IP 设计流程，如下所示：

1. 高云半导体云源®软件的 IP 设计工具 “IP Core Generator”，配置 RiscV_AE350_SOC IP 选项，产生 RiscV_AE350_SOC IP 设计；
2. 云源软件的 IP 设计工具 “IP Core Generator”，配置 PLL_ADV IP 选项，产生 PLL_ADV IP 设计，为 RiscV_AE350_SOC IP 提供时钟资源；
3. 硬件设计中，实例化 RiscV_AE350_SOC IP，实例化 PLL_ADV IP，加入其他用户逻辑设计，连接各模块组成完整的顶层设计；
4. 参照所用开发板，加入物理约束，可以使用云源软件的物理约束工具 “FloorPlanner”；
5. 参照软件时序分析报告，加入时序约束，可以使用云源软件的时序约束工具 “Timing Constraints Editor”；
6. 配置综合选项、布局布线选项和码流选项；
7. 云源软件的综合工具 “GowinSynthesis®”，综合 RiscV_AE350_SOC 硬件设计，产生网表文件；
8. 云源软件的布局布线工具 “Place & Route”，布局布线网表文件，产生码流文件；

9. 云源软件的下载工具“Programmer”，下载码流文件。

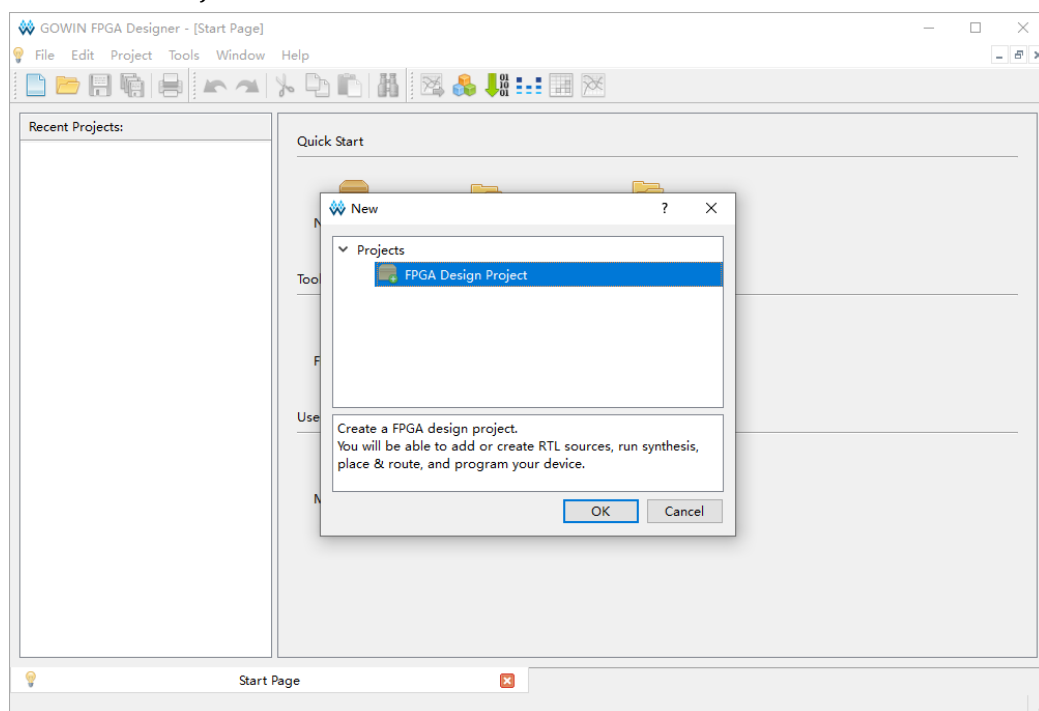
8 详细设计方法

8.1 建立工程

步骤 1

双击打开云源软件，选择主菜单“File > New... > FPGA Design Project”，或工具栏“”，或 Quick Start “New Project...”，单击“OK”，如图 8-1 所示。

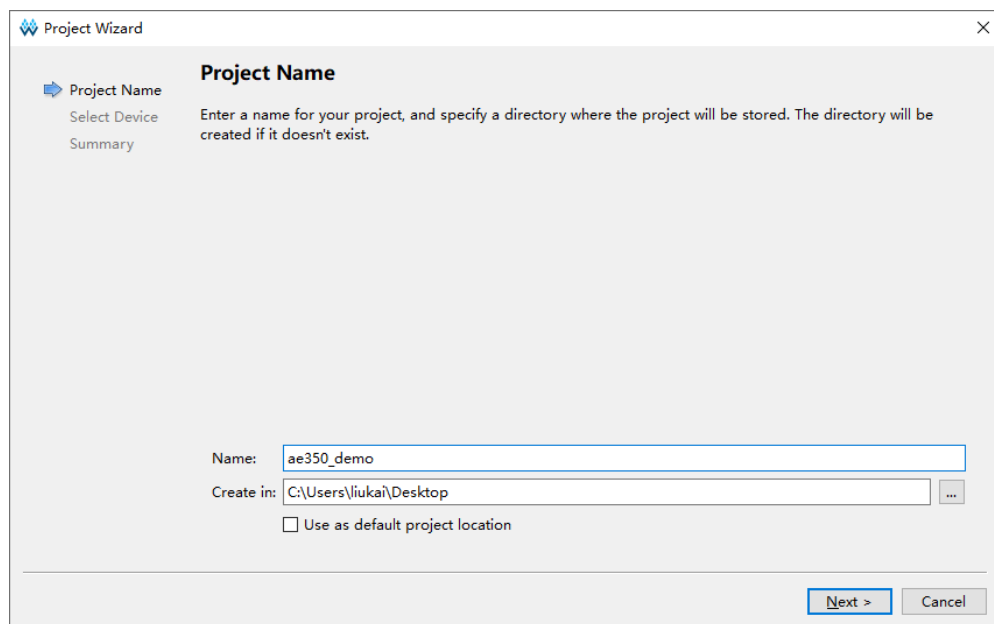
图 8-1 New Project



步骤 2

设置工程名称和工程路径，单击“Next”，如图 8-2 所示。

图 8-2 Project Name



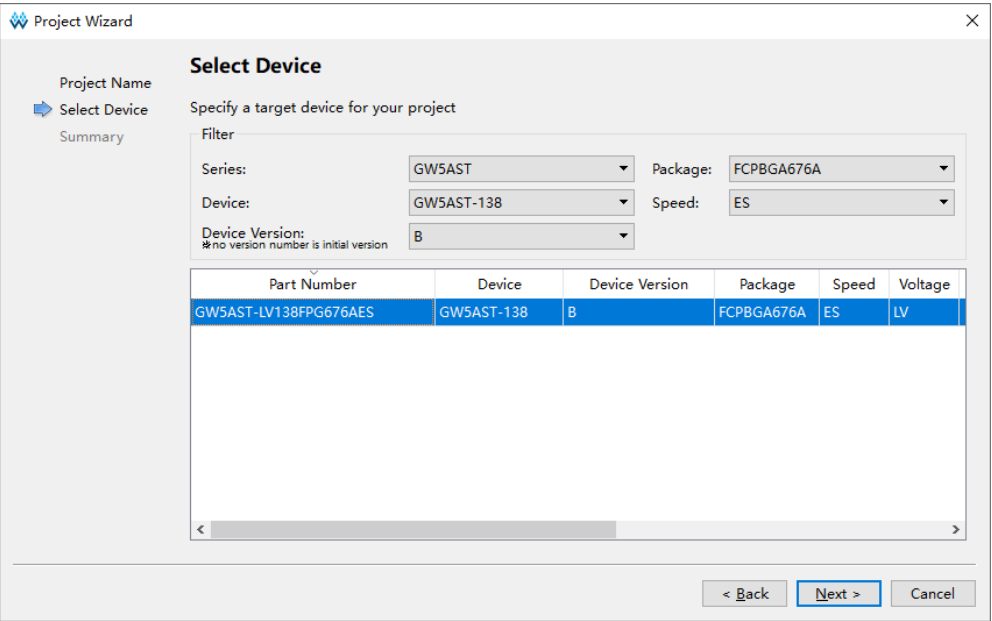
步骤 3

设置器件信息，包括 Series、Device、Device Version、Package、Speed 和 Part Number，单击“Next”，如图 8-3 所示。

例如：

- Series: GW5AST
- Device: GW5AST-138
- Device Version: B
- Package: FCPBGA676A
- Speed: ES
- Part Number: GW5AST-LV138FPG676AES

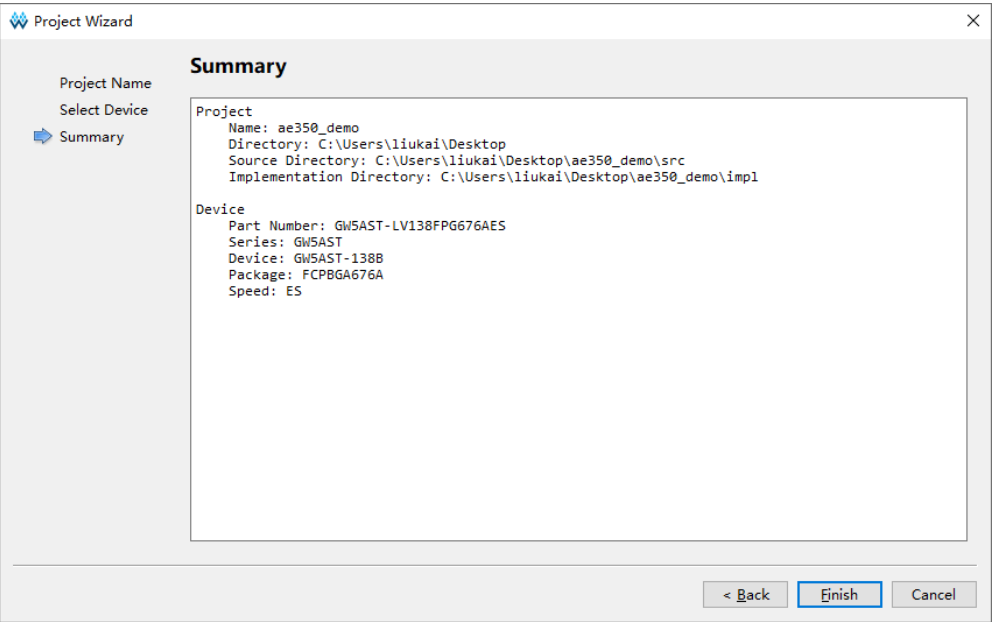
图 8-3 Select Device



步骤 4

完成工程建立，单击“Finish”，如图 8-4 所示。

图 8-4 Summary

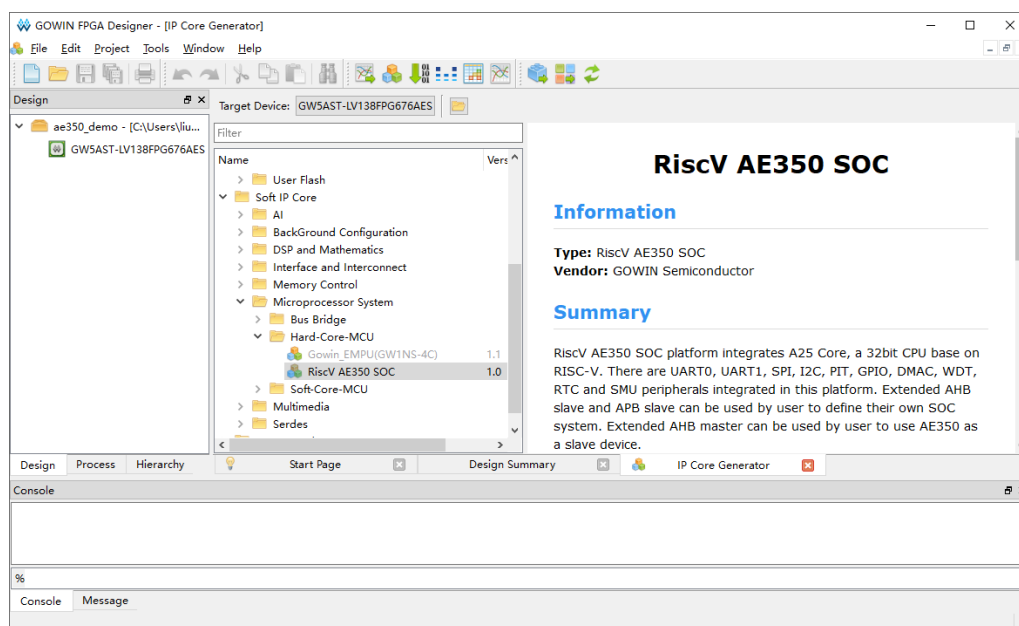


8.2 IP 设计

云源软件的 IP 设计工具“IP Core Generator”，配置 RiscV_AE350_SOC 选项，产生 RiscV_AE350_SOC IP。

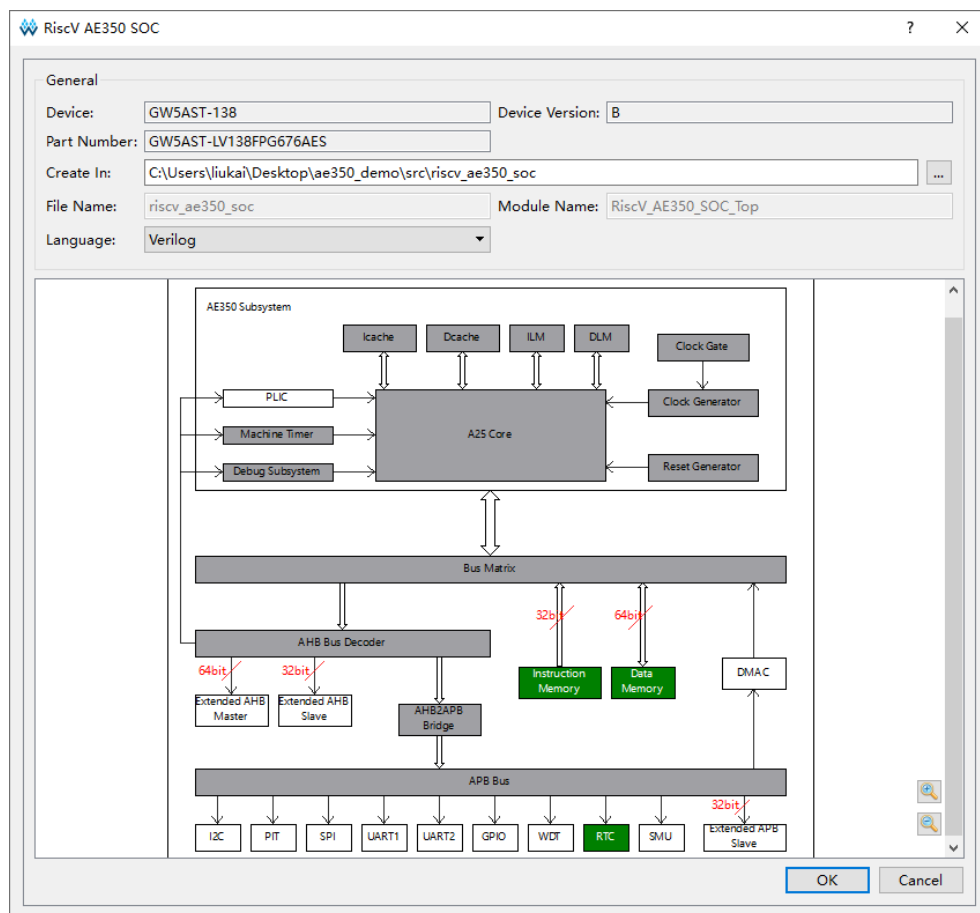
在云源软件中选择主菜单“Tools > IP Core Generator”，或工具栏“”，打开 IP Core Generator，选择“Soft IP Core > Microprocessor System > Hard-Core-MCU > RiscV AE350 SOC 1.0”，如图 8-5 所示。

图 8-5 IP Core Generator



双击“RiscV AE350 SOC 1.0”，打开 RiscV_AE350_SOC IP Core，如图 8-6 所示。

图 8-6 RiscV_AE350_SOC IP Core



RiscV_AE350_SOC 可配置的系统功能包括 PLIC、Instruction Memory、Data Memory、I2C、PIT、SPI、UART1、UART2、GPIO、WDT、RTC、SMU、DMAC、Extended APB Slave、Extended AHB Slave 和 Extended AHB Master，配置选项如表 6-1 所描述。

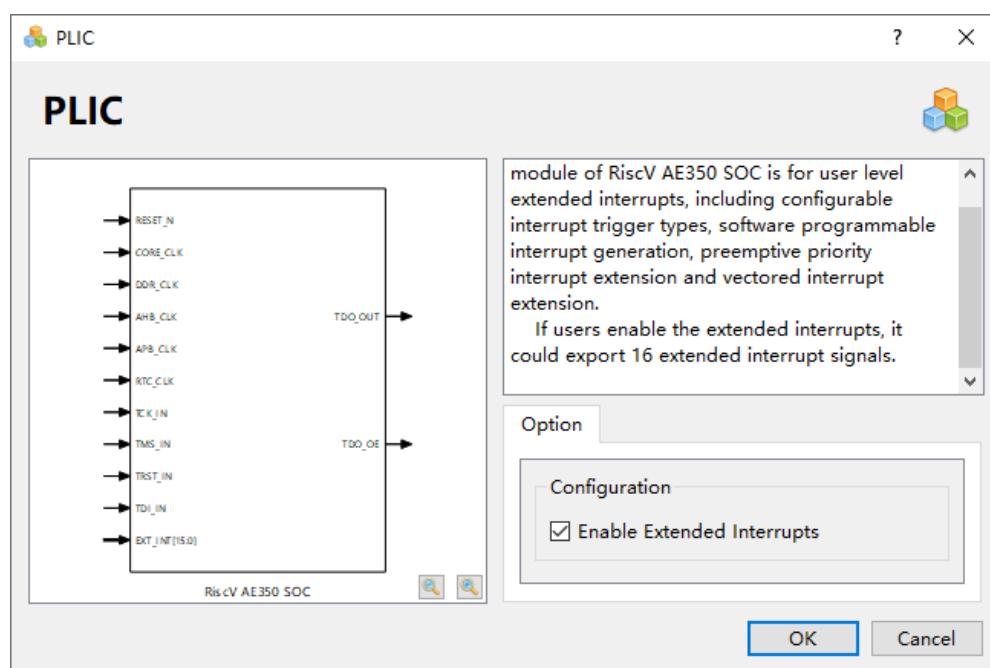
以下各节详细描述每个系统功能和选项的配置方法。

8.2.1 PLIC

双击打开 PLIC，配置 PLIC 选项，如图 8-7 所示。

如果选择“Enable Extended Interrupts”，则开启扩展的 16 个外部中断信号，默认关闭。

图 8-7 PLIC 配置



8.2.2 Instruction Memory

双击打开“Instruction Memory”，配置指令存储器选项，如图 8-8 所示。

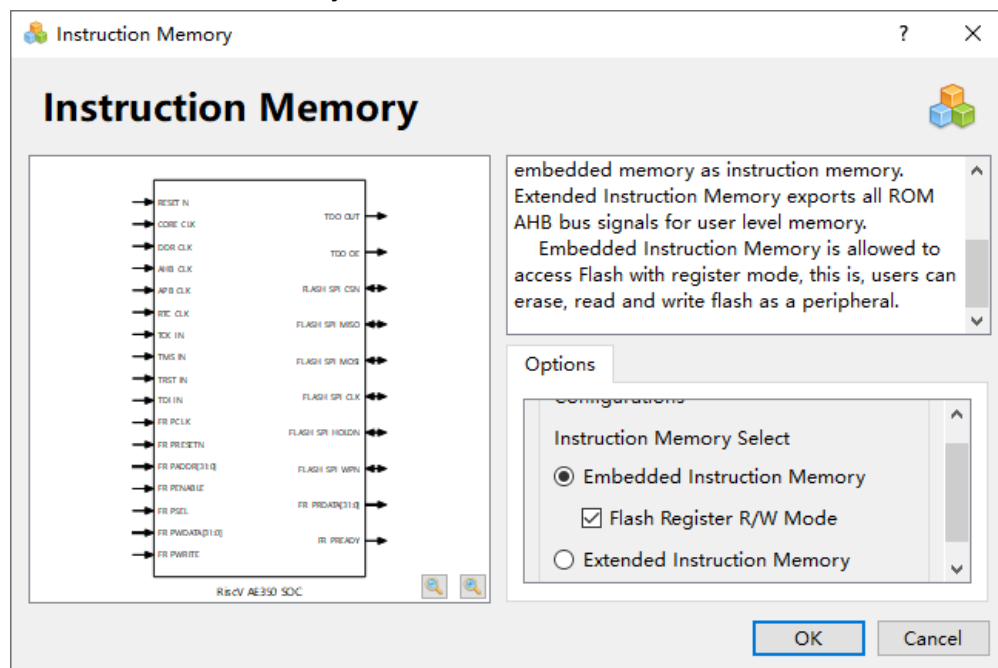
Instruction Memory 包括 Embedded Instruction Memory 和 Extended Instruction Memory。如果选择“Embedded Instruction Memory”，则开启系统内置的 SPI Flash Memory；如果选择“Extended Instruction Memory”，则开启 ROM AHB 接口，用户自行设计 AHB 接口的指令存储器。

系统默认“Embedded Instruction Memory”，开启系统内置的 SPI Flash Memory。

如果开启 Embedded Instruction Memory，则可以配置 Flash Register R/W Mode。如果选择“Flash Register R/W Mode”，则开启 Flash 寄存器

模式的 APB 总线接口，Flash 可以作为外设，通过寄存器读、写和擦除数据，默认关闭。

图 8-8 Instruction Memory 配置



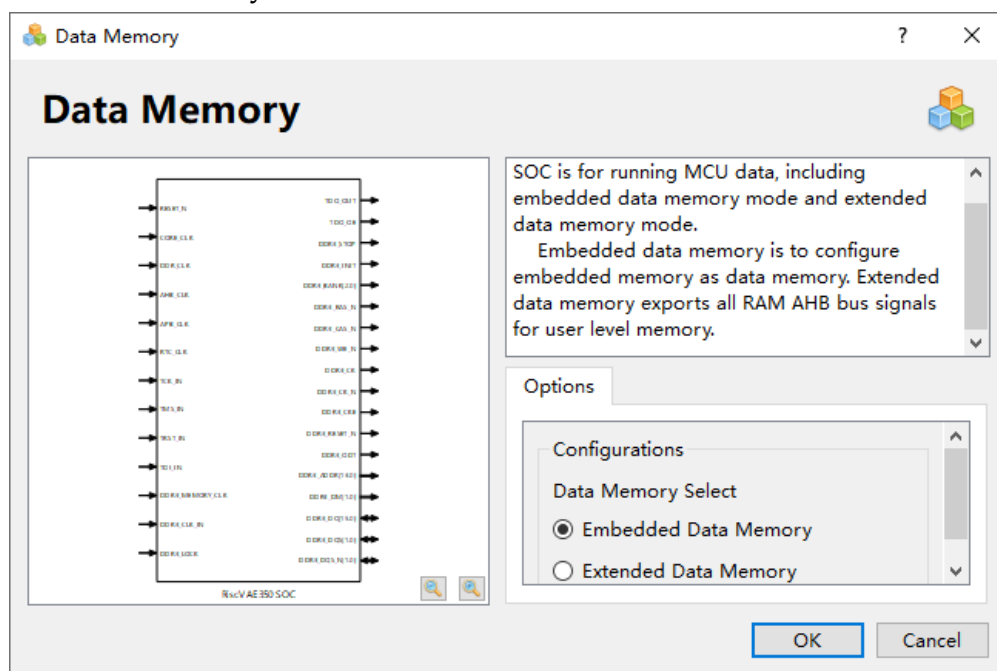
8.2.3 Data Memory

双击打开“Data Memory”，配置数据存储器选项，如图 8-9 所示。

Data Memory 包括 Embedded Data Memory 和 Extended Data Memory。如果选择“Embedded Data Memory”，则开启系统内置的 DDR3 Memory；如果选择“Extended Data Memory”，则开启 DDR AHB 接口，用户自行设计 AHB 接口的数据存储器。

系统默认“Embedded Data Memory”，开启系统内置的 DDR3 Memory。

图 8-9 Data Memory 配置

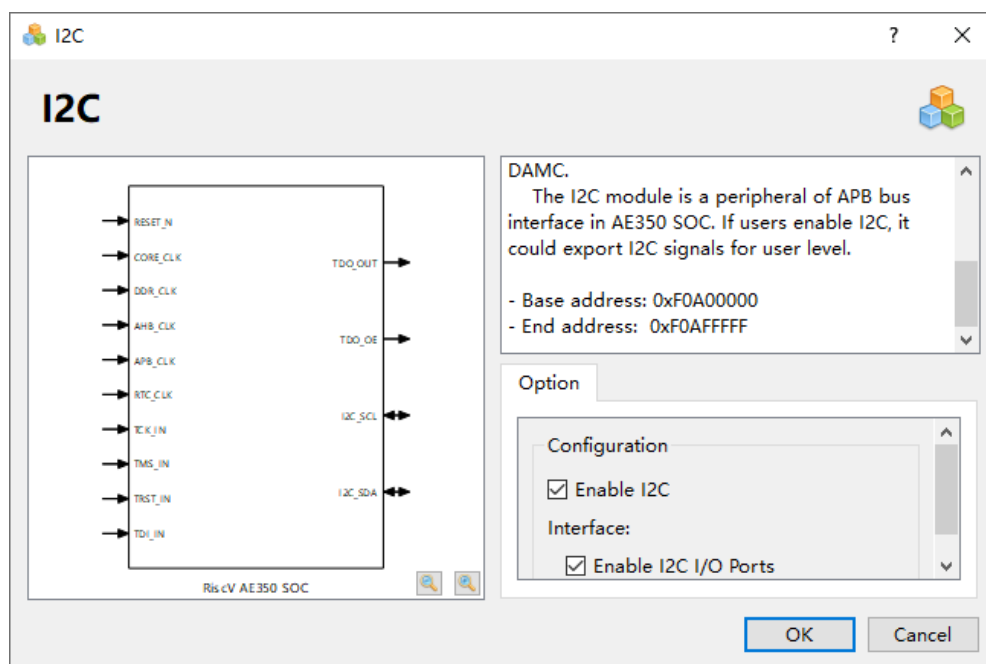


8.2.4 I2C

双击打开 I2C，配置 I2C 选项，如图 8-10 所示。

- 如果选择“Enable I2C”，则开启 I2C，默认关闭
- 如果开启 I2C，则可以配置 I2C 端口类型
 - 如果选择“Enable I2C I/O Ports”，则开启 I2C “INOUT” 类型端口，否则开启“IN”、“OUT” 类型端口，默认“INOUT” 端口类型

图 8-10 I2C 配置

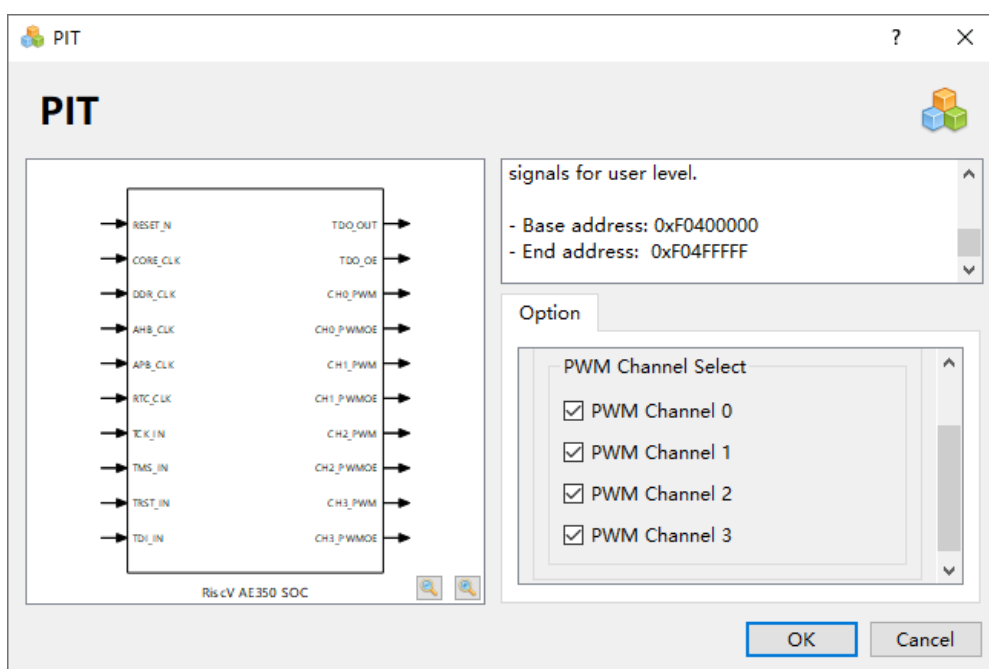


8.2.5 PIT

双击打开 PIT，配置 PIT 选项，如图 8-11 所示。

- 如果选择“Enable PIT”，则开启 PIT，默认关闭
- 如果开启 PIT，则可以配置 PWM 通道
 - 如果选择“PWM Channel 0”，则开启 PWM 通道 0，默认关闭
 - 如果选择“PWM Channel 1”，则开启 PWM 通道 1，默认关闭
 - 如果选择“PWM Channel 2”，则开启 PWM 通道 2，默认关闭
 - 如果选择“PWM Channel 3”，则开启 PWM 通道 3，默认关闭

图 8-11 PIT 配置

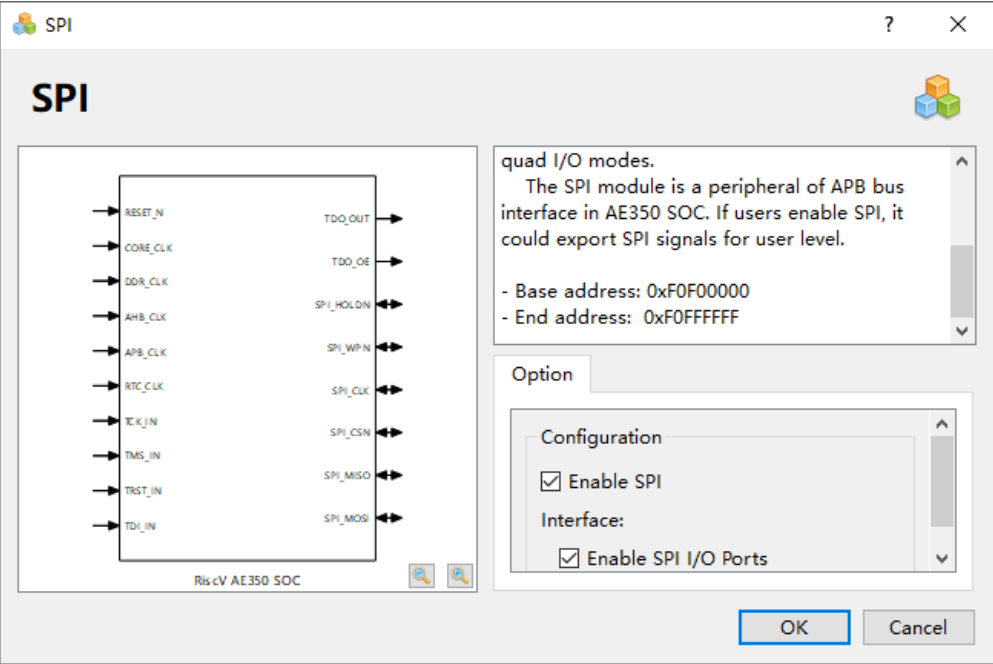


8.2.6 SPI

双击打开 SPI，配置 SPI 选项，如图 8-12 所示。

- 如果选择“Enable SPI”，则开启 SPI，默认关闭。
- 如果开启 SPI，则可以配置 SPI 端口类型：
 - 如果选择“Enable SPI I/O Ports”，则开启 SPI “INOUT” 类型端口，否则开启 “IN”、“OUT”、“OE” 类型端口，默认 “INOUT” 端口类型

图 8-12 SPI 配置

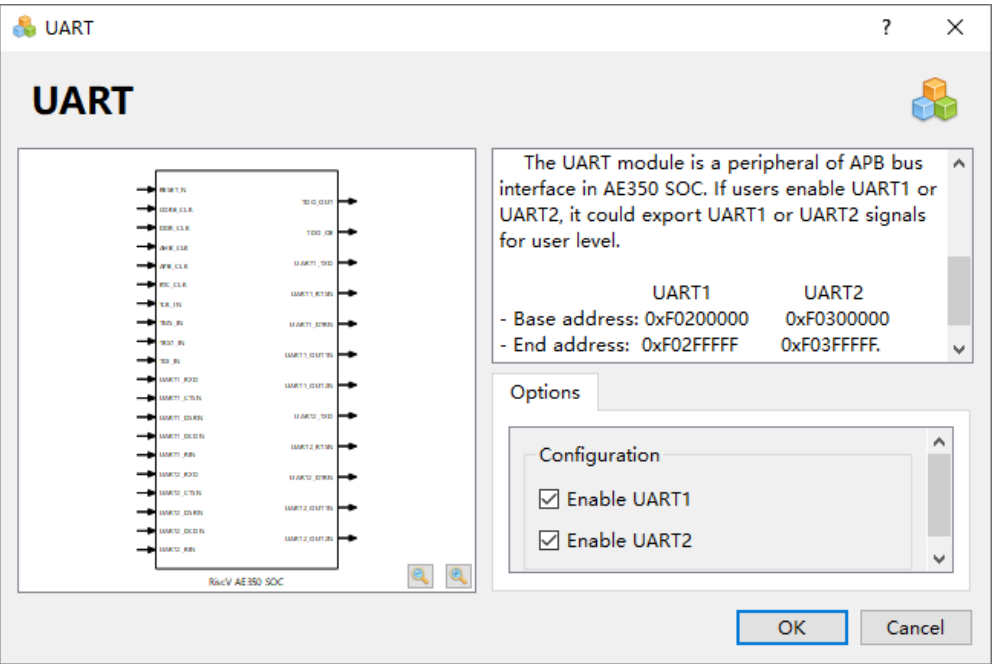


8.2.7 UART1 和 UART2

双击 UART1 或 UART2，配置 UART1 或 UART2 选项，如图 8-13 所示。

- 如果选择 “Enable UART1”，则开启 UART1，默认关闭。
- 如果选择 “Enable UART2”，则开启 UART2，默认关闭。

图 8-13 UART1 和 UART2 配置

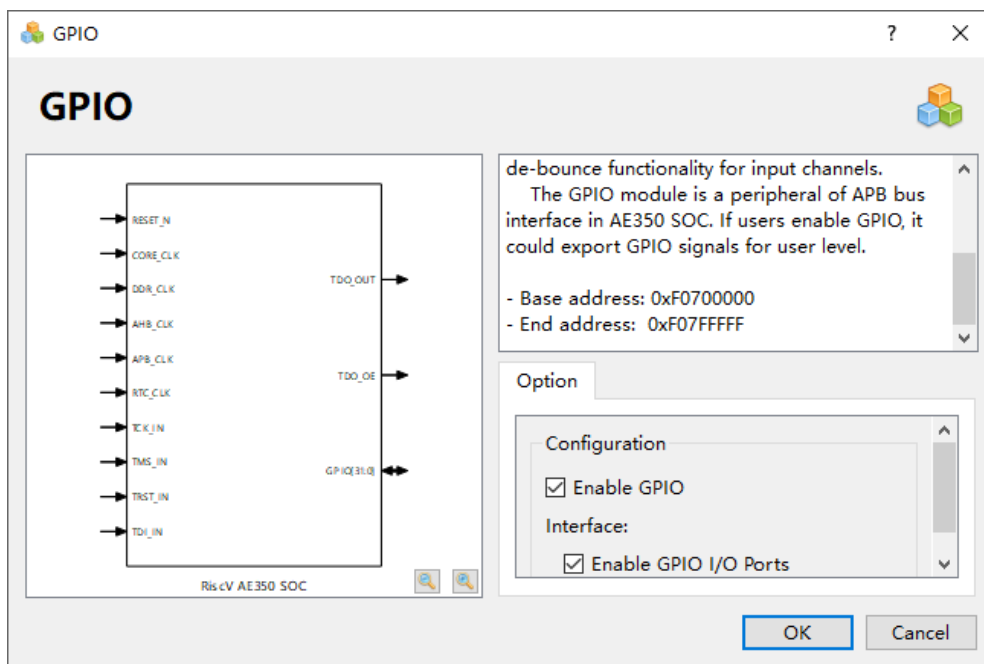


8.2.8 GPIO

双击打开 GPIO，配置 GPIO 选项，如图 8-14 所示。

- 如果选择“Enable GPIO”，则开启 GPIO，默认关闭。
- 如果开启 GPIO，则可以配置 GPIO 端口类型：
 - 如果选择“Enable GPIO I/O Ports”，则开启 GPIO “INOUT” 类型端口，否则开启“IN”、“OUT”、“OE” 类型端口，默认“INOUT” 端口类型

图 8-14 GPIO 配置

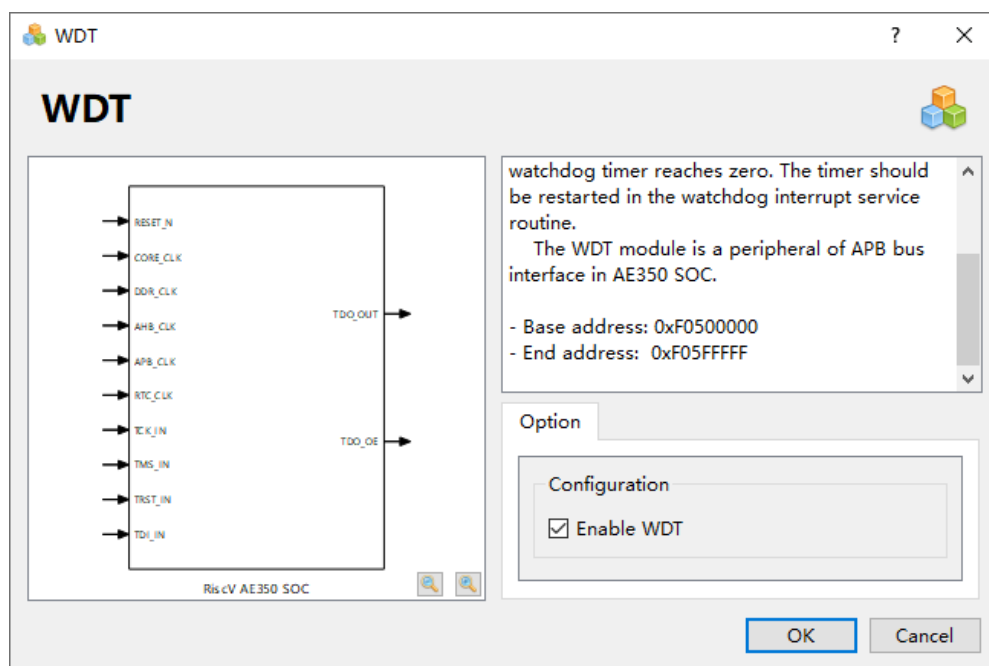


8.2.9 WDT

双击打开 WDT，配置 WDT 选项，如图 8-15 所示。

如果选择“Enable WDT”，则开启 WDT，默认关闭。

图 8-15 WDT 配置

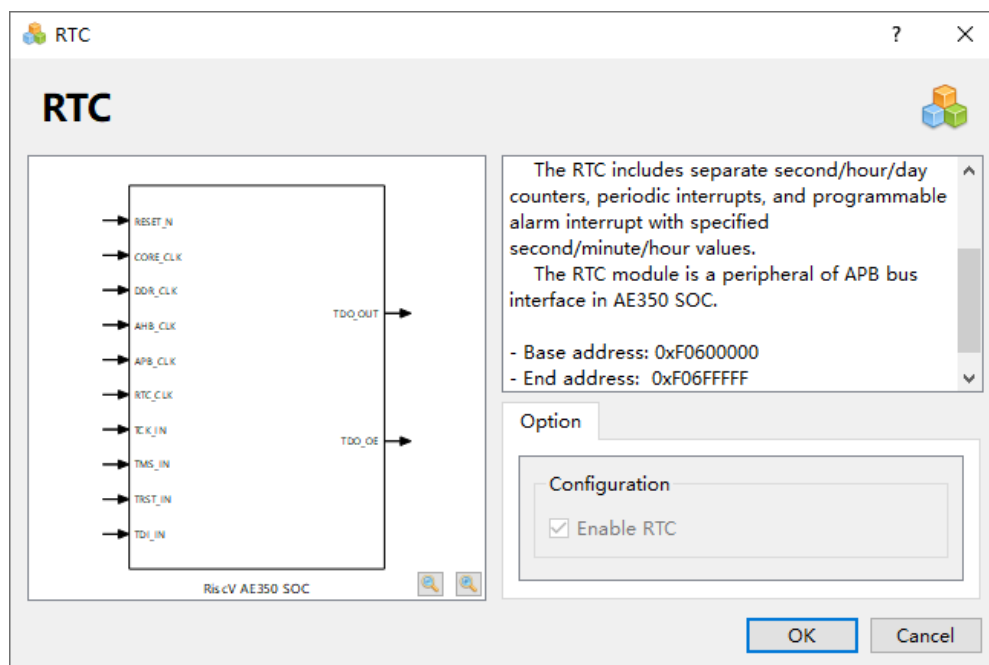


8.2.10 RTC

双击打开 RTC，配置 RTC 选项，如图 8-16 所示。

默认开启 RTC，不可关闭。

图 8-16 RTC 配置

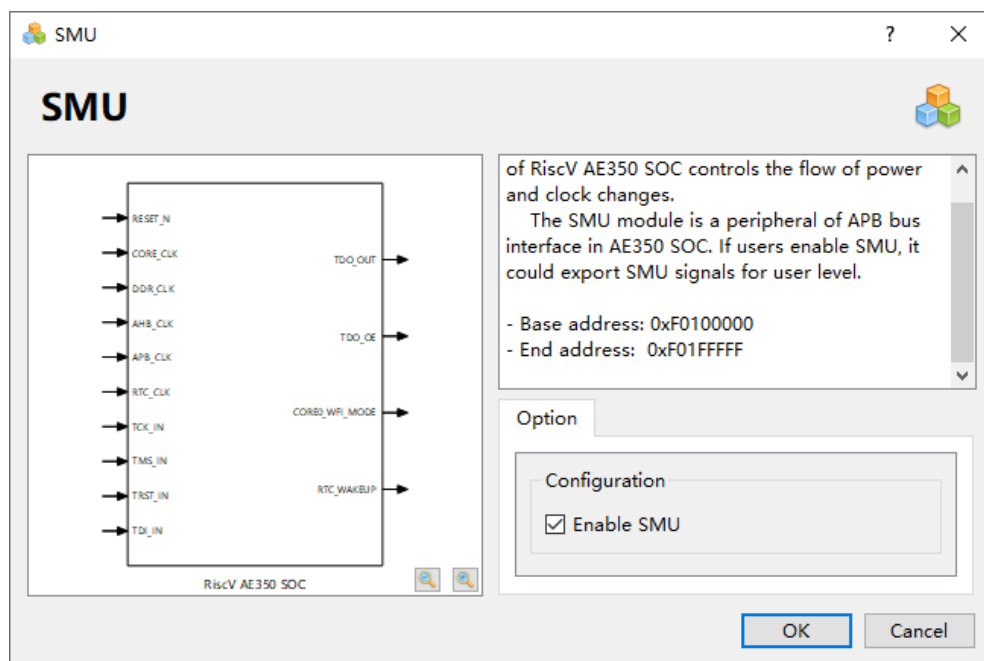


8.2.11 SMU

双击打开 SMU，配置 SMU 选项，如图 8-17 所示。

如果选择“Enable SMU”，则开启 SMU，默认关闭。

图 8-17 SMU 配置

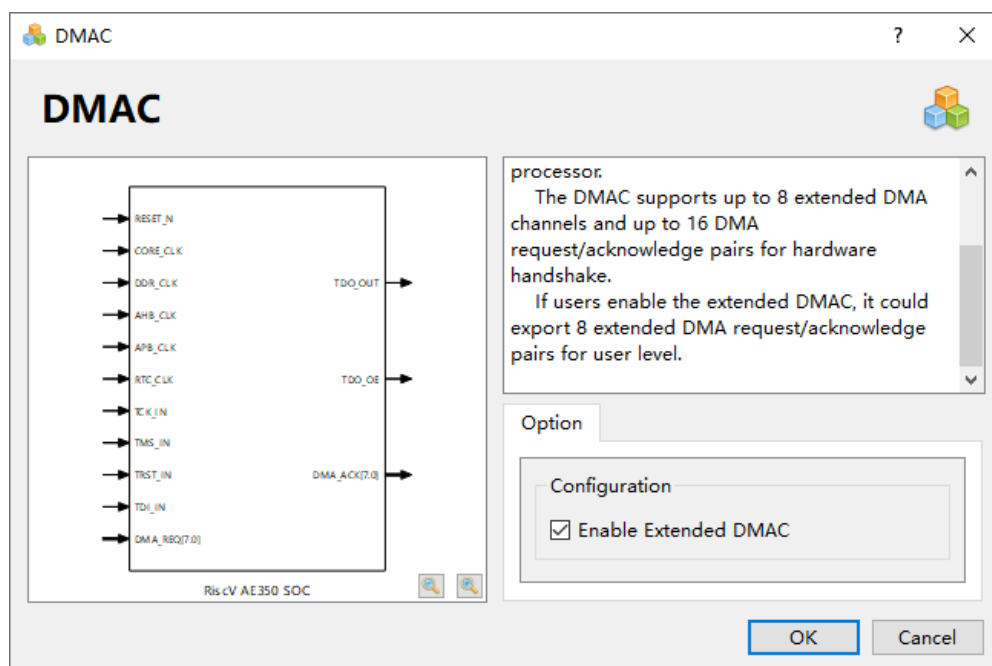


8.2.12 DMAC

双击打开 DMAC，配置 DMAC 选项，如图 8-18 所示。

如果选择“Enable Extended DMAC”，则开启扩展的 8 组 DMA 请求/应答信号，默认关闭。

图 8-18 DMAC 配置

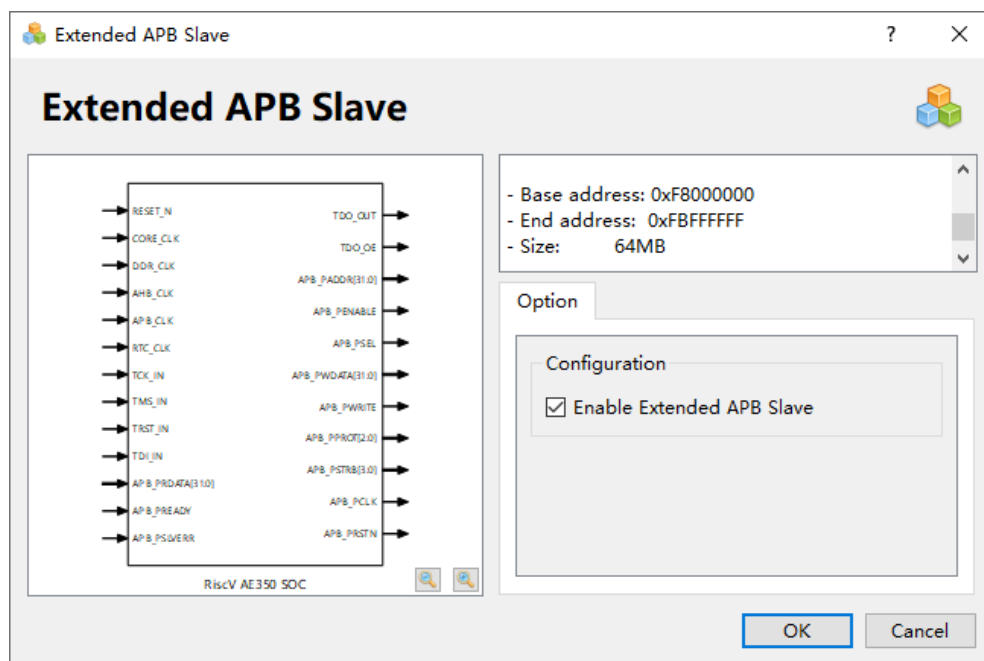


8.2.13 Extended APB Slave

双击打开 Extended APB Slave，配置 Extended APB Slave 选项，如图 8-19 所示。

如果选择“Enable Extended APB Slave”，则开启扩展的 32-bit APB Slave 接口，默认关闭。

图 8-19 Extended APB Slave 配置

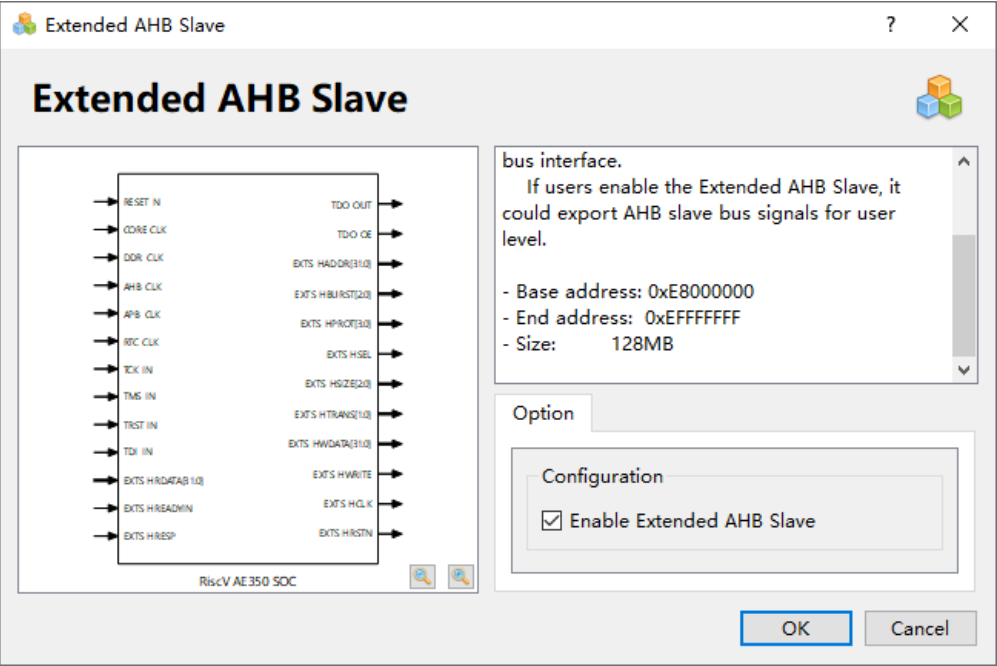


8.2.14 Extended AHB Slave

双击打开 Extended AHB Slave，配置 Extended AHB Slave 选项，如图 8-20 所示。

如果选择“Enable Extended AHB Slave”，则开启扩展的 32-bit AHB Slave 接口，默认关闭。

图 8-20 Extended AHB Slave 配置

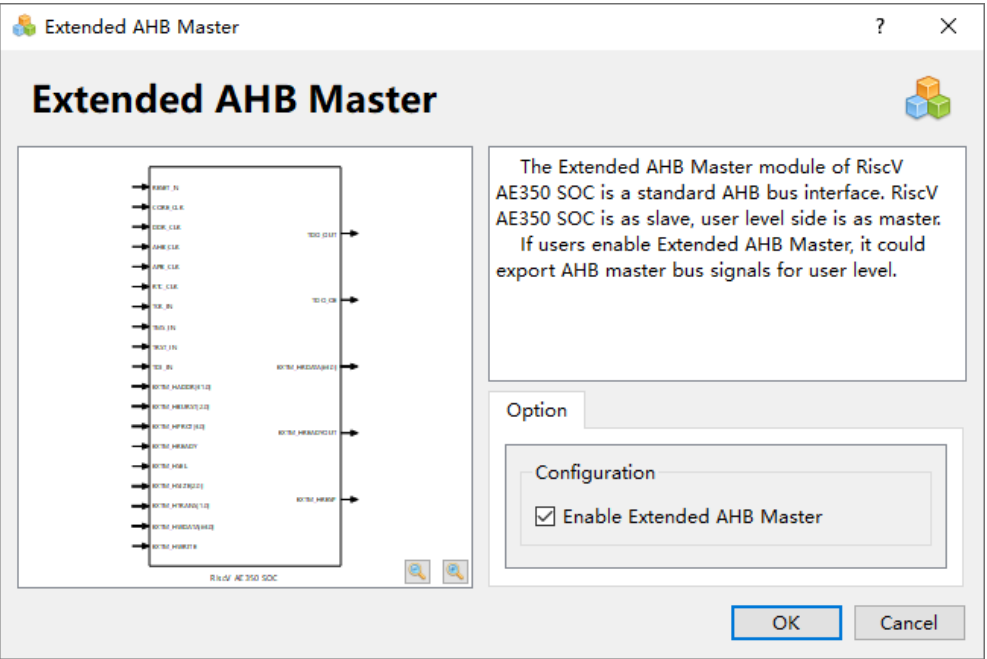


8.2.15 Extended AHB Master

双击打开 Extended AHB Master，配置 Extended AHB Master 选项，如图 8-21 所示。

如果选择 “Enable Extended AHB Master”，则开启扩展的 64-bit AHB Master 接口，默认关闭。

图 8-21 Extended AHB Master 配置



通过此 AHB Master 接口，AE350 系统可以作为 Slave，FPGA 系统可

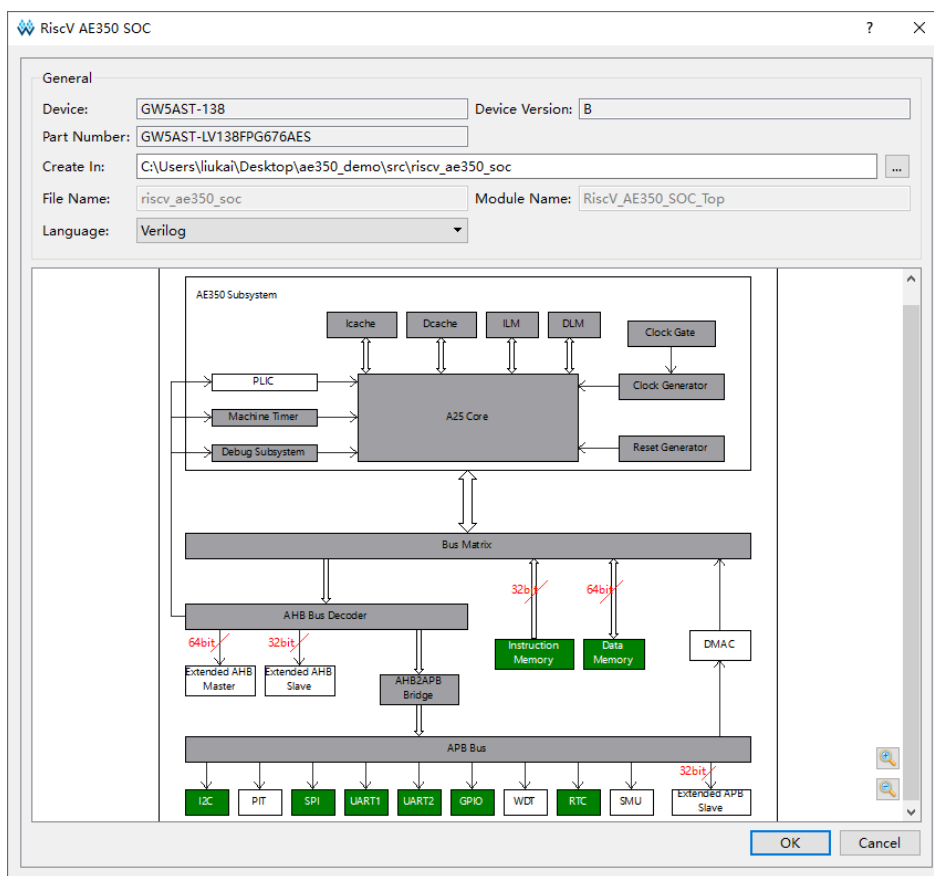
以作为 Master，FPGA 系统访问 AE350 系统内的 ILM 和 DLM，从而扩展了 FPGA 系统的存储空间。

8.3 用户设计

8.3.1 RiscV_AE350_SOC IP 设计

云源软件的 IP 设计工具“IP Core Generator”，完成 RiscV_AE350_SOC IP 配置后，单击“OK”，产生 RiscV_AE350_SOC IP 设计，如图 8-22 所示。

图 8-22 RiscV_AE350_SOC IP 设计



8.3.2 PLL_ADV IP 设计

云源软件的 IP 设计工具“IP Core Generator”，配置 PLL_ADV IP 选项，产生 PLL_ADV IP 设计，为 RiscV_AE350_SOC IP 提供时钟资源。

在云源软件中选择主菜单“Tools > IP Core Generator”，或工具栏“”，打开 IP Core Generator，选择“Hard Module > CLOCK > PLL_ADV 1.0”，参照表 4-1 和表 4-2 配置 PLL_ADV IP，产生 PLL_ADV IP 设计，如图 8-23 所示。

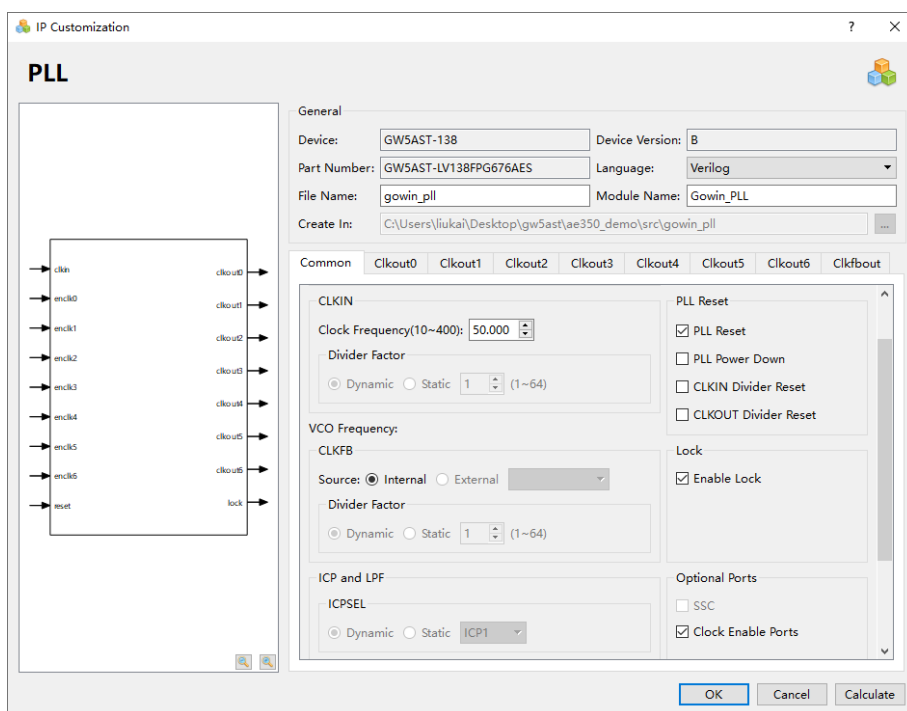
例如：用于 RiscV_AE350_SOC 内核的 PLL_ADV IP：

- Clkout0: DDR clock
- Clkout1: CORE clock
- Clkout2: AHB clock
- Clkout3: APB clock
- Clkout4: RTC clock

用于 RiscV_AE350_SOC DDR3 Memory 的 PLL_ADV IP:

- Clkout0: DDR3 input clock
- Clkout2: DD3 memory clock

图 8-23 PLL_ADV IP 设计



注!

- RiscV_AE350_SOC 的内核时钟由 “PLL_R[0] > clkout1” 直连提供, 必须使用 PLL_ADV IP 的 “clkout1” 产生内核时钟。
- RiscV_AE350_SOC 的 DDR3 Memory 时钟由 “PLL_L[0] > clkout2” 直连提供, 建议使用 PLL_ADV IP 的 “clkout2” 产生 DDR3 Memory 时钟。

8.3.3 用户设计

硬件设计顶层模块中, 实例化 RiscV_AE350_SOC IP, 实例化 PLL_ADV IP, 加入其他用户逻辑设计, 连接各模块组成完整的硬件设计。

8.4 约束

8.4.1 物理约束

参照所用开发板，加入物理约束，可以使用云源软件的物理约束工具“FloorPlanner”。云源软件，选择主菜单“Tools > FloorPlanner”，或工具栏。

例如参考设计 DK-START-GW5AT138 V2.0 DVK Board 与 AICE-MINI+ 的 JTAG 接口的对应连接方式，如表 8-1 所示。

表 8-1 参考设计的 JTAG 物理约束

JTAG 接口	DVK Board	AICE-MINI+
GND	J3-8	P3
TMS	J3-3	P4
TCK	J3-4	P6
VREF (3.3V)	J3-7	P7
TRST	J3-5	P10
TDO	J3-6	P11
TDI	J60-3	P12

注！

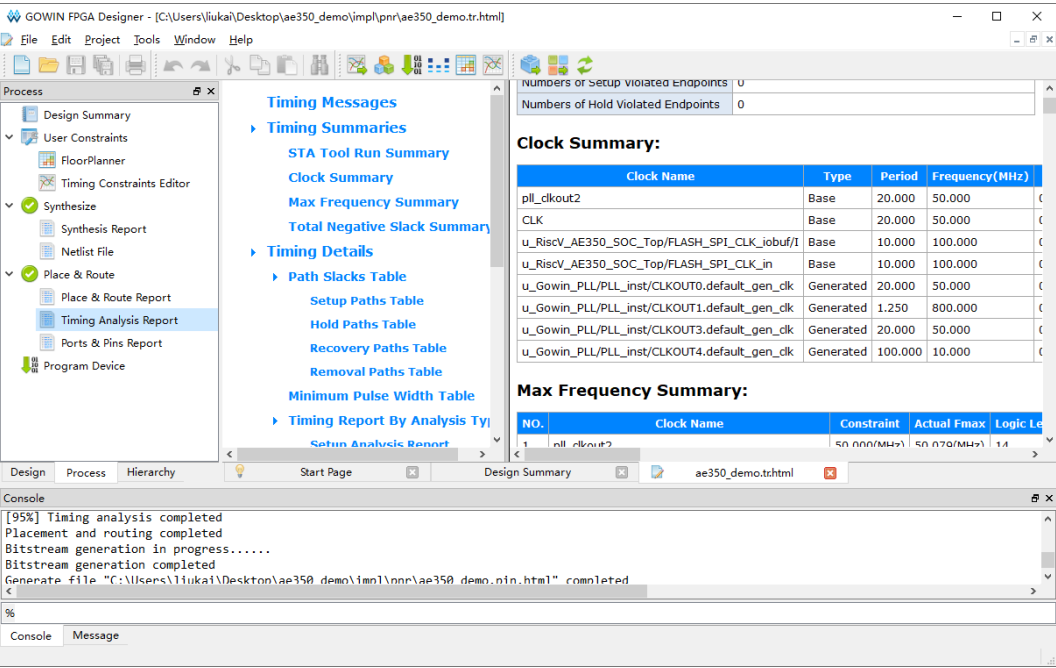
- RiscV_AE350_SOC 的内核时钟由“PLL_R[0] > clkout1”直连提供，必须约束此 PLL_ADV IP 的位置为“PLL_R[0]”。例如，INS_LOC
"u_Gowin_PLL_AE350/PLL_inst" PLL_R[0]。
- RiscV_AE350_SOC 的 DDR3 Memory 时钟由“PLL_L[0] > clkout2”直连提供，建议约束此 PLL_ADV IP 的位置为“PLL_L[0]”。例如，INS_LOC
"u_Gowin_PLL_DDR3/PLL_inst" PLL_L[0]

8.4.2 时序约束

参照软件时序分析报告，加入时序约束，可以使用云源软件的时序约束工具“Timing Constraints Editor”。云源软件，选择主菜单“Tools > Timing Constraints Editor”，或工具栏。

软件时序分析报告，“Place & Route > Timing Analysis Report”，如图 8-24 所示。

图 8-24 Timing Analysis Report



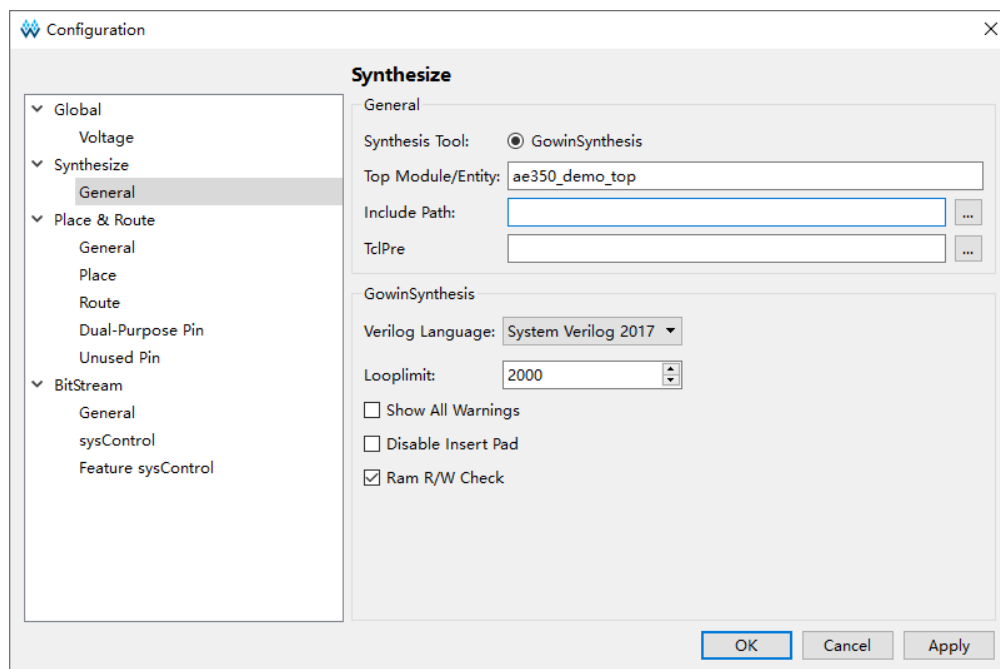
8.5 配置

8.5.1 综合选项

“Synthesize > General” 综合选项配置，如图 8-25 所示。例如：

- 请参照硬件设计的实际顶层模块名称，配置 Top Module/Entity
- 请参照硬件设计的实际头文件引用路径，配置 Include Path
- Verilog Language 配置，例如 System Verilog 2017

图 8-25 综合选项配置

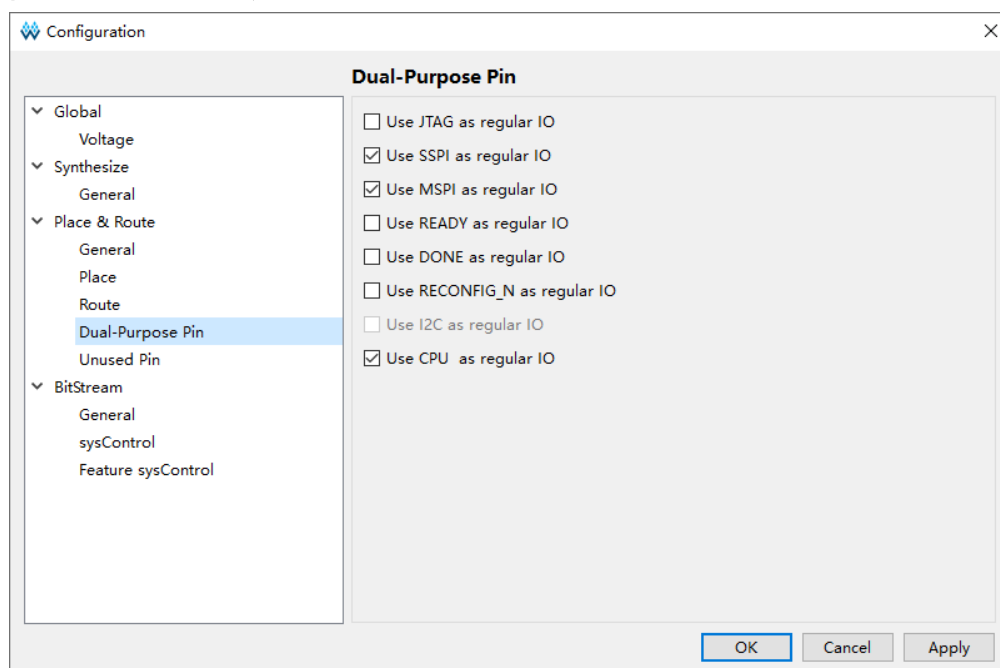


8.5.2 布局布线选项

布局布线选项配置，包括 General、Place、Route、Dual-Purpose Pin 和 Unused Pin，如图 8-26 所示。

请参照硬件设计的实际需求配置，例如 Dual-Purpose Pin 选项，复用“SSPI”、“MSPI”和“CPU”为普通 IO。

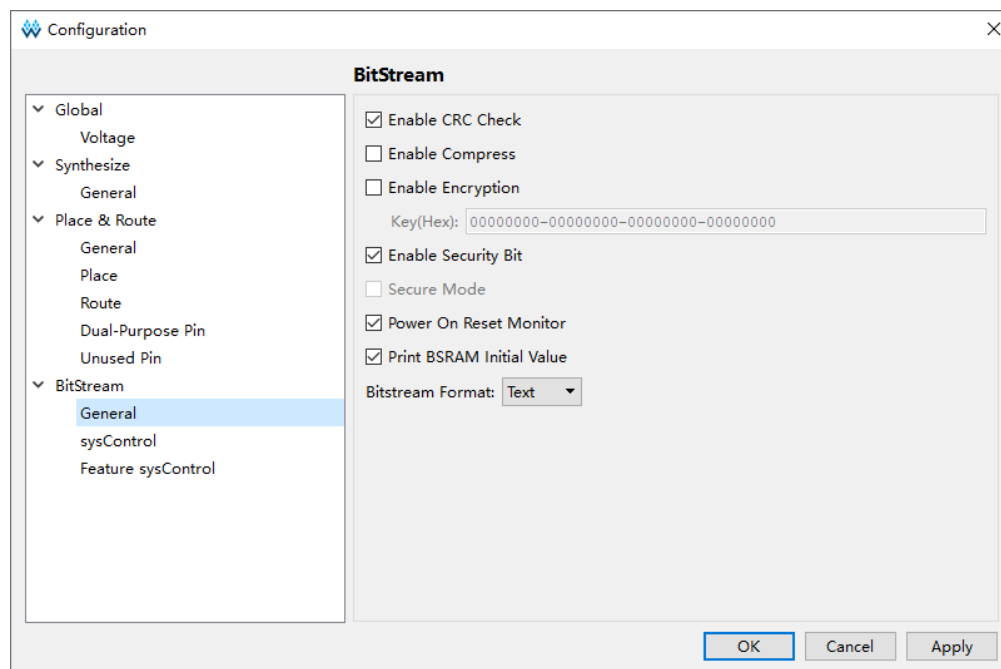
图 8-26 布局布线选项配置



8.5.3 码流选项

码流选项配置包括 General、sysControl 和 Feature sysControl，如图 8-27 所示。

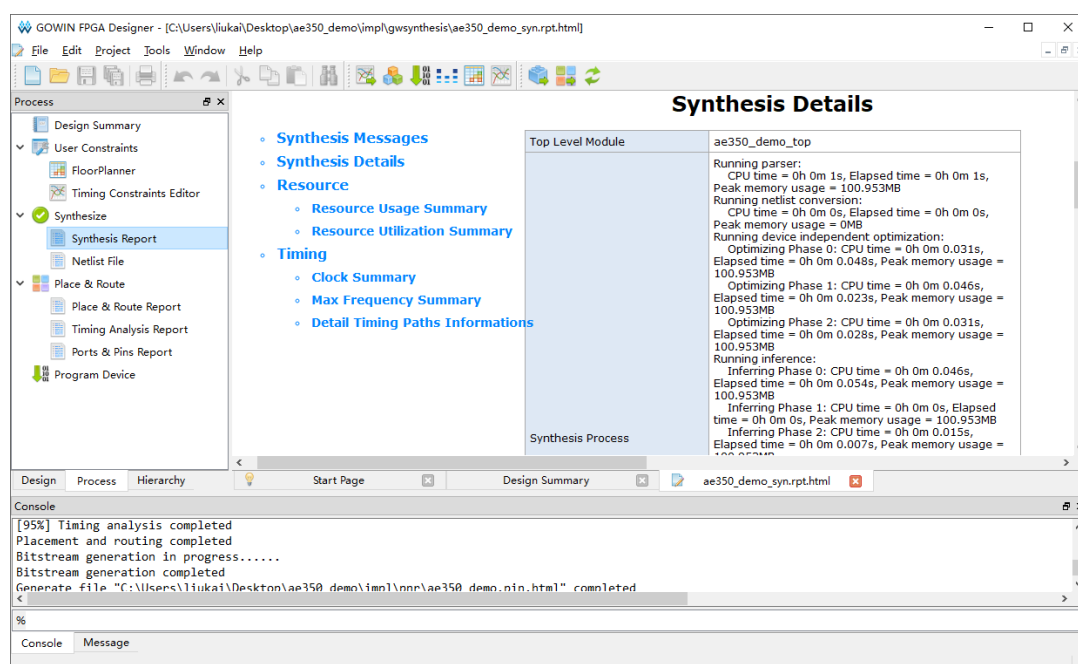
图 8-27 码流选项配置



8.6 综合

云源软件的综合工具“GowinSynthesis®”，综合 RiscV_AE350_SOC 硬件设计，产生网表文件，如图 8-28 所示。

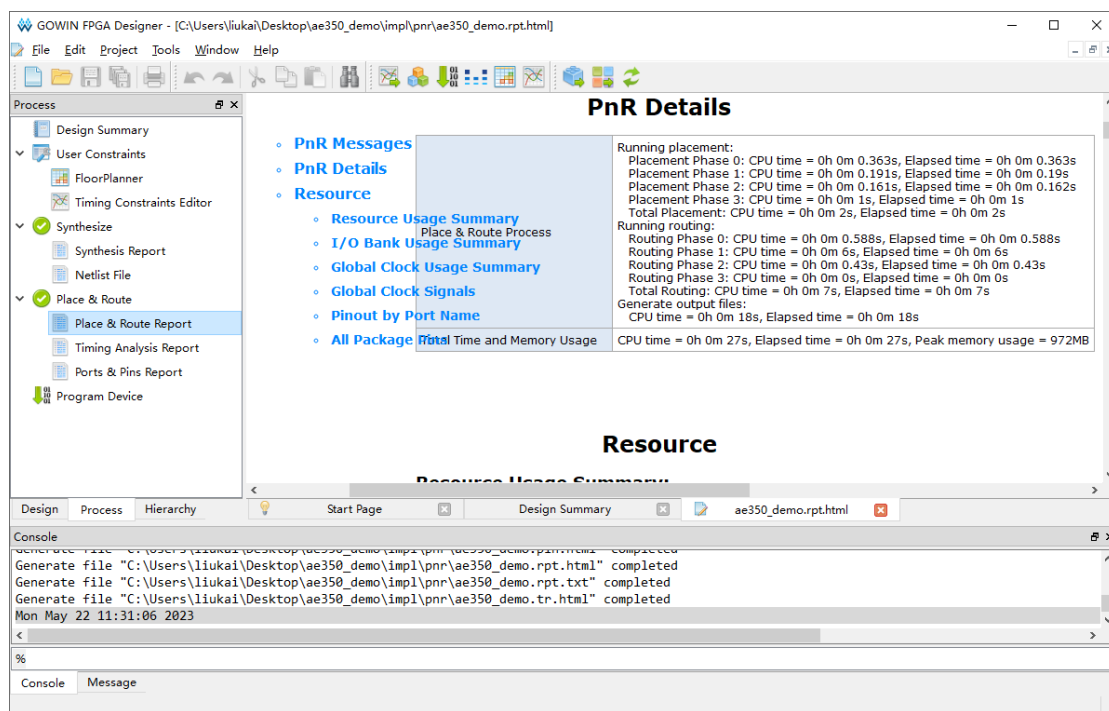
图 8-28 综合



8.7 布局布线

云源软件的布局布线工具“Place & Route”，布局布线网表文件，产生码流文件，如图 8-29 所示。

图 8-29 布局布线



8.8 下载

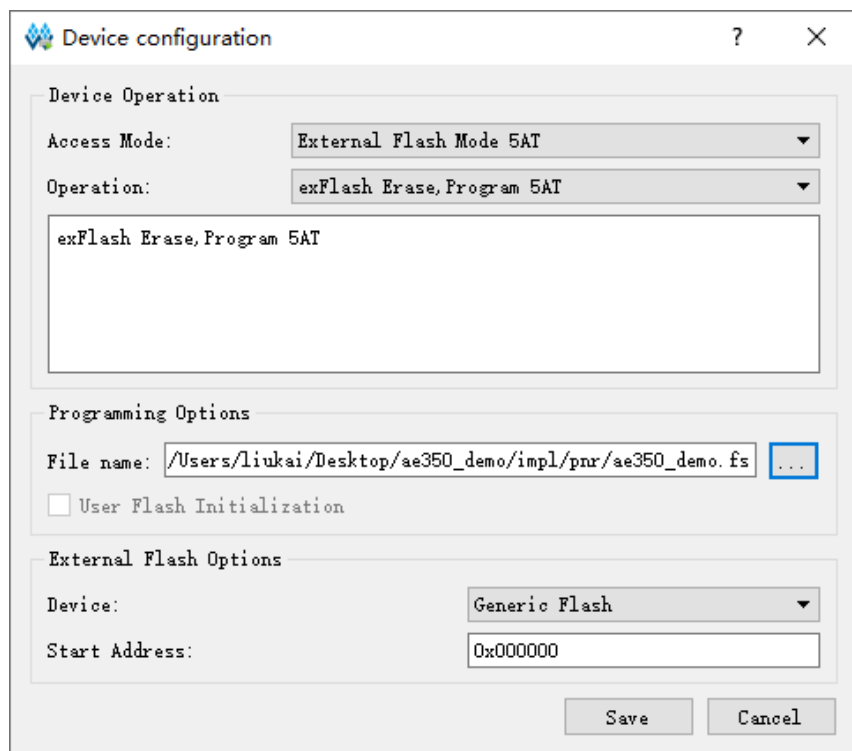
云源软件的下载工具“Programmer”，下载码流文件。

云源软件，“Process > Program Device”，或主菜单“Tools > Programmer”，或工具栏“”，打开 Programmer。

选择 Programmer 主菜单“Edit > Configure Device”，或工具栏“”，配置下载选项，如图 8-30 所示。

- “Access Mode”下拉列表，选择“External Flash Mode 5AT”。
- “Operation”下拉列表，选择“exFlash Erase, Program 5AT”或“exFlash Erase, Program, Verify 5AT”。
- “Programming Options > File name”选项，加入码流文件。
- “External Flash Options > Device”选项，选择“Generic Flash”。
- “External Flash Options > Start Address”选项，设置为“0x000000”。
- 单击“Save”，完成下载选项配置。

图 8-30 下载选项配置



完成下载选项配置后，单击工具栏“”，下载码流文件。

9 参考设计

RiscV_AE350_SOC 提供硬件设计的参考设计：

- ...\\ref_design\\FPGA_RefDesign\\DK_START_GW5AT138_V2.0\\ae350_demo
- ...\\solution\\Extended_AHB_Slave\\ref_design\\FPGA_RefDesign\\DK_START_GW5AT138_V2.0\\ae350_ext_ahb_slave
- ...\\solution\\Extended_AHB2AHBBridge\\ref_design\\FPGA_RefDesign\\DK_START_GW5AT138_V2.0\\ahb_to_ahb_16_bridge
- ...\\solution\\Extended_APB_Slave\\ref_design\\FPGA_RefDesign\\DK_START_GW5AT138_V2.0\\ae350_ext_apb_slave
- ...\\solution\\Extended_APB2APBBridge\\ref_design\\FPGA_RefDesign\\DK_START_GW5AT138_V2.0\\apb_to_apb_16_bridge
- ...\\solution\\Extended_Interrupts\\ref_design\\FPGA_RefDesign\\DK_START_GW5AT138_V2.0\\ae350_ext_intr
- ...\\solution\\Extended_APB_Flash\\ref_design\\FPGA_RefDesign\\DK_START_GW5AT138_V2.0\\ae350_ext_flash
- ...\\solution\\Extended_Data_Memory\\ref_design\\FPGA_RefDesign\\DK_START_GW5AT138_V2.0\\ae350_ext_data_memory

