



# Gowin IP 核产生工具 用户指南

SUG284-2.1, 2020-05-14

## **版权所有© 2020 广东高云半导体科技股份有限公司**

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

## 版本信息

| 日期         | 版本  | 说明  |
|------------|-----|---|
| 2017/03/07 | 1.0 | 初始版本。   |
| 2018/01/30 | 1.2 | <ul style="list-style-type: none"> <li>● 支持 GW1NR-4、GW1N-6、GW1N-9、GW1NR-9;</li> <li>● 更新了 BSRAM 部分;</li> <li>● 更新了 DSP 部分;</li> <li>● 更新了 PLL;</li> <li>● 更新了 User Flash。</li> </ul>  |
| 2018/08/25 | 1.3 | <ul style="list-style-type: none"> <li>● 支持 GW1N-2B、GW1N-4B、GW1N-6ES、GW1N-9ES、GW1NR-4B、GW1NR-9ES、GW1NS-2、GW1NS-2C;</li> <li>● 新增 IP DDR3、DDR3 PHY;</li> <li>● 更新 PLL;</li> <li>● 更新 OSC;</li> <li>● 更新 User Flash;</li> <li>● 优化界面显示;</li> <li>● 新增 IP CORDIC、Complex Multiplier、DIVIDER。</li> </ul>  |
| 2018/10/26 | 1.4 | <ul style="list-style-type: none"> <li>● 支持 GW1NZ-1、GW1NSR-2C;</li> <li>● 新增 I3C、SPMI 硬核。</li> </ul>  |
| 2018/11/15 | 1.5 | <ul style="list-style-type: none"> <li>● 支持 GW1NSR-2;</li> <li>● 删除 GW1N-6ES、GW1NS-9ES、GW1NR-9ES。</li> </ul>  |
| 2019/02/12 | 1.6 | <ul style="list-style-type: none"> <li>● 新增 IP RiscV N25、CAN;</li> <li>● 更新 PSRAM、DDR<sub>x</sub>、MIPI。</li> </ul>  |
| 2019/02/25 | 1.7 | <ul style="list-style-type: none"> <li>● 新增 IP Basic FIR Filter、FD Adaptive Filter、Integer Multiply Divider、NLMS Adaptive Filter、XCORR、Triple Speed Ethernet MAC;</li> <li>● 优化界面显示 (删除界面 Add to Current Project 选项)。</li> </ul>  |
| 2019/05/17 | 1.8 | <ul style="list-style-type: none"> <li>● 支持 GW1N-1S;</li> <li>● 新增 IP PSRAM Memory Interface 2CH、Advanced FIR Filter、Gowin_EMPU_M1、HyperRAM Memory Interface;</li> <li>● 新增 Hard module 部分 Shadow Memory, 包括 RAM16S、RAM16SDP、ROM16;</li> <li>● 更新 IP MIPI、DDR、DDR2、DDR3、GOWIN_EMPU。</li> </ul>  |
| 2019/11/28 | 1.9 | <ul style="list-style-type: none"> <li>● 支持 GW1NS-4、GW1NRF-4B、GW1NSE-2C、GW1NSER-4C、GW1NSR-4、GW1NSR-4C;</li> <li>● 支持综合工具选择 Synplify Pro 或 GowinSynthesis;</li> <li>● Soft IP Core 部分调整分类;</li> <li>● Hard Module 部分新增 BandGap、rPLL、PLLVR、DPB、DPBX9、SDPB、SDPBX9、rSDP、rSDPX9、rROM、rROMX9、pROM、pROMX9;</li> <li>● 对建议优先使用的原语添加引导备注。</li> </ul> |
| 2020/03/10 | 2.0 | <ul style="list-style-type: none"> <li>● 支持 GW1NS-4C、GW2A-18C、GW2AR-18C、GW2A-55C;</li> <li>● Hard Module 部分新增 CLKDIV、CLKDIV2、DLLDLY、DCS、DQCE、DHCEN。</li> </ul>  |
| 2020/05/14 | 2.1 | <ul style="list-style-type: none"> <li>● 调整文档结构;</li> <li>● 删除 DLL。</li> </ul>  |

# 目录

|                         |            |
|-------------------------|------------|
| 目录 .....                | <b>i</b>   |
| 图目录 .....               | <b>iii</b> |
| 表目录 .....               | <b>iv</b>  |
| <b>1 关于本手册 .....</b>    | <b>1</b>   |
| 1.1 手册内容 .....          | 1          |
| 1.2 相关文档 .....          | 1          |
| 1.3 术语、缩略语 .....        | 1          |
| 1.4 技术支持与反馈 .....       | 2          |
| <b>2 概述 .....</b>       | <b>3</b>   |
| 2.1 简介 .....            | 3          |
| 2.2 特征 .....            | 3          |
| <b>3 使用 .....</b>       | <b>4</b>   |
| 3.1 Block Memory .....  | 8          |
| 3.1.1 SP .....          | 8          |
| 3.1.2 DP .....          | 10         |
| 3.1.3 SDP .....         | 11         |
| 3.1.4 ROM .....         | 13         |
| 3.2 Shadow Memory ..... | 15         |
| 3.2.1 RAM16S .....      | 15         |
| 3.2.2 RAM16SDP .....    | 17         |
| 3.2.3 ROM16 .....       | 18         |
| 3.3 DSP .....           | 20         |
| 3.3.1 ALU54 .....       | 20         |
| 3.3.2 MULT .....        | 22         |
| 3.3.3 MULTADDALU .....  | 24         |
| 3.3.4 MULTALU .....     | 25         |
| 3.3.5 PADD .....        | 27         |
| 3.4 CLOCK .....         | 29         |
| 3.4.1 PLL .....         | 29         |
| 3.4.2 PLLVR .....       | 33         |

---

|                      |    |
|----------------------|----|
| 3.4.3 OSC .....      | 34 |
| 3.4.4 CLKDIV .....   | 36 |
| 3.4.5 CLKDIV2 .....  | 37 |
| 3.4.6 DCS .....      | 38 |
| 3.4.7 DHCEN .....    | 40 |
| 3.4.8 DLLDLY .....   | 41 |
| 3.4.9 DQCE .....     | 43 |
| 3.5 User Flash ..... | 44 |
| 3.6 I3C .....        | 45 |
| 3.7 SPMI .....       | 47 |
| 3.8 BandGap .....    | 49 |

# 图目录

|   |    |
|---|----|
| 图 3-1 IP Core Generator 界面 .....                | 5  |
| 图 3-2 Select Device 窗口 .....                    | 6  |
| 图 3-3 IP Customization 窗口 .....                 | 7  |
| 图 3-4 ipc 文件的 IP Customization 窗口 .....         | 7  |
| 图 3-5 SP 的 IP Customization 窗口结构 .....          | 8  |
| 图 3-6 DPB 的 IP Customization 窗口结构 .....         | 10 |
| 图 3-7 SDPB 的 IP Customization 窗口结构 .....        | 12 |
| 图 3-8 pROM 的 IP Customization 窗口结构 .....        | 14 |
| 图 3-9 RAM16S 的 IP Customization 窗口结构 .....      | 16 |
| 图 3-10 RAM16SDP 的 IP Customization 窗口结构 .....   | 17 |
| 图 3-11 ROM16 的 IP Customization 窗口结构 .....      | 19 |
| 图 3-12 ALU54 的 IP Customization 窗口结构 .....      | 20 |
| 图 3-13 MULT 的 IP Customization 窗口结构 .....       | 22 |
| 图 3-14 MULTADDALU 的 IP Customization 窗口结构 ..... | 24 |
| 图 3-15 MULTALU 的 IP Customization 窗口结构 .....    | 26 |
| 图 3-16 PADD 的 IP Customization 窗口结构 .....       | 28 |
| 图 3-17 rPLL 的 IP Customization 窗口结构 .....       | 30 |
| 图 3-18 PLLVR 的 IP Customization 窗口结构 .....      | 33 |
| 图 3-19 OSC 的 IP Customization 窗口结构 .....        | 35 |
| 图 3-20CLKDIV 的 IP Customization 窗口结构 .....      | 36 |
| 图 3-21 CLKDIV2 的 IP Customization 窗口结构 .....    | 38 |
| 图 3-22 DCS 的 IP Customization 窗口结构 .....        | 39 |
| 图 3-23 DHCEN 的 IP Customization 窗口结构 .....      | 40 |
| 图 3-24 DLLDLY 的 IP Customization 窗口结构 .....     | 42 |
| 图 3-25 DQCE 的 IP Customization 窗口结构 .....       | 43 |
| 图 3-26 User Flash 的 IP Customization 窗口结构 ..... | 44 |
| 图 3-27 I3C 的 IP Customization 窗口结构 .....        | 46 |
| 图 3-28 SPMI 的 IP Customization 窗口结构 .....       | 47 |
| 图 3-29 BandGap 的 IP Customization 窗口结构 .....    | 49 |

# 表目录

|                    |   |
|--------------------|---|
| 表 1-1 术语、缩略语 ..... | 1 |
|--------------------|---|

# 1 关于本手册

## 1.1 手册内容

本手册主要描述高云半导体云源软件的 IP 核产生工具（IP Core Generator）的使用，旨在帮助用户快速实现复杂设计。Gowin 云源软件支持 Linux 和 Windows 系统。有关本手册中的软件界面截图和支持的产品列表等信息参考的是 Windows 系统的 1.9.6Beta 版本。因软件版本更新，部分信息可能会略有差异，具体以用户软件版本信息为准。

## 1.2 相关文档

通过登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可下载、查看以下相关文档：

1. [SUG100](#), Gowin 云源软件用户指南
2. [SUG283](#), Gowin 原语用户指南

## 1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义请参考表 1-1。

表 1-1 术语、缩略语

| 术语、缩略语      | 全称                                | 含义           |
|-------------|-----------------------------------|--------------|
| IP Core     | Intellectual Property Core        | 知识产权核        |
| DPB/DPBX9   | Dual Port                         | 双端口存储器       |
| SP/SPX9     | Single Port                       | 单端口存储器       |
| SDPB/SDPBX9 | Semi-dual Port                    | 伪双端口存储器      |
| pROM/pROMX9 | Read Only Memory                  | 只读存储器        |
| PADD        | Pre-adder                         | 前加器          |
| MULT        | Multiplier                        | 乘法器          |
| rPLL        | Phase-locked Loop                 | 锁相环          |
| PLLVR       | Phase-locked Loop                 | 带有电源调节功能的锁相环 |
| OSC         | Oscillator                        | 片内晶振         |
| SPMI        | System Power Management Interface | 系统电源管理接口     |

## 1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 2 概述

## 2.1 简介

Gowin 云源软件 IP 核产生工具主要用于产生实例化的元件以及 IP 软核，通过工具产生实例化的设计之后，用户可调用该实例化模块实现设计所需的功能，帮助用户快速实现复杂设计。目前 IP Core Generator 包括原语相关的 Hard Module 部分和软核相关的 Soft IP Core 两个组成部分。

## 2.2 特征

IP 核产生工具具有以下特征：

- 支持 Soft IP core、Hard module 的信息预览；
- 支持 Soft IP core、Hard module 定制生成；
- 支持 Hard module 实例化示例案例生成；
- 支持自动保存用户配置；
- 支持综合工具切换、IP 生成代码语言选择；
- 部分 Soft IP 支持自动产生激励文件；
- 支持器件信息自动过滤显示可用 IP。

# 3 使用

通过选择菜单栏“Tools > IP Core Generator”，或工具栏“”，打开 IP Core Generator 界面，如图 3-1 所示。

该界面主要分为以下两个部分：

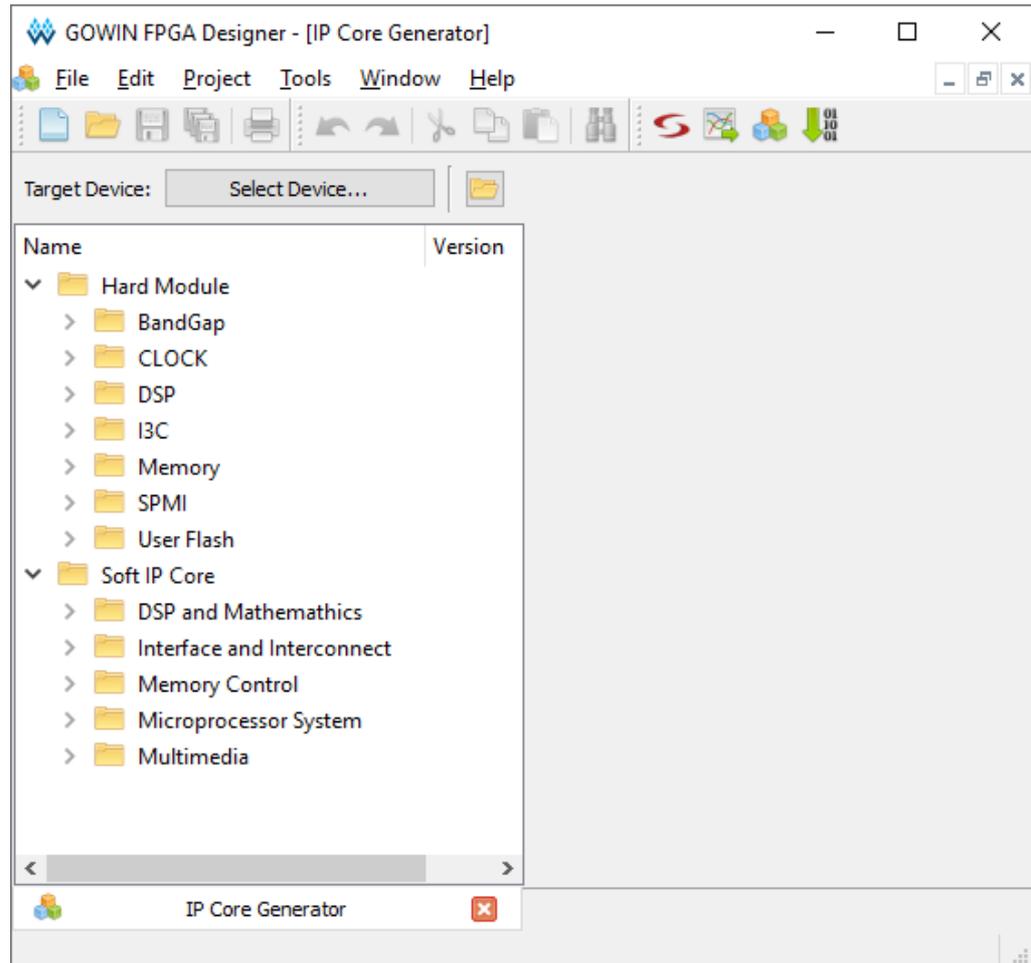
- 原语相关的 Hard Module 部分；
- 软核相关的 Soft IP Core 部分。

Hard Module 部分包括 BandGap、CLOCK、DSP、I3C、Memory、SPMI 和 User Flash 等；

Soft IP Core 部分包括 DSP and Mathematics、Interface and Interconnect、Memory Control、Microprocessor System、Multimedia 等。

本文档主要介绍 Hard Module 模块的使用，Soft IP Core 部分的使用，请参考各个软核使用手册，见[官网技术支持>技术文档>IP](#)。

图 3-1 IP Core Generator 界面

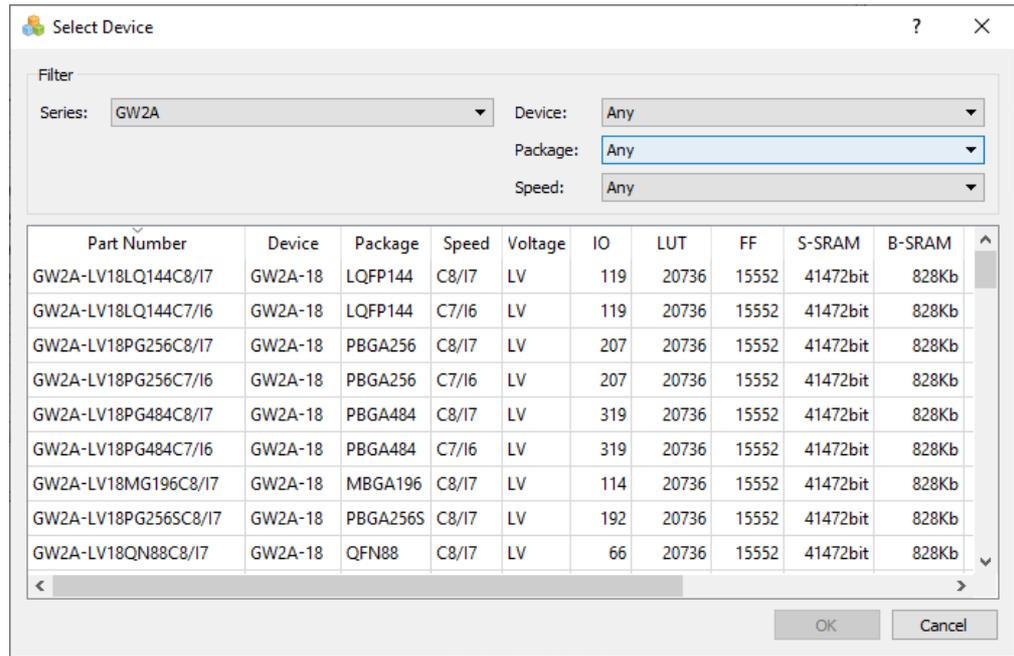


界面顶端有两个控件，“Target Device”按钮和 IP Core 配置文件打开按钮“”。

Target Device，配置 Device。选择右侧显示框，弹出“Select Device”窗口，如图 3-2 所示。

通过该窗口可编辑 Device 信息，修改后的内容显示在 Target Device 的右侧显示框中，双击高亮显示的 IP，可打开 IP Customization 的对话框，修改后的 Device 信息也会显示在 IP Customization 对话框的 File 配置窗口的“Target Device”显示框中。

图 3-2 Select Device 窗口



选定 Device 后, IP Core Generator 会根据设定的 Device 自动判断是否支持特定模块。

- 若支持, 模块名为高亮, 双击可打开“IP Customization”配置窗口, 如图 3-3 中所示, 用户可通过 IP Customization 配置窗口来配置 IP, 配置完成后点击“OK”生成 IP, 各 IP 的配置界面将在本章的各个小节介绍;
- 若不支持, 则模块名为灰色, 不可用。

图标“”, 用于打开已配置好的 IP Core 文件, 并可根据需要进行编辑。点击图标, 弹出“Select IP Config file”对话框, 选择 IP Core 配置文件“.ipc”, 弹出如图 3-4 所示的“IP Customization”页面, 可对配置重新编辑, 其中文件路径不可更改。

图 3-3 IP Customization 窗口

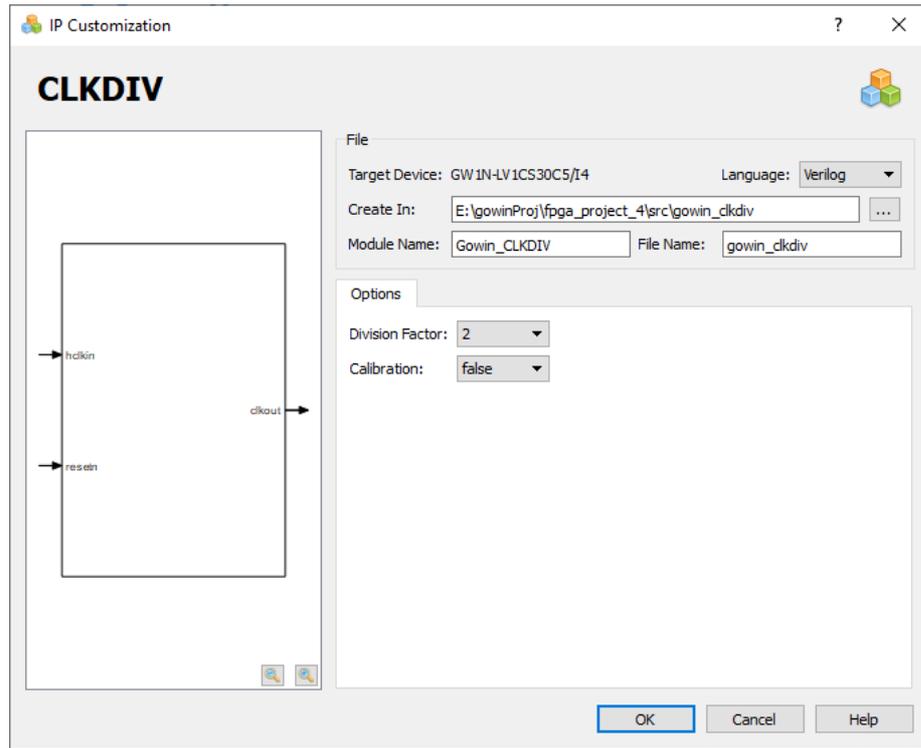
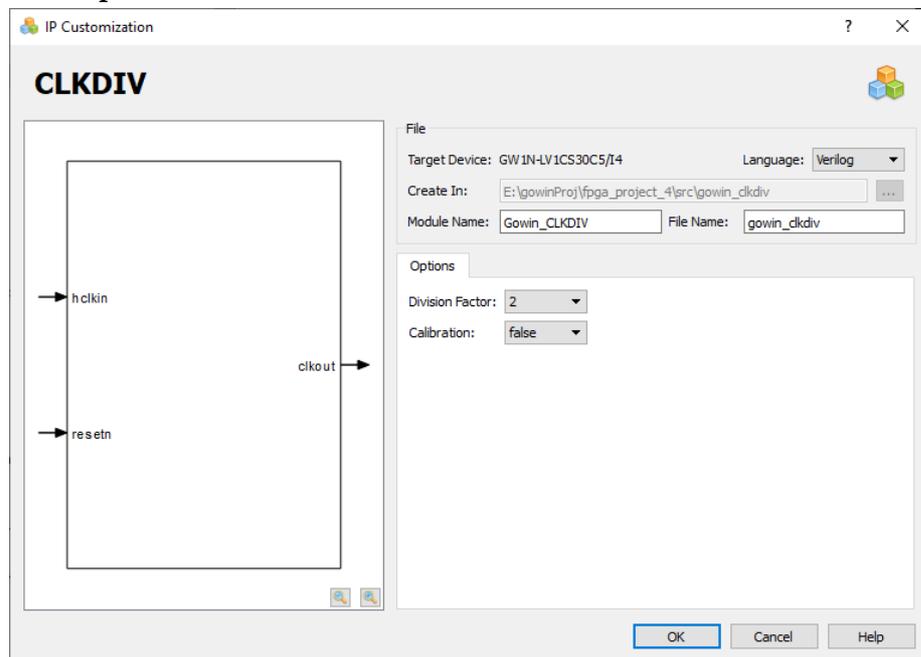


图 3-4 ipc 文件的 IP Customization 窗口



注！

Create In 文件路径不可更改。

## 3.1 Block Memory

当前，Block Memory（BSRAM）模块可实现单端口模式、伪双端口模式、双端口模式以及只读模式。

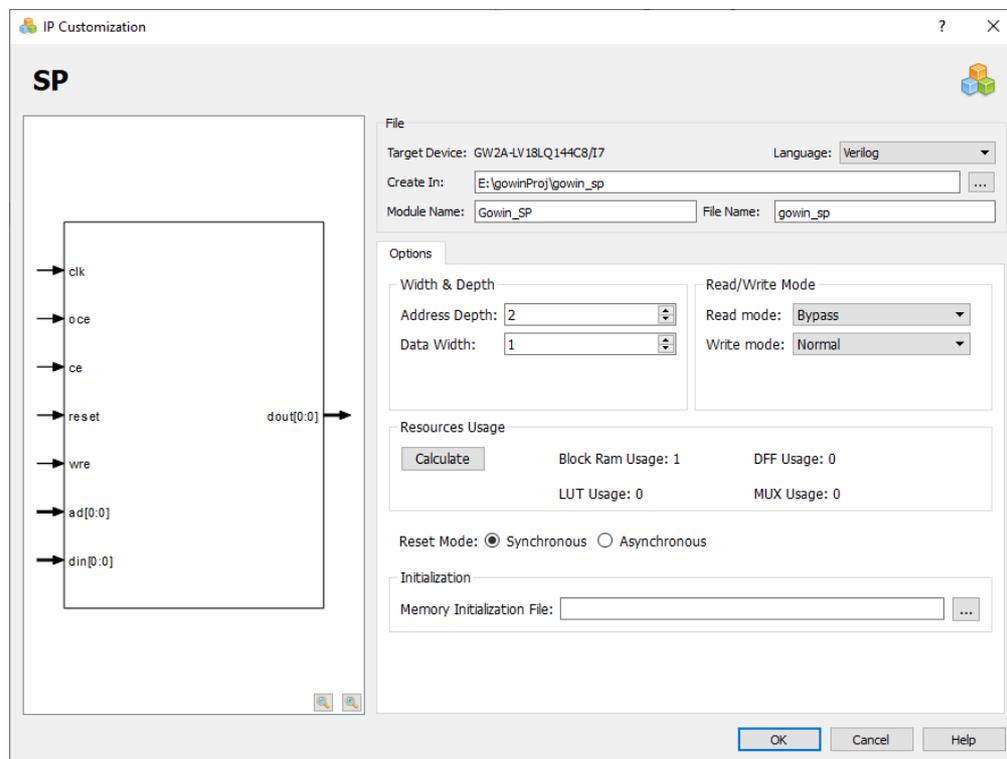
### 3.1.1 SP

SP 为单端口工作模式，可以通过 SP、SPX9 原语实现。在 IP Core Generator 界面中，单击“SP”，界面右侧会显示 SP 的相关信息概要。

#### IP 配置

在 IP Core Generator 界面中，双击“SP”，弹出“IP Customization”窗口，该窗口包括“File”配置框、“Options”配置框、端口显示框图和“Help”按钮，如图 3-5 所示。

图 3-5 SP 的 IP Customization 窗口结构



#### 1. File 配置框

File 配置框用于配置产生的 IP 设计文件的相关信息。

- **Target Device:** 显示已配置的 Device 信息；
- **Language:** 配置产生的 IP 设计文件的硬件描述语言。选择右侧下拉列表框，选择目标语言，支持 Verilog 和 VHDL；
- **Module Name:** 配置产生的 IP 设计文件的 module name。在右侧文本框可重新编辑模块名称。Module Name 不能与原语名称相同，若相同，则报出 Error 提示；
- **File Name:** 配置产生的 IP 设计文件的文件名。在右侧文本框可重新

编辑文件名称；

- **Create In:** 配置产生的 IP 设计文件的目标路径。可在右侧文本框中重新编辑目标路径，也可通过文本框右侧选择按钮选择目标路径。

## 2. Options 配置框

Options 配置框用于用户自定义配置 IP，Options 配置框如图 3-5 所示。

- **Width & Depth:** 配置地址深度 (Address Depth) 和数据宽度 (Data Width)。当配置的地址深度和数据宽度无法通过单个模块实现时，IP Core 会实例化多个模块组合实现；
- **Resource Usage:** 计算并显示当前容量配置上占用的 Block Ram、DFF、LUT、MUX 的资源情况；
- **Read/Write Mode:** 配置读写模式。
- **SP 支持以下模式:**
  - 两种读模式: Bypass 和 Pipeline；
  - 三种写模式: Normal、Write-Through、Read-before-Write；
  - **Reset Mode:** 配置复位模式，支持同步模式 “Synchronous” 和异步模式 “Asynchronous”；
- **Initialization:** 配置初始值。初始值以二进制、十六进制或带地址十六进制的格式写在初始化文件中。“Memory Initialization File” 选取的初始化文件可通过手写或者 IDE 菜单栏 “File > New > Memory Initialization File” 产生，具体产生方式及初始化文件的格式请参考文档 [SUG100](#), Gowin 云源软件用户指南。

## 3. 端口显示框图

- 端口显示框图显示当前 IP Core 的配置结果示例框图，输入输出端口的位宽根据 Options 配置实时更新，如图 3-5 所示。
- Options 配置中的地址深度 “Address Depth” 配置影响地址的位宽，数据位宽 “Data Width” 配置影响输入数据和输出数据的位宽。

## 4. Help 按钮

单击 “Help”，显示 IP Core 的配置信息的页面。Help 页面包括当前 IP Core 的概要介绍，以及 Options 各项配置的简要说明。

## IP 生成文件

IP 窗口配置完成后，产生以配置文件 “File Name” 命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件 “gowin\_sp.v” 为完整的 verilog 模块，根据用户的 IP 配置，产生实例化的 SP；
- IP 设计使用模板文件 “gowin\_sp\_tmp.v”，为用户提供 IP 设计使用模板文件；
- IP 配置文件：“gowin\_sp.ipc”，用户可加载该文件对 IP 进行配置。

注！

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

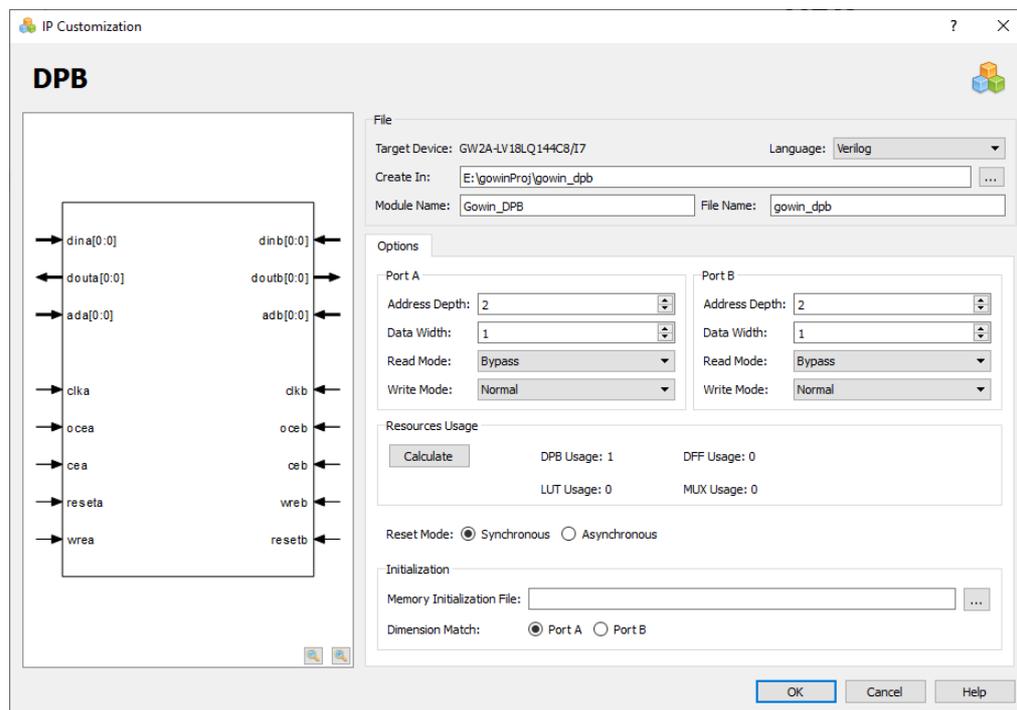
### 3.1.2 DP

DP 是双端口工作模式，可通过 DPB、DPX9B 原语实现。在 IP Core Generator 界面中，单击“DPB”，界面右侧会显示 DPB 的相关信息概要。

#### IP 配置

在 IP Core Generator 界面中，双击“DPB”，弹出 DPB 的 IP Customization 窗口。该窗口包括“File”配置框、“Options”配置框、端口显示框图和“Help”按钮，如图 3-6 所示。

图 3-6 DPB 的 IP Customization 窗口结构



#### 1. File 配置框

File 配置框用于配置产生 IP 设计文件的相关信息，如图 3-6 所示。DPB 的 File 配置框的使用和 SP 模块类似，具体请参考 [3.1 Block Memory > 3.1.1 SP](#) 的 File 配置框。

#### 2. Options 配置框

- Options 配置框用于用户自定义配置 IP，如图 3-6 所示。
- DPB 的 Options 配置框的使用和 SP 模块类似，具体请参考 [3.1 Block Memory > 3.1.1 SP](#) 中的 Options 配置框。
- 配置 DPB 时，需注意以下事项：
  - Options 配置框中可独立配置 DPB 的 Port A 和 Port B 的地址深度、数据宽度和读写模式。
  - DPB 的 Port A 和 Port B 是对同一块 memory 进行读写，因此

Port A 和 Port B 的 Address Depth\*Data Width 的结果必须相同。

- Options 配置中的初始化文件（Memory initialization File）中的数据宽度应与 Dimension Match 选择的 Port 数据宽度一致。

**注！**

- 如 Port A 和 Port B 的 Address Depth\*Data Width 的结果不同，则会弹出 Error 提示信息。
- 如数据宽度不一致，则产生的 DPB 实例 Init 值默认初始化为 0，并且在 Output 窗口中，会弹出如下提示信息：Error (MG2105): Initial values' width is unequal to user's width.

### 3. 端口显示框图

- 端口显示框图显示当前 IP Core 的配置结果示例框图，输入输出端口的位宽根据 Options 配置实时更新，如图 3-6 所示；
- Options 配置中的 Port A 和 Port B 的地址深度 Address Depth 配置影响地址的位宽，数据位宽 Data Width 配置影响输入数据和输出数据的位宽。

### 4. Help 按钮

单击“Help”，显示 IP Core 的配置信息的页面。Help 页面包括当前 IP Core 的概要介绍，以及 Options 各项配置的简要说明。

### IP 生成文件

IP 窗口配置完成后，产生以配置文件“File Name”命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件“gowin\_dpb.v”为完整的 verilog 模块，根据用户的 IP 配置，产生实例化的 DPB；
- IP 设计使用模板文件 gowin\_dpb\_tmp.v，为用户提供 IP 设计使用模板文件；
- IP 配置文件：“gowin\_dpb.ipc”，用户可加载该文件对 IP 进行配置。

**注！**

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

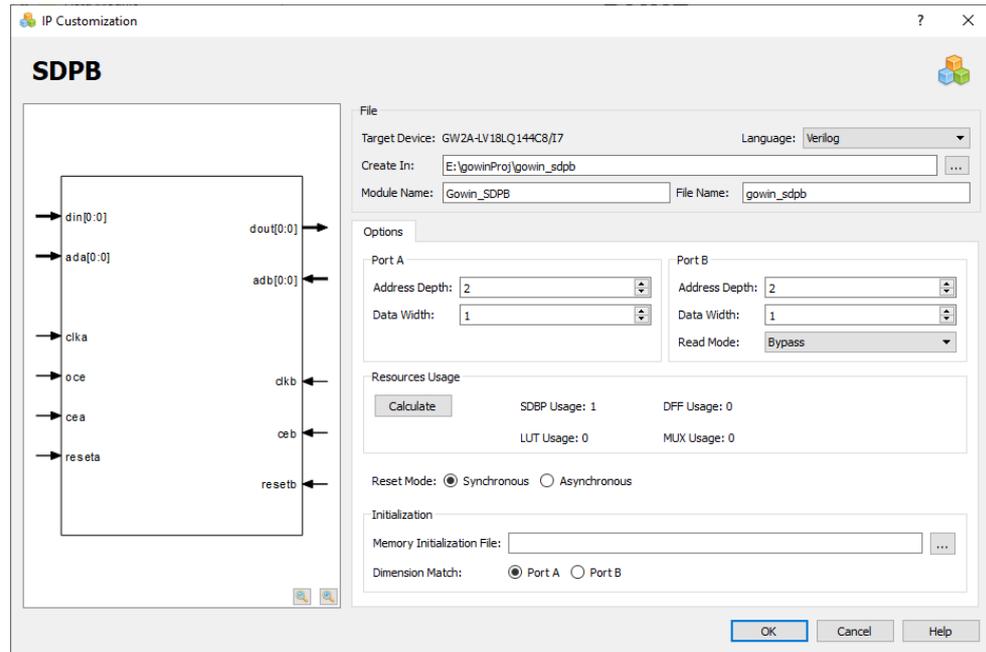
## 3.1.3 SDP

SDP 是伪双端口工作模式，可通过 SDPB、SDPX9B 原语实现。在 IP Core Generator 界面中，单击“SDPB”，界面右侧会显示 SDPB 的相关信息概要。

### IP 配置

在 IP Core Generator 界面中，双击“SDPB”，弹出“IP Customization”窗口。该窗口包括“File”配置框、“Options”配置框、端口显示框图和“Help”按钮，如图 3-7 所示。

图 3-7 SDPB 的 IP Customization 窗口结构



### 1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- SDPB 的 File 配置框的使用和 SP 模块的类似，请参考 [3.1 Block Memory > 3.1.1 SP](#) 中 File 配置框介绍。

### 2. Options 配置框

- Options 配置框用于用户自定义配置 IP，Options 配置框如图 3-7 所示。
- SDPB 的 Options 配置框的使用和 SP 模块的类似，请参考 [3.1 Block Memory > 3.1.1 SP](#) 中 Options 配置框。

### 注！

- SDPB 只支持 PortA 写操作，PortB 读操作；Options 配置框中 Read Mode 配置框可配置 PortB 的 Read Mode 为 Bypass 和 Pipeline；
- Options 配置框中可独立配置 SDPB 的 Port A 和 Port B 的地址深度、数据宽度；
- SDPB 的 Port A 和 Port B 是对同一块 memory 进行读写，所以 Port A 和 Port B 的 Address Depth\*Data Width 的结果须相同，否则会报出 Error 提示信息；
- Options 配置中的初始化文件(Memory initialization File)中的数据宽度应和 Dimension Match 选择的 Port 数据宽度一致，否则产生的 SDPB 实例 Init 值默认初始化为 0，并且会在 Output 窗口显示如下信息：Error (MG2105) : Initial values' width is unequal to user's width.

### 3. 端口显示框图

- 端口显示框图显示当前 IP Core 的配置结果示例框图，输入输出端口的位宽根据 Options 配置实时更新，如图 3-7 所示；
- Options 配置中的 Port A 的地址深度 Address Depth 配置影响 PortA

地址的位宽，数据位宽 **Data Width** 配置影响输入数据的位宽；**PortB** 的地址深度 **Address Depth** 配置影响 **PortB** 地址的位宽，数据位宽 **Data Width** 配置影响输出数据的位宽。

#### 4. Help 按钮

单击“Help”，显示 IP Core 的配置信息页面。Help 页面包括当前 IP Core 的概要介绍，以及 Options 各项配置的简要说明。

#### IP 生成文件

IP 窗口配置完成后，产生以配置文件“File Name”命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件“gowin\_sdpb.v”为完整的 verilog 模块，根据用户的 IP 配置，产生实例化的 SDPB；
- IP 设计使用模板文件 gowin\_sdpb\_tmp.v，为用户提供 IP 设计使用模板文件；
- IP 配置文件：“gowin\_sdpb.ipc”，用户可加载该文件对 IP 进行配置。

注！

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

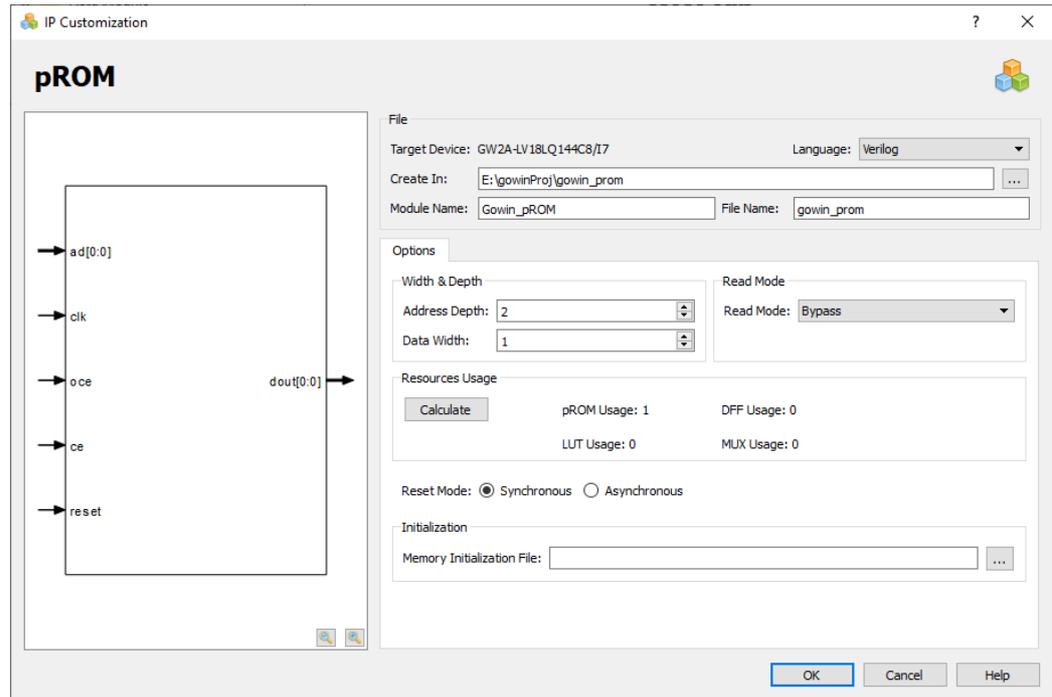
### 3.1.4 ROM

ROM 是只读模式，可通过 pROM、pROMX9 原语实现。在 IP Core Generator 界面中，单击“pROM”，界面右侧会显示 pROM 的相关信息概要。

#### IP 配置

在 IP Core Generator 界面中，双击“pROM”，弹出 pROM 的“IP Customization”窗口。窗口包括“File”配置框、“Options”配置框、端口显示框图和“Help”按钮，如图 3-8 所示。

图 3-8 pROM 的 IP Customization 窗口结构



### 1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- pROM 的 File 配置框的使用和 SP 模块的类似，请参考 [3.1 Block Memory > 3.1.1 SP](#) 中的 File 配置框。

### 2. Options 配置框

- Options 配置框用于用户自定义配置 IP，Options 配置框如图 3-8 所示。
- pROM 的 Options 配置框的使用和 SP 模块的类似，请参考 [3.1 Block Memory > 3.1.1 SP](#) 中的 Options 配置。

### 注！

- pROM 的工作模式为只读模式，Options 配置框中可配置的 Read Mode 为 Bypass 和 Pipeline。
- Options 配置中的初始化文件（Memory initialization File）中的数据宽度应和配置中的数据宽度（Data Width）保持一致，否则产生的 pROM 实例 Init 值默认初始化为 0，并在 Output 窗口中弹出如下信息：Error (MG2105) : Initial values' width is unequal to user's width.

### 3. 端口显示框图

- 端口显示框图显示当前 IP Core 的配置结果示例框图，输入输出端口的位宽根据 Options 配置实时更新，如图 3-8 所示；
- Options 配置中的地址深度 Address Depth 配置影响地址的位宽，数据位宽 Data Width 配置影响输出数据的位宽。

### 4. Help 按钮

单击“Help”，显示 IP Core 的配置信息页面。Help 页面包括当前 IP Core 的概要介绍，以及 Options 各项配置的简要说明。

### IP 生成文件

IP 窗口配置完成后，产生以配置文件“File Name”命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件“gowin\_prom.v”为完整的 verilog 模块，根据用户的 IP 配置，产生实例化的 pROM；
- IP 设计使用模板文件 gowin\_prom\_tmp.v，为用户提供 IP 设计使用模板文件；
- IP 配置文件：“gowin\_prom.ipc”，用户可加载该文件对 IP 进行配置。

注！

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

## 3.2 Shadow Memory

Shadow Memory (SSRAM) 模块可实现 RAM16S (单端口模式)、RAM16SDP (伪双端口模式)、ROM16 (只读模式)。

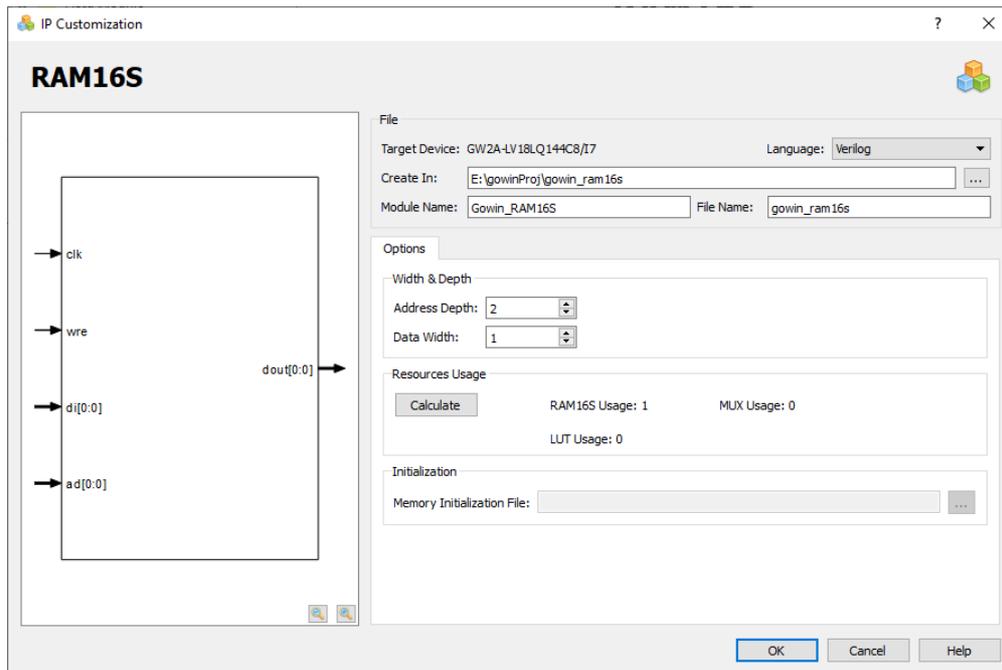
### 3.2.1 RAM16S

RAM16S 为单端口工作模式，可以通过 RAM16S1、RAM16S2、RAM16S4 原语实现。在 IP Core Generator 界面中，单击“RAM16S”，界面右侧会显示 RAM16S 的相关信息概要。

#### IP 配置

在 IP Core Generator 界面中，双击“RAM16S”，弹出 RAM16S 的“IP Customization”窗口。该窗口包括“File”配置框、“Options”配置框、端口显示框图和“Help”按钮，如图 3-9 所示。

图 3-9 RAM16S 的 IP Customization 窗口结构



#### 1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- RAM16S 的 File 配置框的使用和 SP 模块类似，具体请参考 [3.1 Block Memory > 3.1.1 SP](#) 的 File 配置框。

#### 2. Options 配置框

- Options 配置框用于用户自定义配置 IP，Options 配置框如图 3-9 所示。
- RAM16S 的 Options 配置框的使用和 SP 模块类似，具体请参考 [3.1 Block Memory > 3.1.1 SP](#) 的 Options 配置框。

#### 3. 端口显示框图

- 端口显示框图显示当前 IP Core 的配置结果示例框图，输入输出端口的位宽根据 Options 配置实时更新，如图 3-9 所示；
- Options 配置中的地址深度“Address Depth”配置影响地址数据的位宽，数据位宽“Data Width”配置影响输入数据和输出数据的位宽。

#### 4. Help 按钮

单击“Help”，显示 IP Core 的配置信息的页面。Help 页面包括当前 IP Core 的概要介绍，以及 Options 各项配置的简要说明。

### IP 生成文件

IP 窗口配置完成后，产生以配置文件“File Name”命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件“gowin\_ram16s.v”为完整的 verilog 模块，根据用户的 IP

配置，产生实例化的 RAM16S；

- IP 设计使用模板文件 `gowin_ram16s_tmp.v`，为用户提供 IP 设计使用模板文件；
- IP 配置文件：“`gowin_ram16s.ipc`”，用户可加载该文件对 IP 进行配置。

注！

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

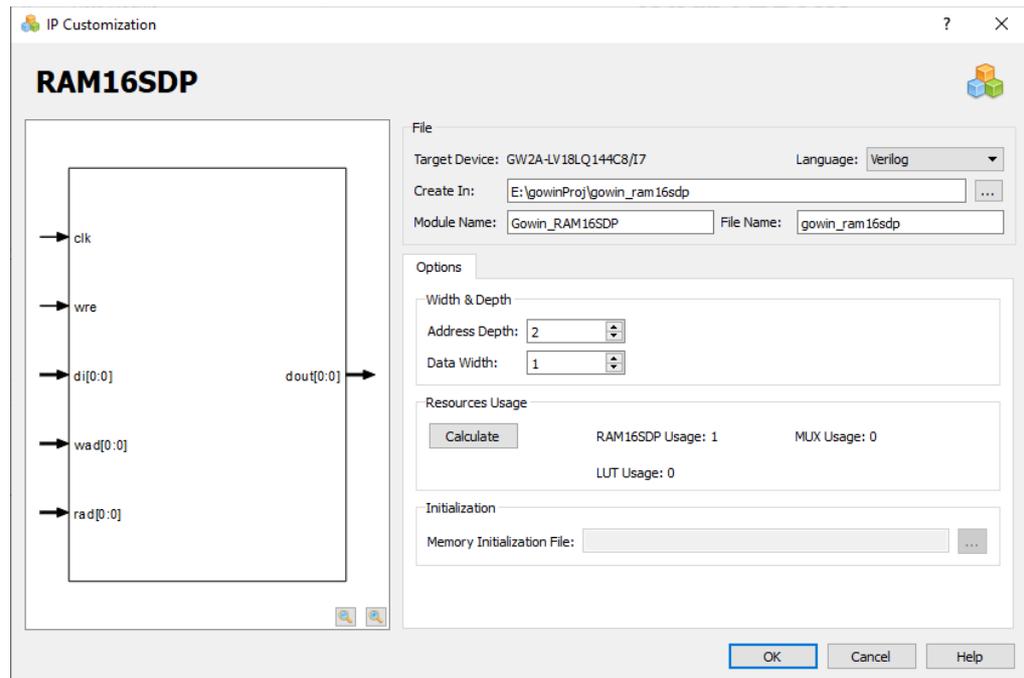
### 3.2.2 RAM16SDP

RAM16SDP 是伪双端口工作模式，可通过 RAM16SDP1、RAM16SDP2、RAM16SDP4 原语实现。在 IP Core Generator 界面中，单击“RAM16SDP”，界面右侧会显示 RAM16SDP 的相关信息概要。

#### IP 配置

在 IP Core Generator 界面中，双击“RAM16SDP”，弹出“IP Customization”窗口。该窗口包括“File”配置框、“Options”配置框、端口显示框图和“Help”按钮，如图 3-10 所示。

图 3-10 RAM16SDP 的 IP Customization 窗口结构



#### 1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- RAM16SDP 的 File 配置框的使用和 SP 模块的类似，请参考 [3.1 Block Memory > 3.1.1 SP](#) 中 File 配置框介绍。

#### 2. Options 配置框

- Options 配置框用于用户自定义配置 IP，Options 配置框如图 3-10 所示。

- RAM16SDP 的 Options 配置框的使用和 SP 模块的类似, 请参考 [3.1 Block Memory > 3.1.1 SP](#) 中 Options 配置框。
3. 端口显示框图
- 端口显示框图显示当前 IP Core 的配置结果示例框图, 输入输出端口的位宽根据 Options 配置实时更新, 如图 3-10 所示;
  - Options 配置中的地址深度 Address Depth 配置影响写地址和读地址的位宽, 数据位宽 Data Width 配置影响输入数据和输出数据的位宽。
4. Help 按钮
- 单击“Help”, 显示 IP Core 的配置信息页面。Help 页面包括当前 IP Core 的概要介绍, 以及 Options 各项配置的简要说明。

### IP 生成文件

IP 窗口配置完成后, 产生以配置文件“File Name”命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件“gowin\_ram16sdp.v”为完整的 verilog 模块, 根据用户的 IP 配置, 产生实例化的 RAM16SDP;
- IP 设计使用模板文件 gowin\_ram16sdp\_tmp.v, 为用户提供 IP 设计使用模板文件;
- IP 配置文件: “gowin\_ram16sdp.ipc”, 用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL, 则产生的前两个文件名后缀为.vhd。

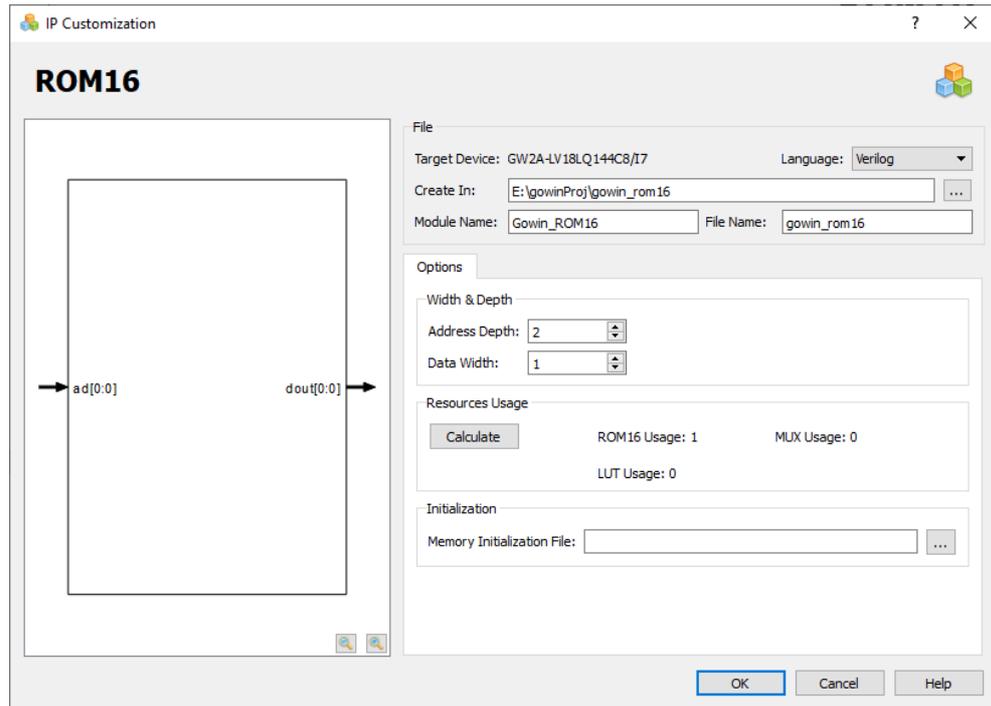
## 3.2.3 ROM16

ROM16 是只读模式。在 IP Core Generator 界面中, 单击“ROM16”, 界面右侧会显示 ROM16 的相关信息概要。

### IP 配置

在 IP Core Generator 界面中, 双击“ROM16”, 弹出 ROM16 的“IP Customization”窗口。窗口包括“File”配置框、“Options”配置框、端口显示框图和“Help”按钮。

图 3-11 ROM16 的 IP Customization 窗口结构



#### 1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- ROM16 的 File 配置框的使用和 SP 模块的类似，请参考 [3.1 Block Memory > 3.1.1 SP](#) 中的 File 配置框。

#### 2. Options 配置框

- Options 配置框用于用户自定义配置 IP，Options 配置框如图 3-11 所示。
- ROM16 的 Options 配置框的使用和 SP 模块的类似，请参考 [3.1 Block Memory > 3.1.1 SP](#) 中的 Options 配置。

#### 3. 端口显示框图

- 端口显示框图显示当前 IP Core 的配置结果示例框图，输入输出端口的位宽根据 Options 配置实时更新，如图 3-11 所示；
- Options 配置中的地址深度 Address Depth 配置影响地址的位宽，数据位宽 Data Width 配置影响输出数据的位宽。

#### 4. Help 按钮

单击“Help”，显示 IP Core 的配置信息页面。Help 页面包括当前 IP Core 的概要介绍，以及 Options 各项配置的简要说明。

### IP 生成文件

IP 窗口配置完成后，产生以配置文件“File Name”命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件 “gowin\_rom16.v” 为完整的 verilog 模块，根据用户的 IP 配置，产生实例化的 ROM16；
- IP 设计使用模板文件 gowin\_rom16\_tmp.v，为用户提供 IP 设计使用模板文件；
- IP 配置文件：“gowin\_rom16.ipc”，用户可加载该文件对 IP 进行配置。

注！

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

## 3.3 DSP

DSP 模块支持五种高云原语的产生：ALU54、MULT、MULTADDALU、MULTALU、PADD。

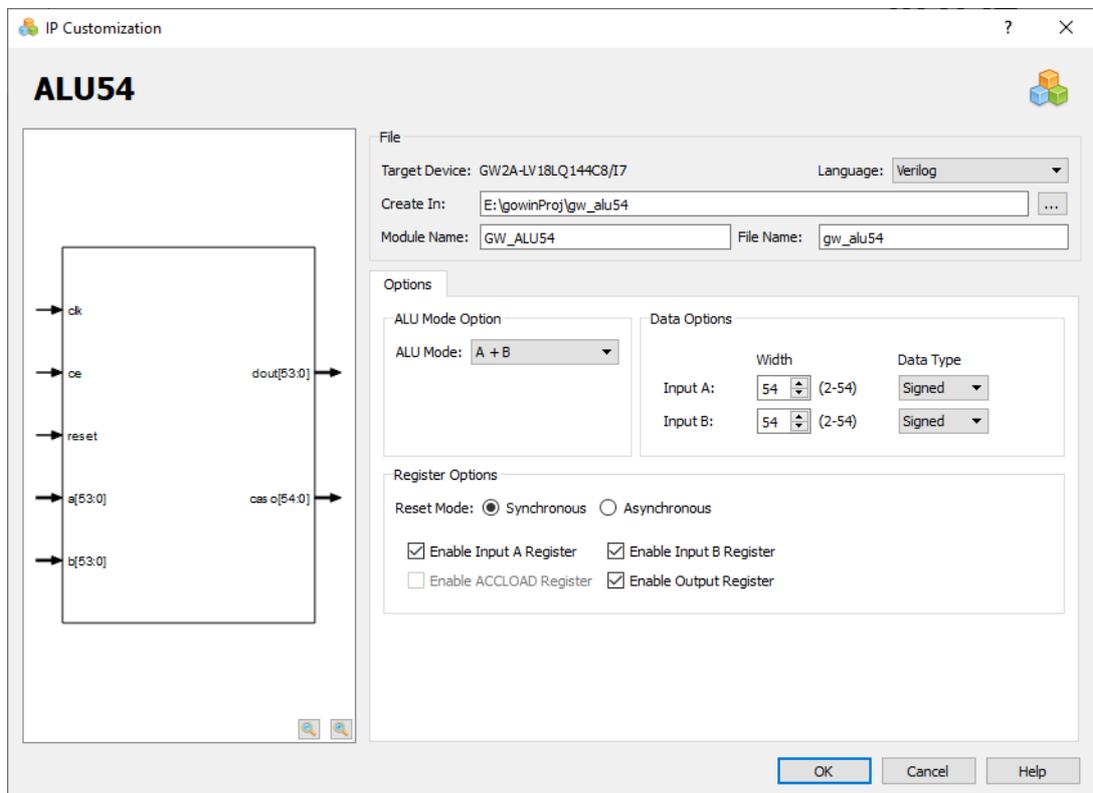
### 3.3.1 ALU54

ALU54 实现 54 位算数逻辑运算。在 IP Core Generator 界面中，单击 “ALU54”，界面右侧会显示 ALU54 的相关信息概要。

#### IP 配置

在 IP Core Generator 界面中，双击 “ALU54”，弹出 ALU54 的 “IP Customization” 窗口，如图 3-12 所示。该窗口包括 “File” 配置框、“Options” 配置框、端口显示框图和 “Help” 按钮。

图 3-12 ALU54 的 IP Customization 窗口结构



#### 1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- ALU54 的 File 配置框的使用和 SP 模块的类似，请参考 [3.1 Block Memory > 3.1.1 SP](#) 中的 File 配置框。

## 2. Options 配置框

Options 配置框用于用户自定义配置 IP，Options 配置框如图 3-12 所示。

- ALU Mode Option: 配置 ALU54 的运算模式。可选择：
  - $A + B$ ;
  - $A - B$ ;
  - Accum +  $A + B$ ;
  - Accum +  $A - B$ ;
  - Accum -  $A + B$ ;
  - Accum -  $A - B$ ;
  - $B + CASI$ ;
  - Accum +  $B + CASI$ ;
  - Accum -  $B + CASI$ ;
  - $A + B + CASI$ ;
  - $A - B + CASI$ ;
- Data Options: 配置数据选项。
  - 配置 ALU54 输入数据位宽。输入 A/B 端的数据可配置为 1-54 位；
  - 输出端口数据位宽无需用户配置，其会根据输入位宽自动调整位宽；
  - “Data Type” 选项可配置为 Signed、Unsigned。
- Register Options: 配置寄存器工作模式。
  - “Reset Mode” 选项配置 ALU54 的复位模式，支持同步模式 “Synchronous” 和异步模式 “Asynchronous”；
  - “Enable Input A Register” 配置 Input A register；
  - “Enable Input B Register” 配置 Input B register；
  - “Enable ACCLOAD Register” 配置 ACCLOAD register；
  - “Enable Output Register” 配置 Output register。

## 3. 端口显示框图

端口显示框图显示当前 IP Core 的配置结果示例框图，输入输出端口的位宽根据 Options 配置实时更新，如图 3-12 所示。

## 4. Help 按钮

单击 “Help”，显示 IP Core 的配置信息的页面。Help 页面包括当前 IP

Core 的概要介绍，以及 Options 各项配置的简要说明。

### IP 生成文件

IP 窗口配置完成后，产生以配置文件“File Name”命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件“gw\_alu54.v”为完整的 verilog 模块，根据用户的 IP 配置，产生实例化的 ALU54；
- IP 设计使用模板文件 gw\_alu54\_tmp.v，为用户提供 IP 设计使用模板文件；
- IP 配置文件：“gw\_alu54.ipc”，用户可加载该文件对 IP 进行配置。

注！

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

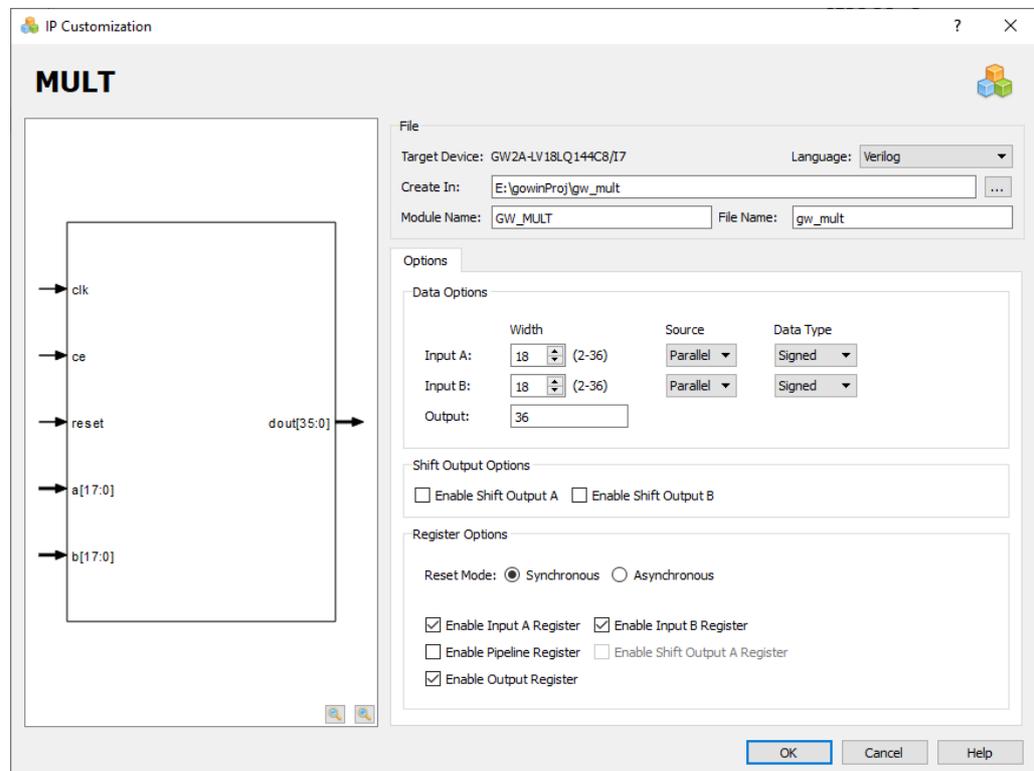
## 3.3.2 MULT

MULT 实现乘法运算功能。在 IP Core Generator 界面中单击“MULT”，界面右侧会显示 MULT 的相关信息概要。

### IP 配置

在 IP Core Generator 界面中双击“MULT”，弹出 MULT 的“IP Customization”窗口，如图 3-13 所示。该窗口包括“File”配置框、“Options”配置框、端口显示框图以及“Help”按钮。

图 3-13 MULT 的 IP Customization 窗口结构



#### 1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
  - MULT 的 File 配置框的使用和 SP 模块的类似，请参考 [3.1 Block Memory > 3.1.1 SP](#) 中的 File 配置框。
2. Options 配置框
- Options 配置框用于用户自定义配置 IP，Options 配置框如图 3-13 所示。
  - Data Options: 配置数据选项。
    - 输入端口 (Input A Width/ Input B Width) 最大数据位宽为 36;
    - 输出端口数据位宽 (Output Width) 无需用户配置，它会根据输入位宽自动调整位宽，例化时会根据位宽生成 MULT9X9, MULT18X18, MULT36X36。
    - 输入端口 A/B 可配置为 Parallel、Shift;
    - 数据类型可配置为 Unsigned、Signed。
  - Shift Output Options: 能否使能 shift out 功能，输入端口 (Input A Width/ Input B Width) 都小于等于 18 时，可使用此功能。
- 注!
- 输入端口 (Input A Width/ Input B Width) 任一项大于 18 时，Shift Output Options 置灰，不可使用。
- Register Options: 该选项的功能、用法与 ALU54 的 Register Options 选项相同，请参考 [3.3.1 ALU54](#) 中的 Option 配置框。
3. 端口显示框图
- 端口显示框图显示当前 IP Core 的配置结果示例框图，输入输出端口的个数以及位宽根据 Options 配置实时更新，如图 3-13 所示。
4. Help 按钮
- 单击“Help”，显示 IP Core 的配置信息的页面。Help 页面包括当前 IP Core 的概要介绍，以及 Options 各项配置的简要说明。

### IP 生成文件

IP 窗口配置完成后，产生以配置文件“File Name”命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件“gw\_mult.v”为完整的 verilog 模块，根据用户的 IP 配置，产生实例化的 MULT；
- IP 设计使用模板文件 gw\_mult\_tmp.v, 为用户提供 IP 设计使用模板文件；
- IP 配置文件：“gw\_mult.ipc”，用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

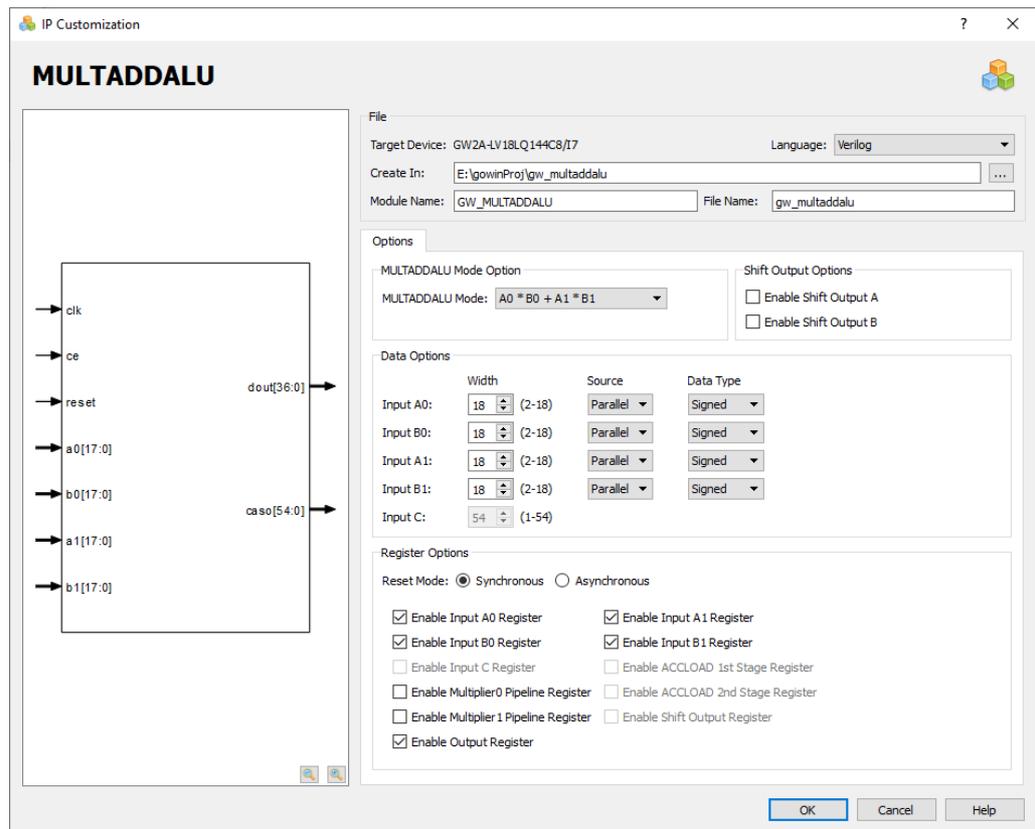
### 3.3.3 MULTADDALU

MULTADDALU 实现乘法器二次求和或累加功能。在 IP Core Generator 界面中，单击“MULTADDALU”，界面右侧会显示 MULTADDALU 的相关信息概要。

#### IP 配置

在 IP Core Generator 界面中，双击“MULTADDALU”，弹出 MULTADDALU 的“IP Customization”窗口。该窗口包括“File”配置框、“Options”配置框、端口显示框图和“Help”按钮，如图 3-14 所示。

图 3-14 MULTADDALU 的 IP Customization 窗口结构



#### 1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- MULTADDALU 的 File 配置框的使用和 SP 模块的类似，请参考 [3.1 Block Memory > 3.1.1 SP](#) 中的 File 配置框。

#### 2. Options 配置框

Options 配置框用于用户自定义配置 IP，Options 配置框如图 3-14 所示。

- MULTADDALU Mode Option: 配置 MULTADDALU 的运算模式。可选择：
  - $A0 * B0 + A1 * B1$
  - $A0 * B0 - A1 * B1$

- $A0*B0 + A1*B1 + C$
  - $A0*B0 + A1*B1 - C$
  - $A0*B0 - A1*B1 + C$
  - $A0*B0 - A1*B1 - C$
  - $Accum + A0*B0 + A1*B1$
  - $Accum + A0*B0 - A1*B1$
  - $A0*B0 + A1*B1 + CASI$
  - $A0*B0 - A1*B1 + CASI;$
- MULTADDALU 的 Data Options 和 Register Options 配置框的使用和 MULT 模块的类似，请参考 [3.3.2 MULT](#)。
3. 端口显示框图  
端口显示框图显示当前 IP Core 的配置结果示例框图，输入输出端口的位宽根据 Data Options 和 Register Options 配置实时更新，如图 3-14 所示。
  4. Help 按钮  
单击“Help”，显示 IP Core 的配置信息的页面。Help 页面包括 IP Core 的概要介绍，以及 Data Options 和 Register Options 各项配置的简要说明。

### IP 生成文件

IP 窗口配置完成后，产生以配置文件“File Name”命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件“gw\_multaddalu.v”为完整的 verilog 模块，根据用户的 IP 配置，产生实例化的 MULTADDALU；
- IP 设计使用模板文件 gw\_multaddalu\_tmp.v，为用户提供 IP 设计使用模板文件；
- IP 配置文件：“gw\_multaddalu.ipc”，用户可加载该文件对 IP 进行配置。

注！

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

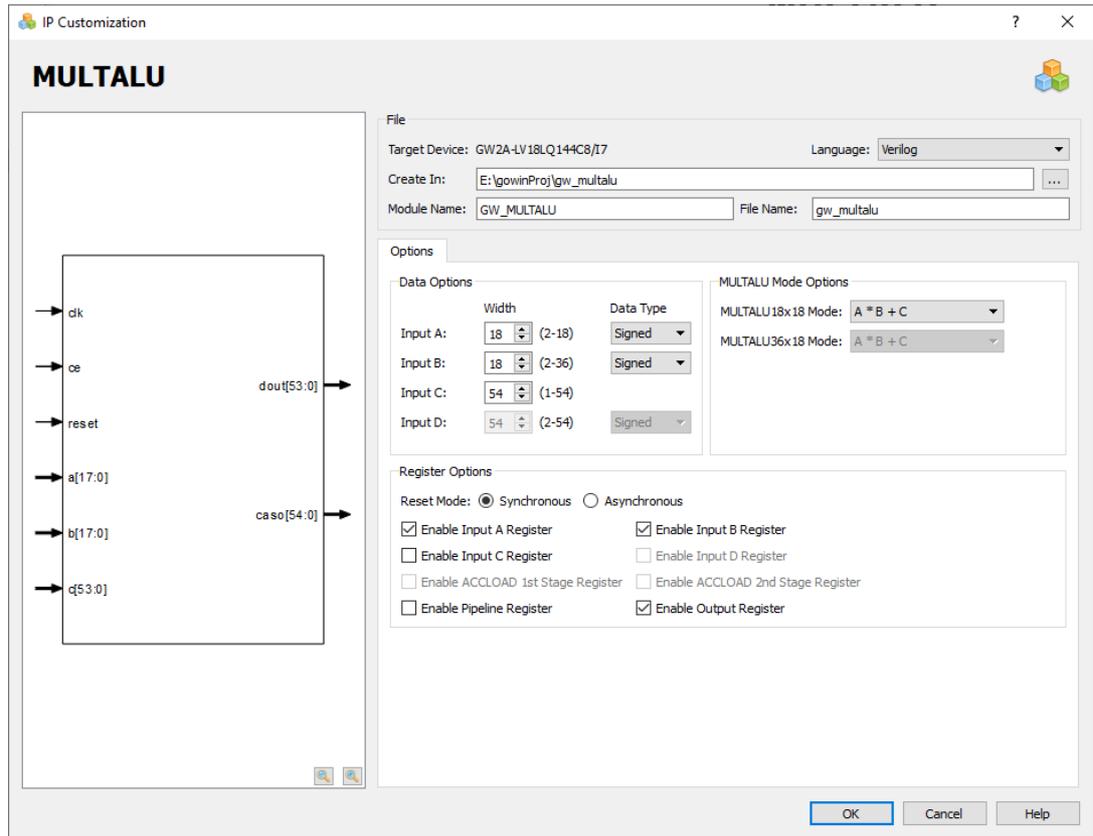
### 3.3.4 MULTALU

MULTALU 实现乘积求和或累加的功能。在 IP Core Generator 界面中，单击 MULTALU，界面右侧会显示 MULTALU 的相关信息概要。

#### IP 配置

在 IP Core Generator 界面中，双击“MULTALU”，弹出“IP Customization”窗口。该窗口包括“File”配置框、“Options”配置框、端口显示框图和“Help”按钮，如图 3-15 所示。

图 3-15 MULTALU 的 IP Customization 窗口结构



### 1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- MULTALU 的 File 配置框的使用和 SP 模块的类似, 请参考 [3.1 Block Memory > 3.1.1 SP](#) 中的 File 配置框。

### 2. Options 配置框

Options 配置框用于用户自定义配置 IP, Options 配置框如图 3-15 所示。

- MULTALU Mode Option  
IP Core 中的 MULTALU 根据输入端口的位宽可以生成两种模块: MULTALU36X18 或 MULTALU18X18。当 Input A 和 Input B 的 width 都小于或等于 18 位时, Options 配置框右侧的 MULTALU Mode Options 中 MULTALU36X18 Mode 置灰, MULTALU18X18 Mode 可以配置为:
  - $A * B + C$
  - $A * B - C$
  - $Accum + A * B + C$
  - $Accum + A * B - C$
  - $Accum - A * B + C$
  - $Accum - A * B - C$
  - $A * B + CASI$

- $Accum + A*B + CASI$
  - $Accum - A*B + CASI$
  - $A*B + D + CASI$
  - $A*B - D + CASI$
  - 当 Input B 的 width 大于 18 位时，MULTALU18X18 Mode 置灰，MULTALU36X18 Mode 可以配置为：
    - $A*B + C$
    - $A*B - C$
    - $Accum + A*B$
    - $A*B + CASI$
  - MULTALU 的 Data Options 和 Register Options 配置框的使用和 MULT 模块的类似，请参考 [3.3.2 MULT](#)。
3. 端口显示框图  
端口显示框图显示当前 IP Core 的配置结果示例框图，输入输出端口的位宽根据 Options 配置实时更新，如图 3-15 所示。
4. Help 按钮  
单击“Help”，显示 IP Core 的配置信息的页面。Help 页面包括当前 IP Core 的概要介绍，以及 Options 各项配置的简要说明。

### IP 生成文件

IP 窗口配置完成后，产生以配置文件“File Name”命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件“gw\_multtalu.v”为完整的 verilog 模块，根据用户的 IP 配置，产生实例化的 MULTALU；
- IP 设计使用模板文件 gw\_multtalu\_tmp.v，为用户提供 IP 设计使用模板文件；
- IP 配置文件：“gw\_multtalu.ipc”，用户可加载该文件对 IP 进行配置。

注！

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

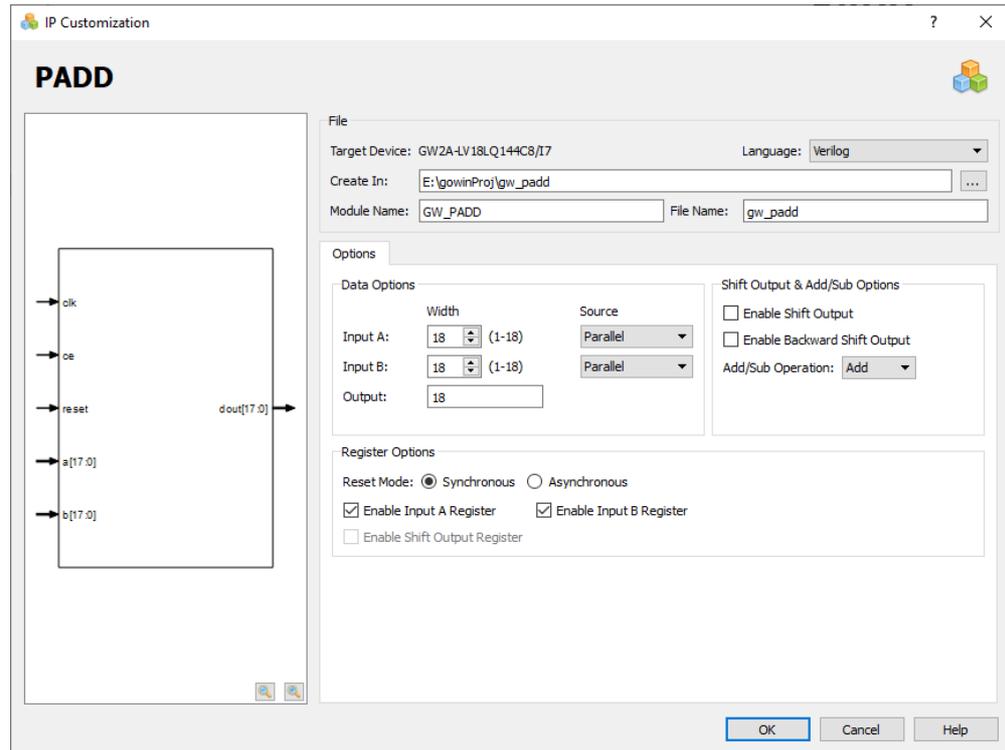
## 3.3.5 PADD

PADD 实现预加、预减或移位功能。在 IP Core Generator 界面中，单击“PADD”，界面右侧即会显示 PADD 的相关信息概要。

### IP 配置

在 IP Core Generator 界面中，双击“PADD”，弹出“IP Customization”窗口。该窗口包括“File”配置框、“Options”配置框、端口显示框图和“Help”按钮，如图 3-16 所示。

图 3-16 PADD 的 IP Customization 窗口结构



### 1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- PADD 的 File 配置框的使用和 SP 模块的类似，请参考 [3.1 Block Memory > 3.1.1 SP](#) 中的 File 配置框。

### 2. Options 配置框

Options 配置框用于用户自定义配置 IP，Options 配置框如图 3-16 所示。

- Data Options: 配置数据选项。
  - 输入端口（Input A Width/ Input B Width）最大数据位宽为 18；
  - 输出端口数据位宽（output Width）无需用户配置，它会根据输入位宽自动调整位宽，例化时会根据位宽决定生成 PADD9 或 PADD18。
  - 输入端口 A 的数据来源可通过“Input A Source”选项配置为 Parallel 和 Shift；
  - 输入端口 B 的数据来源可通过“Input B Source”选项配置为 Parallel、Backward Shift。
- Shift Output & Add/Sub Options: 使能 Shift Output、Backward Shift Output 和加减操作配置。
  - 使能 Shift Output 通过选中“Enable Shift Output”进行配置；
  - 使能 Backward Shift Output 通过选中“Enable Backward Shift Output”选项进行配置；

- PADD 可通过配置 “Add/Sub Operation” 选项执行加法、减法。
  - Register Options: 配置寄存器工作模式。
    - “Reset Mode” 选项配置 PADD 的复位模式，支持同步模式 “Synchronous” 和异步模式 “Asynchronous”;
    - “Enable Input A Register” 配置 Input A register;
    - “Enable Input B Register” 配置 Input B register;
    - “Enable Output Register” 配置 Output register。
3. 端口显示框图  
端口显示框图显示当前 IP Core 的配置结果示例框图，输入输出端口的个数以及位宽根据 Options 配置实时更新，如图 3-16 所示。
4. Help 按钮  
单击 “Help”，显示 IP Core 的配置信息的页面。Help 页面包括当前 IP Core 的概要介绍，以及 Options 各项配置的简要说明。

### IP 生成文件

IP 窗口配置完成后，产生以配置文件 “File Name” 命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件 “gw\_padd.v” 为完整的 verilog 模块，根据用户的 IP 配置，产生实例化的 PADD;
- IP 设计使用模板文件 gw\_padd\_tmp.v，为用户提供 IP 设计使用模板文件;
- IP 配置文件: “gw\_padd.ipc”，用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

## 3.4 CLOCK

当前，CLOCK 模块支持 9 种高云原语的产生：rPLL、PLLVR、OSC、CLKDIV、CLKDIV2、DCS、DHCEN、DLLDLY、DQCE。

### 3.4.1 PLL

PLL 可基于给定的输入  $clk_{in}$  进行时钟相位调整、占空比调整、频率调整（倍频和分频）等来产生不同相位和频率的输出。在 IP Core Generator 界面中，单击 “rPLL”，界面右侧会显示 rPLL 的相关信息概要。

rPLL 输出数据计算公式如下：

1.  $f_{CLKOUT} = (f_{CLKIN} * FDIV) / IDIV$
2.  $f_{CLKOUTD} = f_{CLKOUT} / SDIV$
3.  $f_{VCO} = f_{CLKOUT} * ODIV$

注!

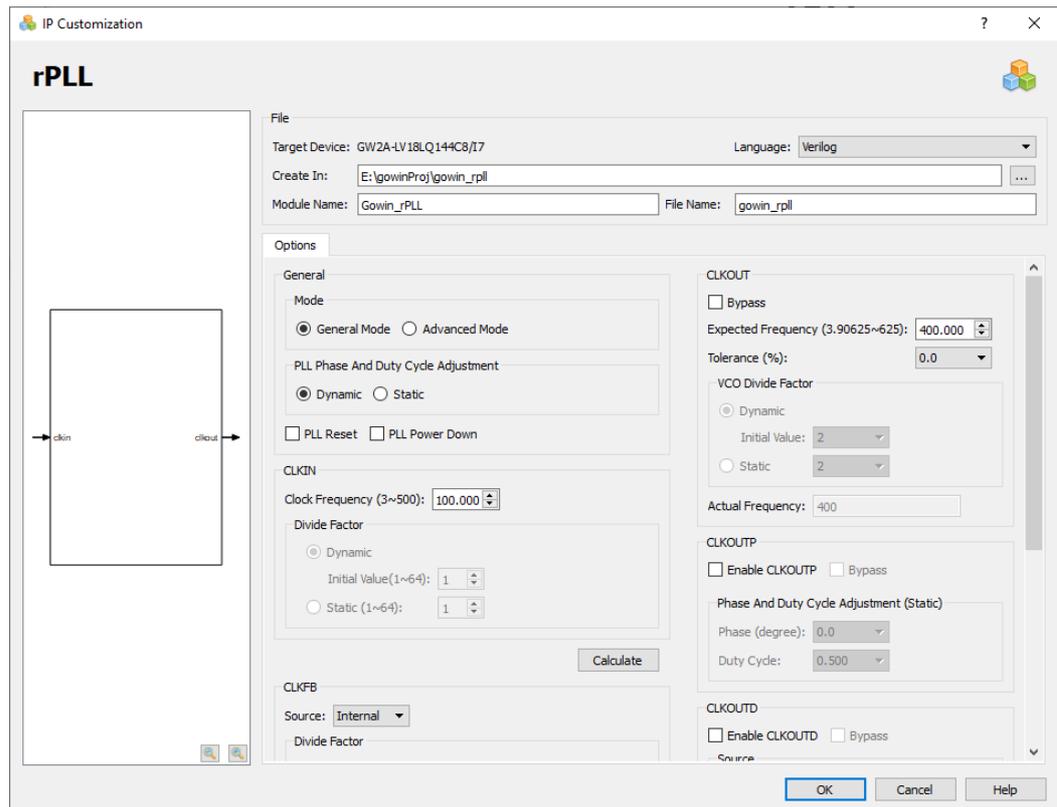
- $f_{CLKIN}$  为输入时钟 CLKIN 频率;

- $f_{\text{CLKOUT}}$  为输出时钟 CLKOUT 频率；
- $f_{\text{CLKOUTD}}$  为输出时钟 CLKOUTD 频率，CLKOUTD 是 CLKOUT 分频后的时钟；
- $f_{\text{VCO}}$  为 VCO 震荡频率。

## IP 配置

在 IP Core Generator 界面中双击“rPLL”，弹出 rPLL 的“IP Customization”窗口。该窗口包括“File”配置框、“Options”配置框、端口显示框图和“Help”按钮，如图 3-17 所示。

图 3-17 rPLL 的 IP Customization 窗口结构



### 1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- rPLL 的 File 配置框的使用和 SP 模块的类似，请参考 [3.1 Block Memory > 3.1.1 SP](#) 中的 File 配置框。

### 2. Options 配置框

Options 配置框用于用户自定义配置 IP，Options 配置框如图 3-17 所示。

- **General:** 配置一般模式和高级模式，配置输出相位和占空比调整的动态、静态模式和使能 PLL Reset。
  - “Mode”选项配置 IP Core 配置的模式，支持一般模式“General Mode”和高级模式“Advanced Mode”；
  - “PLL Phase And Duty Cycle Adjustment”选项配置输出的占空比和相位调整的模式，支持动态调整“Dynamic”和静态调整

- “Static”;
- “PLL Reset” 选项配置 rPLL 的 Reset 使能模式;
- “PLL Power Down” 选项配置 reset\_p 端口使 rPLL 处于节电模式。
- CLKIN: 配置 rPLL 输入时钟的频率, 分频参数的设置和 IDSEL Reset 使能模式。
  - “Clock Frequency (频率范围)” 配置输入时钟的频率, 范围由 device 决定;
  - “Divide Factor” 可在高级模式下配置分频参数, 支持动态模式 “Dynamic” 和静态模式 “Static”, 静态模式下可配置分频参数的具体数值, 范围为 1~64。若 CLKOUT 的输出频率不在相应 device 要求的范围内, 单击 “Calculate” 或 “OK”, 会弹出提示窗口提示错误; 若 CLKIN/IDIV 的频率不在相应 device 要求的 Clock Frequency 范围内, 单击 “Calculate” 或 “OK”, 会弹出提示窗口提示错误。
- CLKFB: 配置 rPLL 反馈时钟的源和倍频参数。
  - 配置反馈时钟的源时, “Source” 选项可选择 Internal 和 External;
  - “Divide Factor” 可在高级模式下配置倍频参数, 支持动态模式 “Dynamic” 和静态模式 “Static”, 静态模式下可配置倍频参数的具体数值, 范围为 1~64, 配置不合理时, 单击 “Calculate” 按钮或 “OK” 按钮, 会弹出提示窗口提示错误。
- Enable LOCK: 使能 LOCK 端口。
- CLKOUT: 配置 rPLL 输出时钟期望频率, 配置 VCO 参数, 配置输出时钟周期的微调参数。
  - “Bypass” 选项可配置输出时钟的旁路功能;
  - “Expected Frequency (频率范围)” 在一般模式下配置期望的输出时钟 CLKOUT 的频率, 范围由 device 决定;
  - “Tolerance (%)” 配置 CLKOUT 期望频率和计算出的实际频率的允许误差。
  - “VCO Divide Factor” 在高级模式下配置 VCO 参数支持动态模式 “Dynamic” 和静态模式 “Static”, 静态模式下可配置分频参数的具体数值, 范围为 2/4/8/16/32/48/64/80/96/112/128, 配置不合理时, 单击 “Calculate” 或 “OK”, 会弹出提示窗口提示错误。
  - “Actual Frequency” 显示经计算得出的 CLKOUT 实际频率, 无需用户配置。
- CLKOUTP: 配置相移时钟周期微调参数, 配置相移时钟的相位和占空比调整参数, 使能/失能相移时钟的 Reset。

- “Enable CLKOUTP” 选项配置相移时钟输出使能;
  - “Bypass” 选项配置相移时钟的旁路功能使能;
  - “Phase And Duty Cycle Adjustment (Static)” 可在静态模式下配置相位 (Phase (degree)) 和占空比 (Duty Cycle);
  - CLKOUTD: 配置分频时钟输出的时钟源, 配置期望分频时钟输出频率, 配置分频时钟分频输出参数, 使能/失能分频时钟输出的 Reset。
    - “Enable CLKOUTD” 选项配置分频时钟输出使能;
    - “Bypass” 选项配置分频时钟输出的旁路功能使能;
    - “Source” 选项配置分频时钟输出的时钟源, 可选 CLKOUT 和 CLKOUTP;
    - “Expected Frequency (频率范围)” 在一般模式下配置期望的分频时钟输出的频率, 范围由 device 决定;
    - “Tolerance (%)” 配置分频时钟输出期望频率和计算出的实际频率的允许误差;
    - “Divide Factor (2~128)” 在高级模式下配置分频时钟输出的分频参数, 范围为 2~128 之间的偶数, 设置为奇数时单击“OK”会提示错误。
    - “Actual Frequency” 显示经计算得出的分频时钟输出的实际频率, 无需用户配置;
  - CLKOUTD3: 配置三分频时钟输出的时钟源。
    - “Enable CLKOUTD3” 选项配置三分频时钟输出使能;
    - “Source” 选项配置三分频时钟输出的时钟源, 可选 CLKOUT 和 CLKOUTP。
  - Calculate: 计算当前配置是否合理。
    - 一般模式 “General Mode” 下, 根据输入输出频率计算配置分频参数、倍频参数和 VCO 参数, 计算出的实际频率和期望频率不相等时, 单击 “Calculate” 按钮后会弹出 “error” 窗口提示错误, 并将不合理位置标红。
    - 在高级模式 “Advanced Mode” 下, 计算配置的静态分频参数、倍频参数和 VCO 参数是否合理, 若不合理, 单击 “Calculate”, 弹出 “error” 窗口提示错误, 并将不合理位置标红置正确, 单击 “Calculate”, 弹出 “info” 窗口提示配置成功。
3. 端口显示框图  
端口显示框图显示 IP Core 的配置结果示例框图, 输入输出端口的个数根据 Options 配置实时更新, 如图 3-17 所示。
  4. Help 按钮  
单击 “Help”, 显示 IP Core 的配置信息的页面。Help 页面包括 IP Core

的概要介绍以及 Options 各项配置的简要说明。

### IP 生成文件

IP 窗口配置完成后，产生以配置文件“File Name”命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件“gowin\_rpll.v”为完整的 verilog 模块，根据用户的 IP 配置，产生实例化的 rPLL；
- IP 设计使用模板文件 gowin\_rpll\_tmp.v，为用户提供 IP 设计使用模板文件；
- IP 配置文件：“gowin\_rpll.ipc”，用户可加载该文件对 IP 进行配置。

注！

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

### 3.4.2 PLLVR

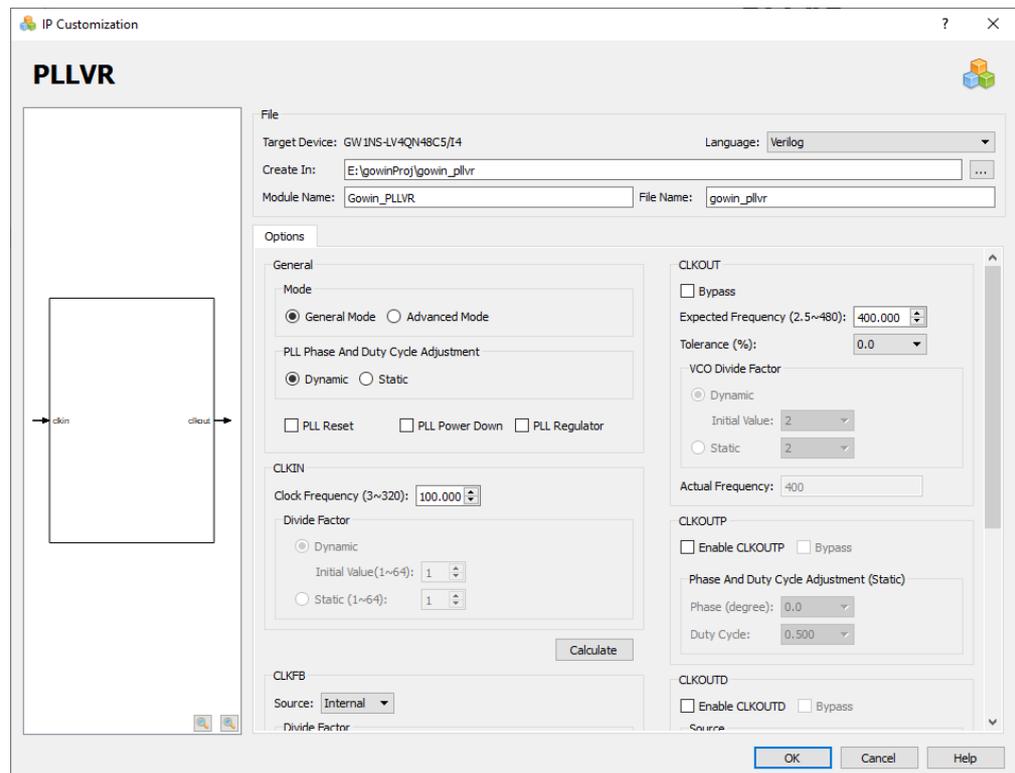
PLLVR 是带电源调节的 PLL，只适用于 GW1NS-4、GW1NS-4C、GW1NSR-4、GW1NSR-4C、GW1NSER-4C。在 IP Core Generator 界面中，单击“PLLVR”，界面右侧会显示 PLLVR 的相关信息概要。

PLLVR 输出数据计算公式与 PLL 一致，请参考 [3.4 CLOCK > 3.4.1 PLL](#)。

### IP 配置

在 IP Core Generator 界面中双击“PLLVR”，弹出 PLLVR 的“IP Customization”窗口。该窗口包括“File”配置框、“Options”配置框、端口显示框图和“Help”按钮，如图 3-18 所示。

图 3-18 PLLVR 的 IP Customization 窗口结构



### 1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- PLLVR 的 File 配置框的使用和 SP 模块的类似，请参考 [3.1 Block Memory > 3.1.1 SP](#) 中的 File 配置框。

### 2. Options 配置框

- Options 配置框用于用户自定义配置 IP，Options 配置框如图 3-18 所示。
- PLLVR 配置框的使用和 rPLL 模块类似，请参考 [3.4 CLOCK > 3.4.1 PLL](#) 中的 Options 配置框。其中新增 PLL Regulator 选项。

### 3. 端口显示框图

端口显示框图显示 IP Core 的配置结果示例框图，输入输出端口的个数根据 Options 配置实时更新，如图 3-18 所示。

### 4. Help 按钮

单击“Help”，显示 IP Core 的配置信息的页面。Help 页面包括 IP Core 的概要介绍以及 Options 各项配置的简要说明。

## IP 生成文件

IP 窗口配置完成后，产生以配置文件“File Name”命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件“gowin\_pllvr.v”为完整的 verilog 模块，根据用户的 IP 配置，产生实例化的 PLLVR；
- IP 设计使用模板文件 gowin\_pllvr\_tmp.v，为用户提供 IP 设计使用模板文件；
- IP 配置文件：“gowin\_pllvr.ipc”，用户可加载该文件对 IP 进行配置。

注！

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

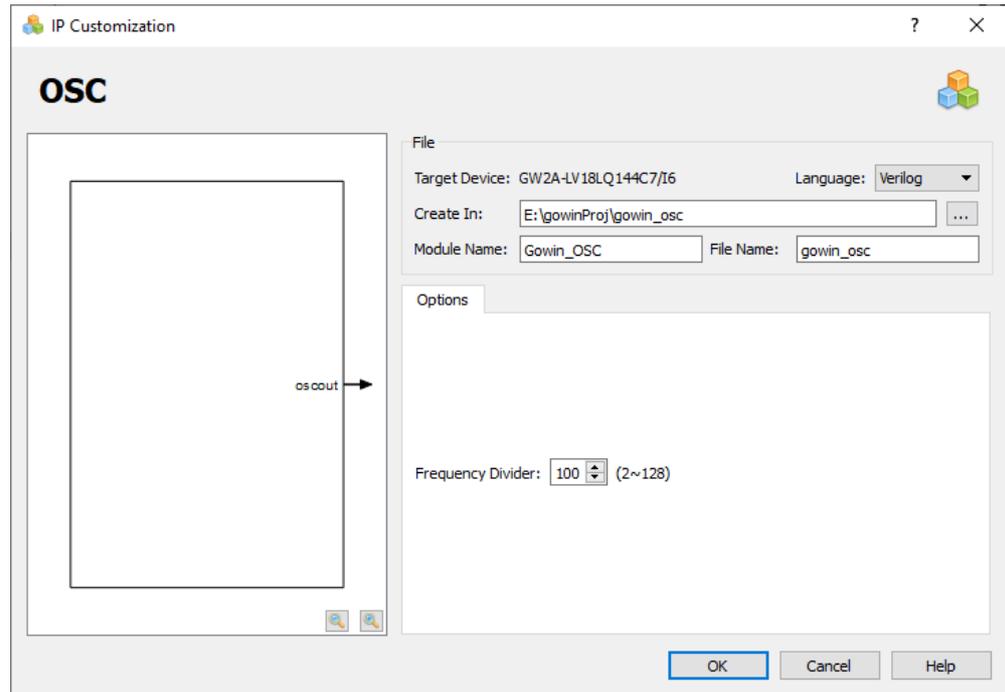
## 3.4.3 OSC

OSC 是片内晶振，在 IP Core Generator 界面中单击 OSC，界面右侧会显示 OSC 的相关信息概要。

### IP 配置

在 IP Core Generator 界面中，双击“OSC”，弹出 OSC 的“IP Customization”窗口，该窗口包括“File”配置框、“Options”配置框、端口显示框图和“Help”按钮，如图 3-19 所示。

图 3-19 OSC 的 IP Customization 窗口结构



#### 1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- OSC 的 File 配置框的使用和 SP 模块的类似，请参考 [3.1 Block Memory > 3.1.1 SP](#) 中的 File 配置框。

注！

不同 device 生成的 OSC 类型不同，详情请参考文档 [SUG283](#)，Gowin 原语用户指南。

#### 2. Options 配置框

- Options 配置框用于用户自定义配置 IP，Options 配置框如图 3-19 所示。
- Frequency Divider: 分频值。该值为 2 的整数倍，取值范围为 2~128。

#### 3. 端口显示框图

端口显示框图显示 IP Core 的配置结果示例框图，如图 3-19 所示。

#### 4. Help 按钮

单击“Help”，显示 IP Core 的配置信息的页面。Help 页面包括 IP Core 的概要介绍，以及 Options 各项配置的简要说明。

### IP 生成文件

IP 窗口配置完成后，产生以配置文件“File Name”命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件“gowin\_osc.v”为完整的 verilog 模块，根据用户的 IP 配置，产生实例化的 OSC；
- IP 设计使用模板文件 gowin\_osc\_tmp.v，为用户提供 IP 设计使用模板文

件；

- IP 配置文件：“gowin\_osc.ipc”，用户可加载该文件对 IP 进行配置。

注！

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

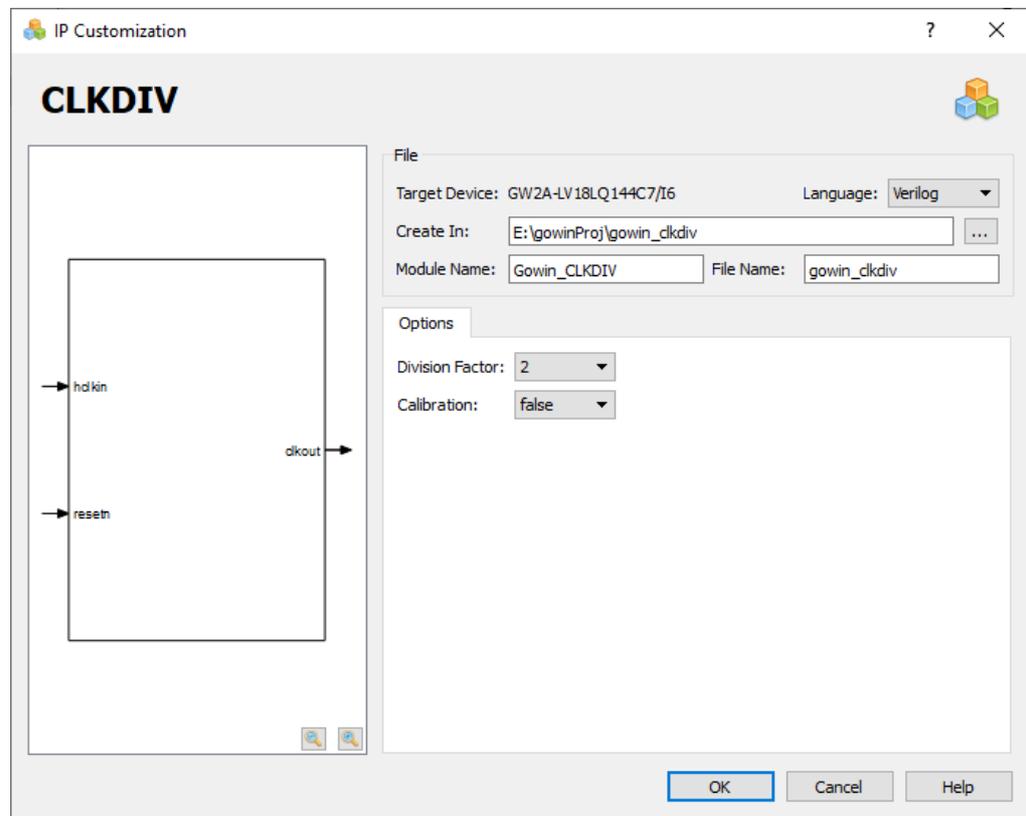
### 3.4.4 CLKDIV

CLKDIV 是一种时钟分割模块，用于高速时钟分割，在 IP Core Generator 界面中单击 CLKDIV，界面右侧会显示 CLKDIV 的相关信息概要。

#### IP 配置

在 IP Core Generator 界面中，双击“CLKDIV”，弹出 CLKDIV 的“IP Customization”窗口，该窗口包括“File”配置框、“Options”配置框、端口显示框图和“Help”按钮，如图 3-20 所示。

图 3-20 CLKDIV 的 IP Customization 窗口结构



#### 1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- CLKDIV 的 File 配置框的使用和 SP 模块的类似，请参考 [3.1 Block Memory > 3.1.1 SP](#) 中的 File 配置框。

#### 2. Options 配置框

- Options 配置框用于用户自定义配置 IP，Options 配置框如图 3-20 所示。

- **Division Factor:** 除法因子。
  - **Calibration:** 校准时钟使能/失能选项。
3. 端口显示框图  
端口显示框图显示 IP Core 的配置结果示例框图，如图 3-20 所示。
  4. Help 按钮  
单击“Help”，显示 IP Core 的配置信息的页面。Help 页面包括 IP Core 的概要介绍，以及 Options 各项配置的简要说明。

### IP 生成文件

IP 窗口配置完成后，产生以配置文件“File Name”命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件“gowin\_clkdiv.v”为完整的 verilog 模块，根据用户的 IP 配置，产生实例化的 CLKDIV；
- IP 设计使用模板文件 gowin\_clkdiv\_tmp.v，为用户提供 IP 设计使用模板文件；
- IP 配置文件：“gowin\_clkdiv.ipc”，用户可加载该文件对 IP 进行配置。

注！

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

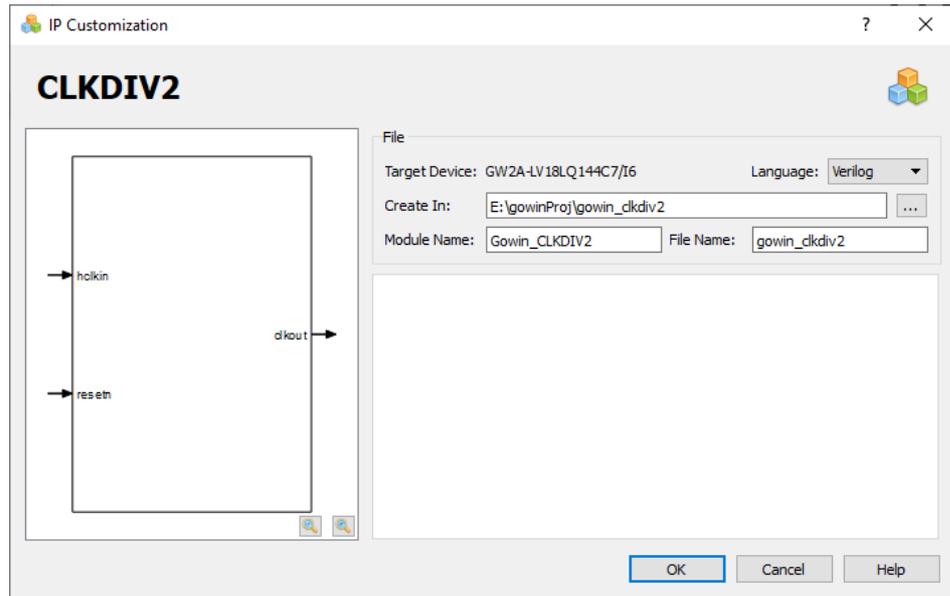
## 3.4.5 CLKDIV2

CLKDIV2 是一种时钟分频因子为 2 的时钟模块，用于高速时钟分频，在 IP Core Generator 界面中单击 CLKDIV2，界面右侧会显示 CLKDIV2 的相关信息概要。

### IP 配置

在 IP Core Generator 界面中，双击“CLKDIV2”，弹出 CLKDIV2 的“IP Customization”窗口，该窗口包括“File”配置框、“Options”配置框、端口显示框图和“Help”按钮，如图 3-21 所示。

图 3-21 CLKDIV2 的 IP Customization 窗口结构



### 1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- CLKDIV2 的 File 配置框的使用和 SP 模块的类似，请参考 [3.1 Block Memory > 3.1.1 SP](#) 中的 File 配置框。

### 2. 端口显示框图

端口显示框图显示 IP Core 的配置结果示例框图，如图 3-21 所示。

### 3. Help 按钮

单击“Help”，显示 IP Core 的配置信息的页面。Help 页面包括 IP Core 的概要介绍。

## IP 生成文件

IP 窗口配置完成后，产生以配置文件“File Name”命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件“gowin\_clkdiv2.v”为完整的 verilog 模块，根据用户的 IP 配置，产生实例化的 CLKDIV2；
- IP 设计使用模板文件 gowin\_clkdiv2\_tmp.v，为用户提供 IP 设计使用模板文件；
- IP 配置文件：“gowin\_clkdiv2.ipc”，用户可加载该文件对 IP 进行配置。

注！

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

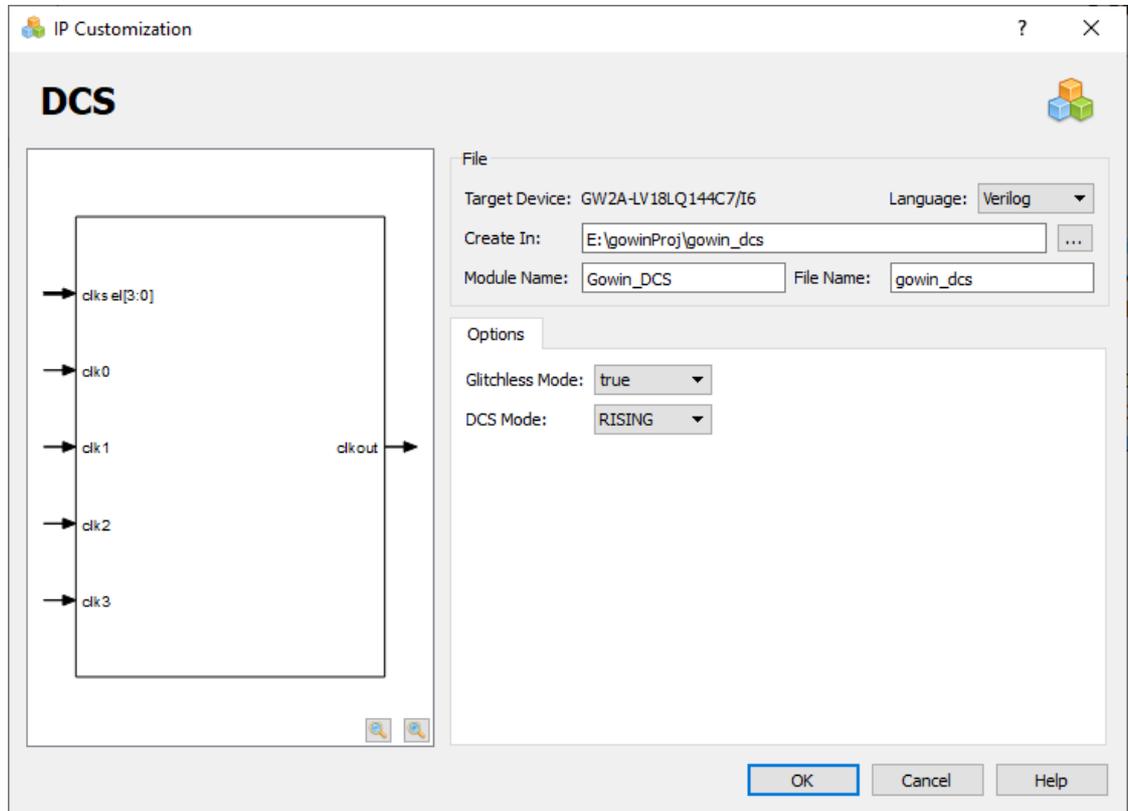
## 3.4.6 DCS

DCS 是一种动态时钟选择器，用于时钟的动态切换，在 IP Core Generator 界面中单击 DCS，界面右侧会显示 DCS 的相关信息概要。

## IP 配置

在 IP Core Generator 界面中，双击“DCS”，弹出 DCS 的“IP Customization”窗口，该窗口包括“File”配置框、“Options”配置框、端口显示框图和“Help”按钮，如图 3-22 所示。

图 3-22 DCS 的 IP Customization 窗口结构



### 1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- DCS 的 File 配置框的使用和 SP 模块的类似，请参考 [3.1 Block Memory > 3.1.1 SP](#) 中的 File 配置框。

### 2. Options 配置框

- Options 配置框用于用户自定义配置 IP，Options 配置框如图 3-22 所示。
- Glitchless Mode: 使能/失能 Glitchless 模式。
- DCS Mode: 设置 DCS 模式。

### 3. 端口显示框图

端口显示框图显示 IP Core 的配置结果示例框图，如图 3-22 所示。

### 4. Help 按钮

单击“Help”，显示 IP Core 的配置信息的页面。Help 页面包括 IP Core 的概要介绍，以及 Options 各项配置的简要说明。

## IP 生成文件

IP 窗口配置完成后，产生以配置文件“File Name”命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件“gowin\_dcs.v”为完整的 verilog 模块，根据用户的 IP 配置，产生实例化的 DCS；
- IP 设计使用模板文件 gowin\_dcs\_tmp.v，为用户提供 IP 设计使用模板文件；
- IP 配置文件：“gowin\_dcs.ipc”，用户可加载该文件对 IP 进行配置。

注！

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

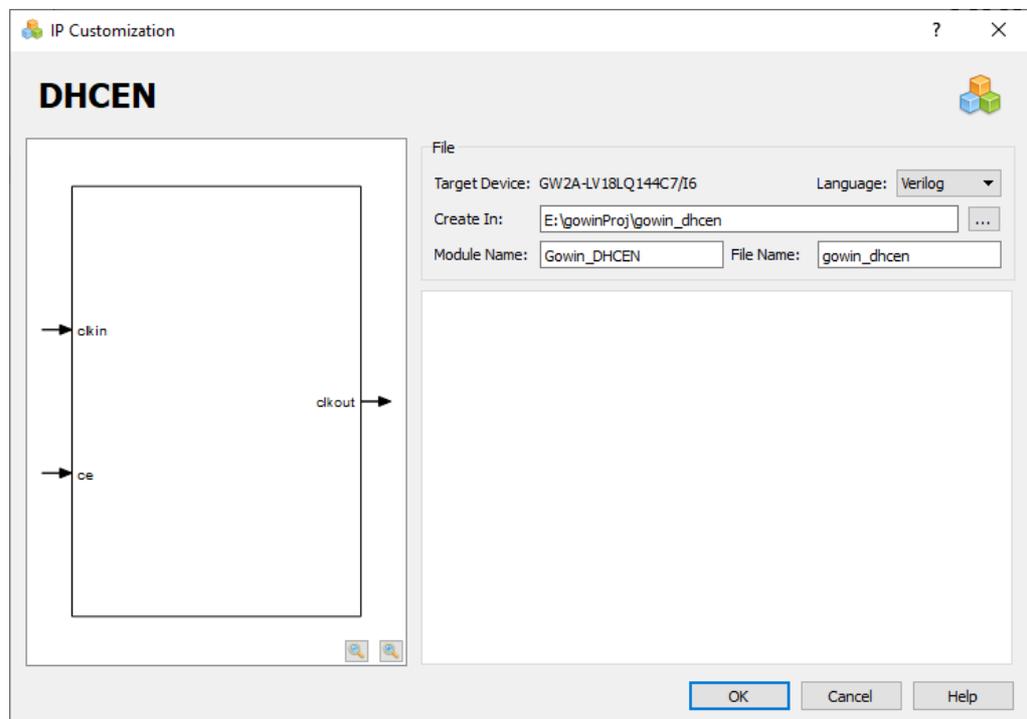
## 3.4.7 DHCEN

DHCEN 是一种动态高速时钟使能模块，用于动态的启动或禁用高速时钟信号，在 IP Core Generator 界面中单击 DHCEN，界面右侧会显示 DHCEN 的相关信息概要。

### IP 配置

在 IP Core Generator 界面中，双击“DHCEN”，弹出 DHCEN 的“IP Customization”窗口，该窗口包括“File”配置框、端口显示框图和“Help”按钮，如图 3-23 所示。

图 3-23 DHCEN 的 IP Customization 窗口结构



#### 1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。

- DHCEN 的 File 配置框的使用和 SP 模块的类似，请参考 [3.1 Block Memory > 3.1.1 SP](#) 中的 File 配置框。
2. 端口显示框图  
端口显示框图显示 IP Core 的配置结果示例框图，如图 3-23 所示。
  3. Help 按钮  
单击“Help”，显示 IP Core 的配置信息的页面。Help 页面包括 IP Core 的概要介绍。

### IP 生成文件

IP 窗口配置完成后，产生以配置文件“File Name”命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件“gowin\_dhcn.v”为完整的 verilog 模块，根据用户的 IP 配置，产生实例化的 DHCEN；
- IP 设计使用模板文件 gowin\_dhcn\_tmp.v，为用户提供 IP 设计使用模板文件；
- IP 配置文件：“gowin\_dhcn.ipc”，用户可加载该文件对 IP 进行配置。

注！

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

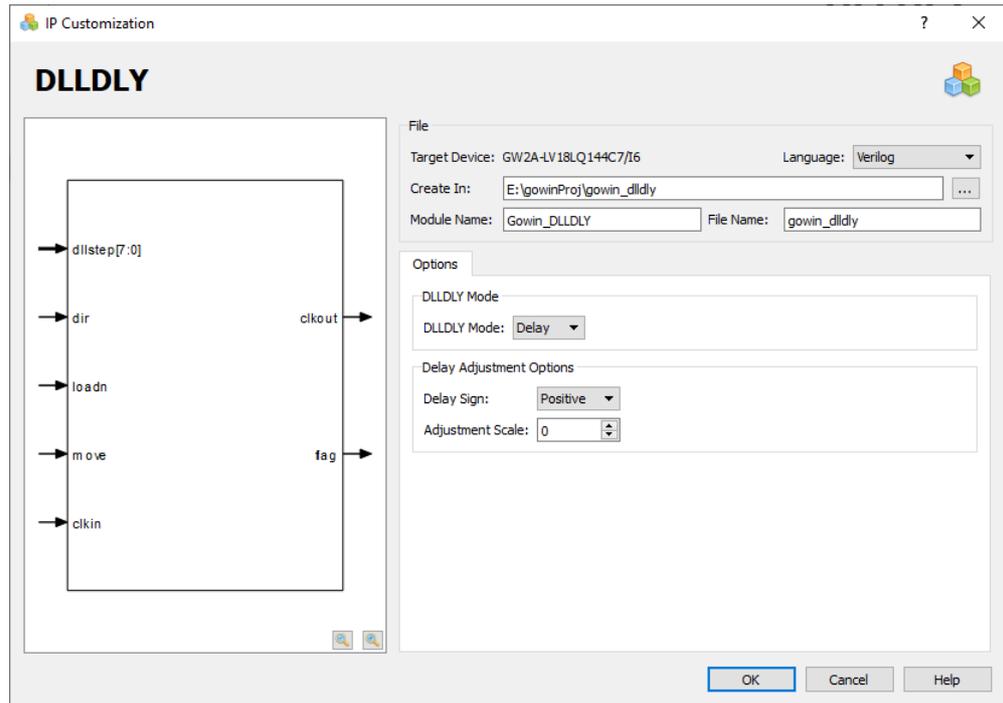
## 3.4.8 DLLDLY

DLLDLY 是一种 DLL slave 延时块，在 IP Core Generator 界面中单击 DLLDLY，界面右侧会显示 DLLDLY 的相关信息概要。

### IP 配置

在 IP Core Generator 界面中，双击“DLLDLY”，弹出 DLLDLY 的“IP Customization”窗口，该窗口包括“File”配置框、“Options”配置框、端口显示框图和“Help”按钮，如图 3-24 所示

图 3-24 DLLDLY 的 IP Customization 窗口结构



### 1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- DLLDLY 的 File 配置框的使用和 SP 模块的类似，请参考 [3.1 Block Memory > 3.1.1 SP](#) 中的 File 配置框。

### 2. Options 配置框

- Options 配置框用于用户自定义配置 IP，Options 配置框如图 3-24 所示。
- DLLDLY Mode: DLLDLY 模式选择。
- Delay Sign: 设置调整延时的符号。
- Adjustment Scale: 延时调整设置。

### 3. 端口显示框图

端口显示框图显示 IP Core 的配置结果示例框图，如图 3-24 所示。

### 4. Help 按钮

单击“Help”，显示 IP Core 的配置信息的页面。Help 页面包括 IP Core 的概要介绍，以及 Options 各项配置的简要说明。

## IP 生成文件

IP 窗口配置完成后，产生以配置文件“File Name”命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件“gowin\_dllily.v”为完整的 verilog 模块，根据用户的 IP 配置，产生实例化的 DLLDLY；

- IP 设计使用模板文件 `gowin_dllidy_tmp.v`，为用户提供 IP 设计使用模板文件；
- IP 配置文件：“`gowin_dllidy.ipc`”，用户可加载该文件对 IP 进行配置。

注！

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

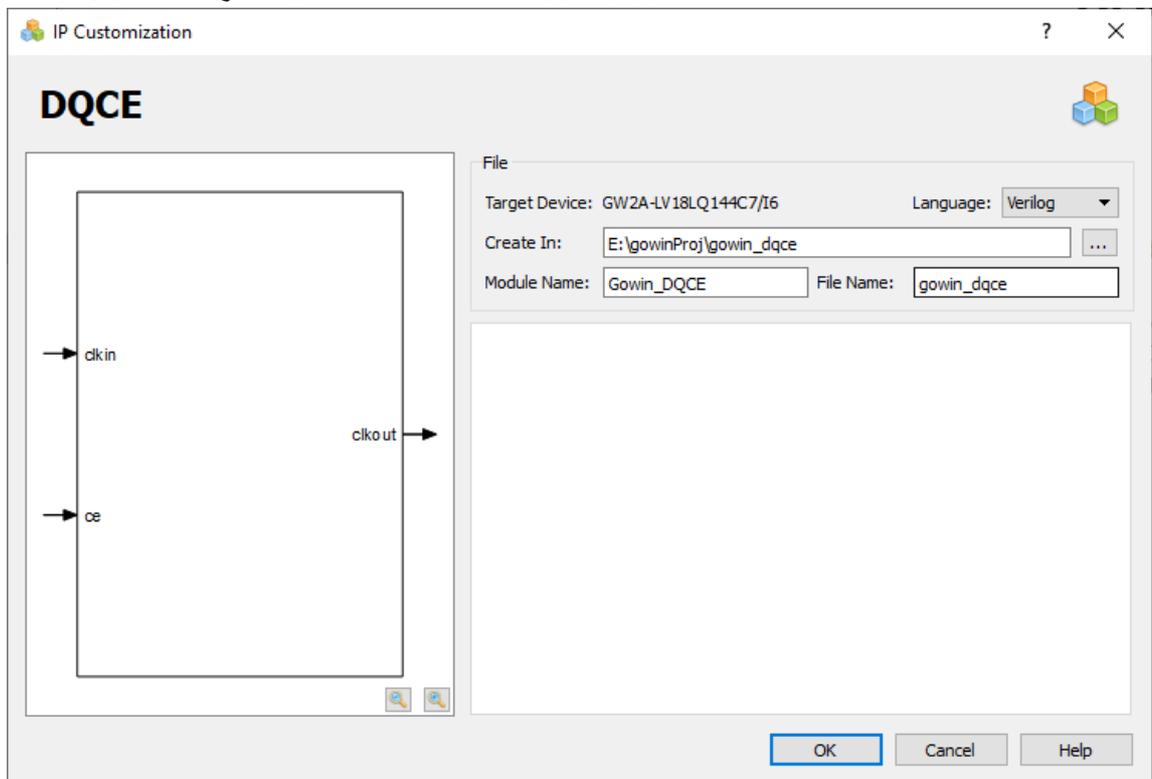
### 3.4.9 DQCE

DQCE 是一种动态象限时钟使能模块，在 IP Core Generator 界面中单击 DQCE，界面右侧会显示 DQCE 的相关信息概要。

#### IP 配置

在 IP Core Generator 界面中，双击“DQCE”，弹出 DQCE 的“IP Customization”窗口，该窗口包括“File”配置框、端口显示框图和“Help”按钮，如图 3-25 所示。

图 3-25 DQCE 的 IP Customization 窗口结构



#### 1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- DQCE 的 File 配置框的使用和 SP 模块的类似，请参考 [3.1 Block Memory > 3.1.1 SP](#) 中的 File 配置框。

#### 2. 端口显示框图

端口显示框图显示 IP Core 的配置结果示例框图，如图 3-25 所示。

#### 3. Help 按钮

单击“Help”，显示 IP Core 的配置信息的页面。Help 页面包括 IP Core 的概要介绍，以及 Options 各项配置的简要说明。

### IP 生成文件

IP 窗口配置完成后，产生以配置文件“File Name”命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件“gowin\_dqce.v”为完整的 verilog 模块，根据用户的 IP 配置，产生实例化的 DQCE；
- IP 设计使用模板文件 gowin\_dqce\_tmp.v，为用户提供 IP 设计使用模板文件；
- IP 配置文件：“gowin\_dqce.ipc”，用户可加载该文件对 IP 进行配置。

注！

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

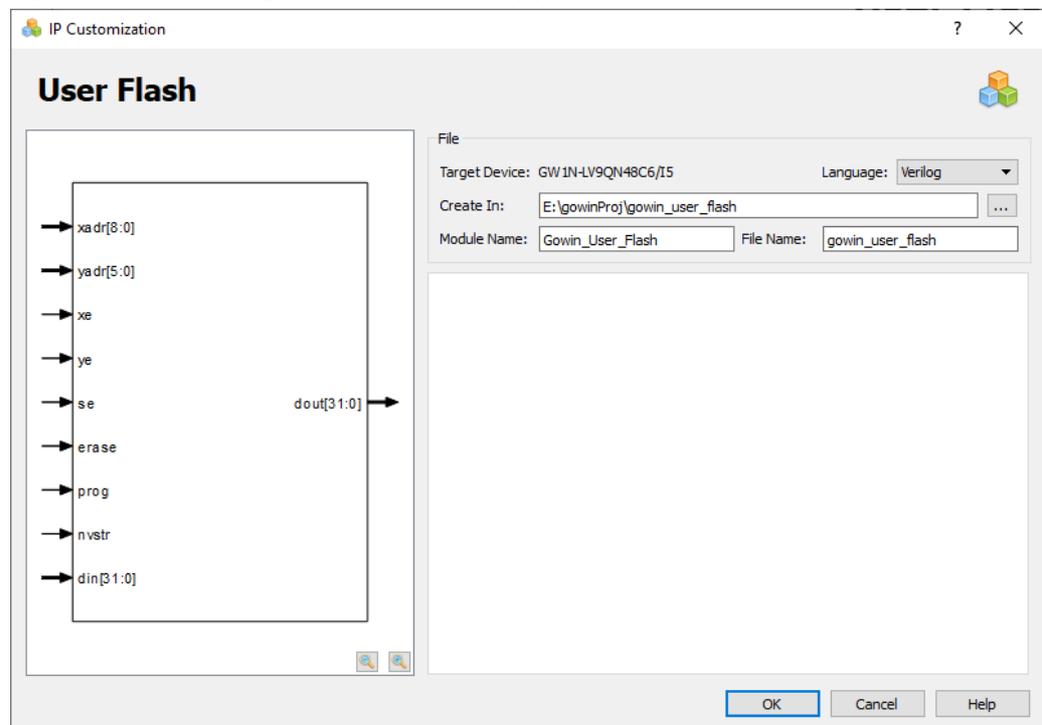
## 3.5 User Flash

User Flash 是用户闪存。在 IP Core Generator 界面中单击“User Flash”，界面右侧会显示 User Flash 的相关信息概要。

### IP 配置

在 IP Core Generator 界面中，双击“User Flash”，弹出 User Flash 的“IP Customization”窗口，该窗口包括“File”配置框和端口显示框图以及“Help”按钮，如图 3-26 所示。

图 3-26 User Flash 的 IP Customization 窗口结构



#### 1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- User Flash 的 File 配置框的使用和 SP 模块的类似, 请参考 [3.1 Block Memory > 3.1.1 SP](#) 中的 File 配置框。

注!

- 不同 device 生成的 FLASH 类型不同, 详情请参考文档 SUG283, Gowin 原语用户指南。
2. 端口显示框图  
User Flash 的输入位宽与 Device 的选择有关, 根据不同的 Device 信息会在端口显示框图中显示当前 IP Core 的配置结果示例框图, 如图 3-26 所示。
  3. Help 按钮  
单击“Help”, 显示 IP Core 的配置信息的页面。Help 页面包括 IP Core 的概要介绍。

### IP 生成文件

IP 窗口配置完成后, 产生以配置文件“File Name”命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件“gowin\_user\_flash.v”为完整的 verilog 模块, 根据用户的 IP 配置, 产生实例化的 User Flash;
- IP 设计使用模板文件 gowin\_user\_flash\_tmp.v, 为用户提供 IP 设计使用模板文件;
- IP 配置文件: “gowin\_user\_flash.ipc”, 用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL, 则产生的前两个文件名后缀为.vhd。

## 3.6 I3C

I3C 硬核具有高速、低功耗, 兼容 I2C 和 SPI 的其他关键特性。IP 结构提供了寄存器, 使用户能够灵活地控制和实现特定的功能。在 IP Core Generator 界面中单击 I3C 下的 I3C SDR, 界面右侧会显示 I3C SDR 的相关信息概要。

### IP 配置

在 IP Core Generator 界面中, 双击“I3C SDR”, 弹出 I3C 的“IP Customization”窗口, 该窗口包括“File”配置框、“Options”配置框、端口显示框图以及“Help”按钮, 如图 3-27 所示。



- IP 设计使用模板文件 gw\_i3c\_tmp.v, 为用户提供 IP 设计使用模板文件;
- IP 配置文件: “gw\_i3c.ipc”, 用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL, 则产生的前两个文件名后缀为.vhd。

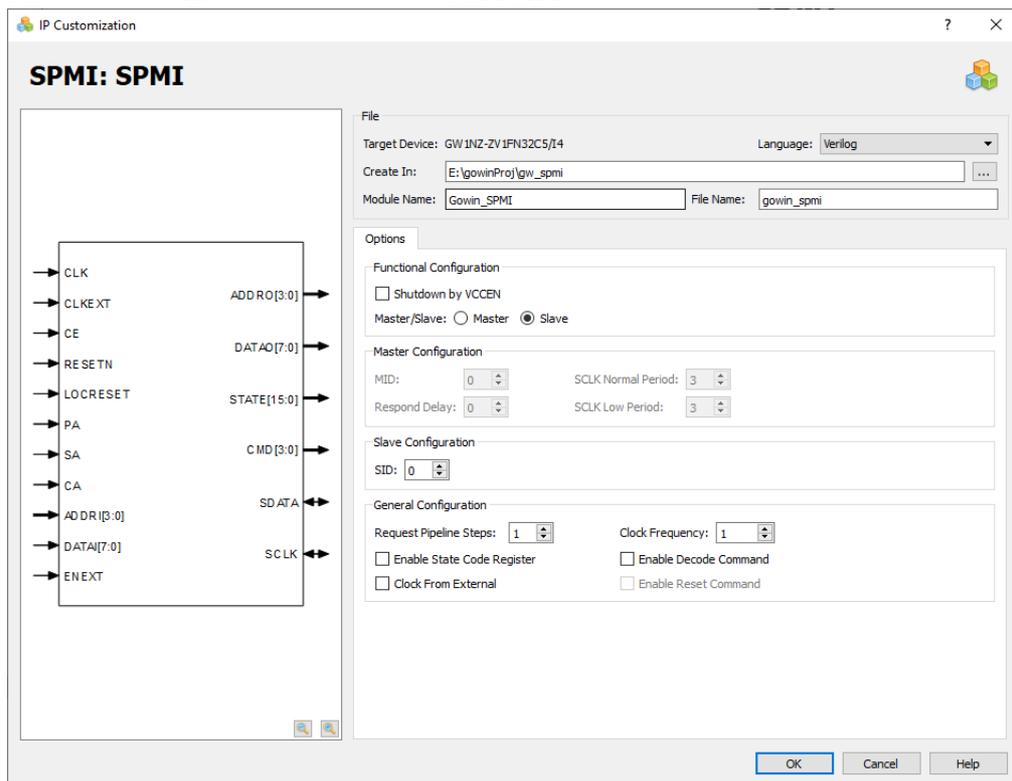
## 3.7 SPMI

SPMI 硬核是一种双线串行接口, 可将片上处理器系统 (SoC) 的集成电源控制器 (PC) 与一个或多个电源管理集成电路 (PMIC) 电压调节系统相连。SPMI 使系统能够使用单个 SPMI 总线动态调整 SoC 内部电压域的电源和衬底偏置电压。在 IP Core Generator 界面中, 单击 “SPMI”, 界面右侧会显示 SPMI 的相关信息概要。

### IP 配置

在 IP Core Generator 界面中, 双击 SPMI, 弹出 SPMI 的 “IP Customization” 窗口。该窗口包括 “File” 配置框、“Options” 配置框、端口显示框图和 “Help” 按钮, 如图 3-28 所示。

图 3-28 SPMI 的 IP Customization 窗口结构



#### 1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- SPMI 的 File 配置框的使用和 SP 模块类似, 具体请参考 [3.1 Block Memory > 3.1.1 SP](#) 的 File 配置框。

#### 2. Options 配置框

- Options 配置框用于用户自定义配置 IP，Options 配置框如图 3-28 所示。
- Functional Configuration:
  - Shutdown by VCCEN: 通过外部引脚 VCCEN 关闭。如果选择此选项，则 SPMI 的通信功能将不可用。
  - Master/Slave: 将 SPMI 设置为主机或从机。
- Master Configuration:
  - MID: 主机的 ID，设置范围为 0-3，默认值为 0。
  - Respond Delay: 设置响应延迟时间。
  - SCLK Normal Period: Normal 模式下 sclk 的周期长度。
  - SCLK Low Period: 睡眠模式下 sclk 的周期长度。
- Slave Configuration:
  - SID: 设置 SPMI 从机的 ID。
- General configuration:
  - Enable State Code Register: 启用或禁用寄存器。例如，如果选择“启用状态代码寄存器”选项，则输出 STATE 数据将通过一个寄存器。
  - Request Pipeline Steps: 设置请求信号采样时间的延迟步长。
  - Enable Decode Command: 启用或禁用解码。如果选择启用解码命令，SPMI 将解码复位，睡眠，关闭和唤醒命令。
  - Enable Reset Command: 启用或禁用重置命令。
  - Clock From External: 启用或禁用外部时钟。
  - Clock Frequency: 系统时钟频率。

### 3. 端口显示框

端口显示框图显示当前 IP Core 的配置结果示例框图，如图 3-28 所示。

### 4. Help 按钮

单击“Help”，显示 IP Core 的配置信息的页面。Help 页面包括当前 IP Core 的概要介绍，以及 Options 各项配置的简要说明。

## IP 生成文件

IP 窗口配置完成后，产生以配置文件“File Name”命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件“gw\_spmi.v”为完整的 verilog 模块，根据用户的 IP 配置，产生实例化的 SPMI；
- IP 设计使用模板文件 gw\_spmi\_tmp.v，为用户提供 IP 设计使用模板文件；
- IP 配置文件：“gw\_spmi.ipc”，用户可加载该文件对 IP 进行配置。

注！

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

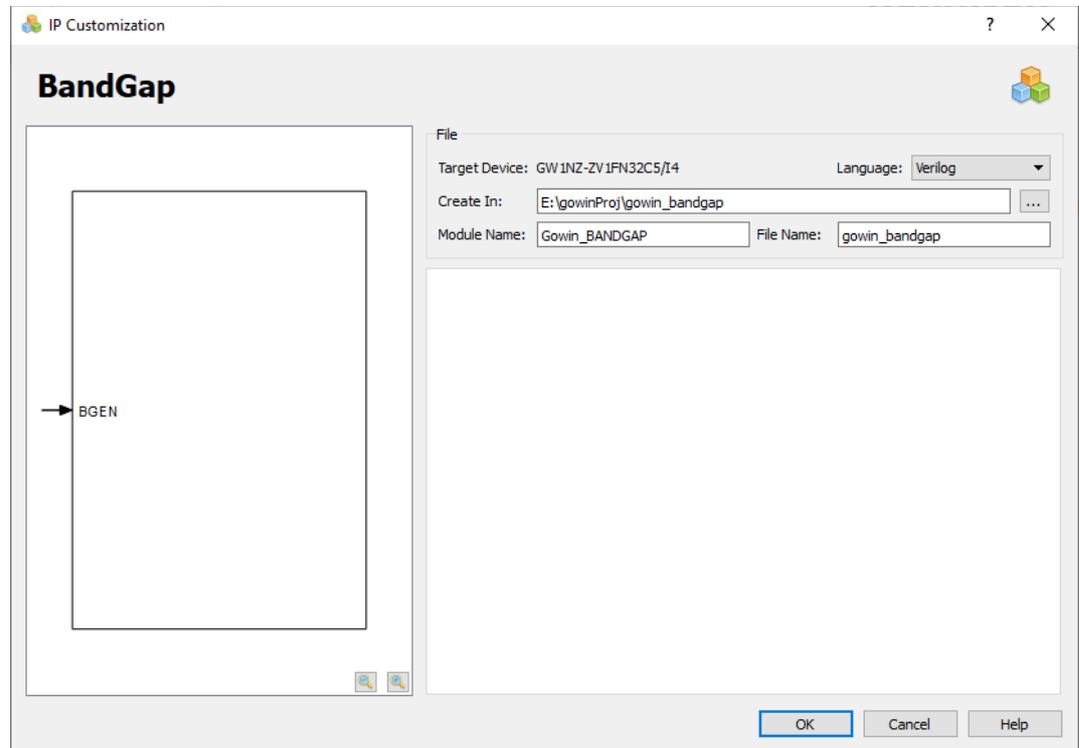
## 3.8 BandGap

BandGap 是为芯片中的某些模块提供恒定的电压和电流。如果 BandGap 关闭，则 OSC、PLL 和 FLASH 等某些模块将无法工作，从而降低了设备功耗。在 IP Core Generator 界面中，单击“BandGap”，界面右侧会显示 BandGap 的相关信息概要。

### IP 配置

在 IP Core Generator 界面中，双击 BandGap，弹出 BandGap 的“IP Customization”窗口。该窗口包括“File”配置框、“Options”配置框、端口显示框图和“Help”按钮，如图 3-29 所示。

图 3-29 BandGap 的 IP Customization 窗口结构



#### 1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- BandGap 的 File 配置框的使用和 SP 模块类似，具体请参考 [3.1 Block Memory > 3.1.1 SP](#) 的 File 配置框。

#### 2. 端口显示框图

端口显示框图显示当前 IP Core 的配置结果示例框图，如图 3-29 所示。

#### 3. Help 按钮

单击“Help”，显示 IP Core 的配置信息的页面。Help 页面包括当前 IP Core 的概要介绍。

## IP 生成文件

IP 窗口配置完成后，产生以配置文件“File Name”命名的三个文件，以默认配置为例进行介绍：

- IP 设计文件“gowin\_bandgap.v”为完整的 verilog 模块，根据用户的 IP 配置，产生实例化的 BandGap；
- IP 设计使用模板文件 gowin\_bandgap\_tmp.v，为用户提供 IP 设计使用模板文件；
- IP 配置文件：“gowin\_bandgap.ipc”，用户可加载该文件对 IP 进行配置。

### 注！

如配置中选择的语言是 VHDL，则产生的前两个文件名后缀为.vhd。

