

Gowin IP 核产生工具 **用户指南**

SUG284-2.1, 2020-05-14

版权所有© 2020 广东高云半导体科技股份有限公司

未经本公司书面许可,任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部,并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可,并未以明示或暗示,或以禁止发言或其它方式授予任 何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外,高云半导体 概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何 明示或暗示的担保,包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知 识产权的侵权责任等,均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准 确性和完整性不承担任何法律或非法律责任,高云半导体保留修改文档中任何内容的权利, 恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2017/03/07	1.0	初始版本。
2018/01/30	1.2	 支持 GW1NR-4、GW1N-6、GW1N-9、GW1NR-9; 更新了 BSRAM 部分; 更新了 DSP 部分; 更新了 PLL; 更新了 User Flash。
2018/08/25	1.3	 支持 GW1N-2B、GW1N-4B、GW1N-6ES、GW1N-9ES、GW1NR-4B、GW1NR-9ES、GW1NS-2、GW1NS-2C; 新增 IP DDR3、DDR3 PHY; 更新 PLL; 更新 OSC; 更新 User Flash; 优化界面显示; 新增 IP CORDIC、Complex Multiplier、DIVIDER。
2018/10/26	1.4	 支持 GW1NZ-1、GW1NSR-2C; 新增 I3C、SPMI 硬核。
2018/11/15	1.5	 ● 支持 GW1NSR-2; ● 删除 GW1N-6ES、GW1NS-9ES、GW1NR-9ES。
2019/02/12	1.6	 新增 IP RiscV N25、CAN; 更新 PSRAM、DDRx、MIPI。
2019/02/25	1.7	 新增 IP Basic FIR Filter、FD Adaptive Filter、Integer Multiply Divider、NLMS Adaptive Filter、XCORR、Triple Speed Ethernet MAC; 优化界面显示(删除界面 Add to Current Project 选项)。
2019/05/17	1.8	 支持 GW1N-1S; 新增 IP PSRAM Memory Interface 2CH、Advanced FIR Filter、Gowin_EMPU_M1、HyperRAM Memory Interface; 新增 Hard module 部分 Shadow Memory,包括 RAM16S、 RAM16SDP、ROM16; 更新 IP MIPI 、DDR、DDR2、DDR3、GOWIN_EMPU。
2019/11/28	1.9	 支持 GW1NS-4、GW1NRF-4B、GW1NSE-2C、 GW1NSER-4C、GW1NSR-4、GW1NSR-4C; 支持综合工具选择 Synplify Pro 或 GowinSynthesis; Soft IP Core 部分调整分类; Hard Module 部分新增 BandGap、rPLL、PLLVR、DPB、 DPBX9、SDPB、SDPBX9、rSDP、rSDPX9、rROM、rROMX9、 pROM、pROMX9; 对建议优先使用的原语添加引导备注。
2020/03/10	2.0	 支持 GW1NS-4C, GW2A-18C, GW2AR-18C, GW2A-55C; Hard Module 部分新增 CLKDIV、CLKDIV2、DLLDLY、DCS、 DOCE、DHCEN。
2020/05/14	2.1	 ● 调整文档结构; ● 删除 DLL。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	
1.1 手册内容	
1.2 相关文档	1
1.3 术语、缩略语	
1.4 技术支持与反馈	2
2 概述	
2.1 简介	
2.2 特征	
3 使用	4
3.1 Block Memory	
3.1.1 SP	
3.1.2 DP	
3.1.3 SDP	
3.1.4 ROM	
3.2 Shadow Memory	
3.2.1 RAM16S	
3.2.2 RAM16SDP	
3.2.3 ROM16	
3.3 DSP	
3.3.1 ALU54	
3.3.2 MULT	
3.3.3 MULTADDALU	
3.3.4 MULTALU	
3.3.5 PADD	
3.4 CLOCK	
3.4.1 PLL	
3.4.2 PLLVR	
3284-2.1	

i

目录

40
41
43
44
45
49

图目录

图 3-1 IP Core Generator 界面	. 5
图 3-2 Select Device 窗口	. 6
图 3-3 IP Customization 窗口	. 7
图 3-4 ipc 文件的 IP Customization 窗口	. 7
图 3-5 SP 的 IP Customization 窗口结构	. 8
图 3-6 DPB 的 IP Customization 窗口结构	. 10
图 3-7 SDPB 的 IP Customization 窗口结构	. 12
图 3-8 pROM 的 IP Customization 窗口结构	. 14
图 3-9 RAM16S 的 IP Customization 窗口结构	. 16
图 3-10 RAM16SDP 的 IP Customization 窗口结构	. 17
图 3-11 ROM16 的 IP Customization 窗口结构	. 19
图 3-12 ALU54 的 IP Customization 窗口结构	. 20
图 3-13 MULT 的 IP Customization 窗口结构	. 22
图 3-14 MULTADDALU 的 IP Customization 窗口结构	. 24
图 3-15 MULTALU 的 IP Customization 窗口结构	. 26
图 3-16 PADD 的 IP Customization 窗口结构	. 28
图 3-17 rPLL 的 IP Customization 窗口结构	. 30
图 3-18 PLLVR 的 IP Customization 窗口结构	. 33
图 3-19 OSC 的 IP Customization 窗口结构	. 35
图 3-20CLKDIV 的 IP Customization 窗口结构	. 36
图 3-21 CLKDIV2 的 IP Customization 窗口结构	. 38
图 3-22 DCS 的 IP Customization 窗口结构	. 39
图 3-23 DHCEN 的 IP Customization 窗口结构	. 40
图 3-24 DLLDLY 的 IP Customization 窗口结构	. 42
图 3-25 DQCE 的 IP Customization 窗口结构	. 43
图 3-26 User Flash 的 IP Customization 窗口结构	. 44
图 3-27 I3C 的 IP Customization 窗口结构	. 46
图 3-28 SPMI 的 IP Customization 窗口结构	. 47
图 3-29 BandGap 的 IP Customization 窗口结构	. 49

表目录

表 1-1 术语、缩略语1

1 关于本手册

1.1 手册内容

本手册主要描述高云半导体云源软件的 IP 核产生工具(IP Core Generator)的使用,旨在帮助用户快速实现复杂设计。Gowin 云源软件支 持 Linux 和 Windows 系统。有关本手册中的软件界面截图和支持的产品列表 等信息参考的是 Windows 系统的 1.9.6Beta 版本。因软件版本更新,部分信 息可能会略有差异,具体以用户软件版本信息为准。

1.2 相关文档

通过登录高云半导体网站 <u>www.gowinsemi.com.cn</u>可下载、查看以下相关文档:

- 1. <u>SUG100</u>, Gowin 云源软件用户指南
- 2. SUG283, Gowin 原语用户指南

1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义请参考表 1-1。

术语、缩略语	全称	含义
IP Core	Intellectual Property Core	知识产权核
DPB/DPBX9	Dual Port	双端口存储器
SP/SPX9	Single Port	单端口存储器
SDPB/SDPBX9	Semi-dual Port	伪双端口存储器
pROM/pROMX9	Read Only Memory	只读存储器
PADD	Pre-adder	前加器
MULT	Multiplier	乘法器
rPLL	Phase-locked Loop	锁相环
PLLVR	Phase-locked Loop	带有电源调节功能的锁相环
OSC	Oscillator	片内晶振
SPMI	System Power Management Interface	系统电源管理接口

表 1-1 术语、缩略语

1.4 技术支持与反馈

高云半导体提供全方位技术支持,在使用过程中如有任何疑问或建议,可直接与公司联系:

网址: <u>www.gowinsemi.com.cn</u>

E-mail: <u>support@gowinsemi.com</u>

Tel: +86 755 8262 0391

2 概述

2.1 简介

Gowin 云源软件 IP 核产生工具主要用于产生实例化的元件以及 IP 软核, 通过工具产生实例化的设计之后,用户可调用该实例化模块实现设计所需的 功能,帮助用户快速实现复杂设计。目前 IP Core Generator 包括原语相关 的 Hard Module 部分和软核相关的 Soft IP Core 两个组成部分。

2.2 特征

IP 核产生工具具有以下特征:

- 支持 Soft IP core、Hard module 的信息预览;
- 支持 Soft IP core、Hard module 定制生成;
- 支持 Hard module 实例化示例案例生成;
- 支持自动保存用户配置;
- 支持综合工具切换、IP 生成代码语言选择;
- 部分 Soft IP 支持自动产生激励文件;
- 支持器件信息自动过滤显示可用 IP。

3使用

通过选择菜单栏 "Tools > IP Core Generator",或工具栏 " **予**",打 开 IP Core Generator 界面,如图 3-1 所示。

该界面主要分为以下两个部分:

- 原语相关的 Hard Module 部分;
- 软核相关的 Soft IP Core 部分。

Hard Module 部分包括 BandGap、CLOCK、DSP、I3C、Memory、SPMI 和 User Flash 等;

Soft IP Core 部分包括 DSP and Mathematics、Interface and Interconnect、Memory Control、Microprocessor System、Multimedia 等。

本文档主要介绍 Hard Module 模块的使用,Soft IP Core 部分的使用, 请参考各个软核使用手册,见<u>官网技术支持>技术文档> IP</u>。

🐝 GOWIN FPGA Designer - [IP Core Generator]	_	
🛼 <u>F</u> ile <u>E</u> dit <u>P</u> roject <u>T</u> ools <u>W</u> indow <u>H</u> elp		_ & ×
Target Device: Select Device		
Name Version		
🕆 📒 Hard Module		
> 🛅 BandGap		
> 🛅 CLOCK		
> 🛅 DSP		
> 🛅 I3C		
> 🦰 Memory		
> 🛅 SPMI		
> 🛅 User Flash		
Y 🧮 Soft IP Core		
DSP and Mathemathics		
> 🛅 Interface and Interconnect		
> 🛅 Memory Control		
> 🛅 Microprocessor System		
> 🧮 Multimedia		
< >>		
👶 IP Core Generator 🗵		

图 3-1 IP Core Generator 界面

界面顶端有两个控件,"Target Device" 按钮和 IP Core 配置文件打开按 "□"。

Target Device, 配置 Device。选择右侧显示框, 弹出"Select Device" 窗口, 如图 3-2 所示。

通过该窗口可编辑 Device 信息,修改后的内容显示在 Target Device 的 右侧显示框中,双击高亮显示的 IP,可打开 IP Customization 的对话框,修 改后的 Device 信息也会显示在 IP Customization 对话框的 File 配置窗口的 "Target Device"显示框中。

💫 Select Device									?	×
Filter										
Series: GW2A			•	Device:	Any					•
				Package:	Any					•
				Speed:	Any					•
Part Number	Device	Package	Speed	Voltage	10	LUT	FF	S-SRAM	B-SRAM	^
GW2A-LV18LQ144C8/I7	GW2A-18	LQFP144	C8/I7	LV	119	20736	15552	41472bit	828Kb	
GW2A-LV18LQ144C7/I6	GW2A-18	LQFP144	C7/I6	LV	119	20736	15552	41472bit	828Kb	
GW2A-LV18PG256C8/I7	GW2A-18	PBGA256	C8/I7	LV	207	20736	15552	41472bit	828Kb	
GW2A-LV18PG256C7/I6	GW2A-18	PBGA256	C7/I6	LV	207	20736	15552	41472bit	828Kb	
GW2A-LV18PG484C8/I7	GW2A-18	PBGA484	C8/I7	LV	319	20736	15552	41472bit	828Kb	
GW2A-LV18PG484C7/I6	GW2A-18	PBGA484	C7/I6	LV	319	20736	15552	41472bit	828Kb	
GW2A-LV18MG196C8/I7	GW2A-18	MBGA196	C8/I7	LV	114	20736	15552	41472bit	828Kb	
GW2A-LV18PG256SC8/I7	GW2A-18	PBGA256S	C8/I7	LV	192	20736	15552	41472bit	828Kb	
GW2A-LV18QN88C8/I7	GW2A-18	QFN88	C8/I7	LV	66	20736	15552	41472bit	828Kb	~
<									>	•
								ОК	Cance	

图 3-2	Select	Device	窗口	
-------	--------	--------	----	--

选定 Device 后, IP Core Generator 会根据设定的 Device 自动判断是否 支持特定模块。

- 若支持,模块名为高亮,双击可打开"IP Customization"配置窗口,如 图 3-3 中所示,用户可通过 IP Customization 配置窗口来配置 IP,配置 完成后点击"OK"生成 IP,各 IP 的配置界面将在本章的各个小节介绍;
- 若不支持,则模块名为灰色,不可用。

图标"^[]]",用于打开已配置好的 IP Core 文件,并可根据需要进行编辑。点击图标,弹出"Select IP Config file"对话框,选择 IP Core 配置文件".ipc",弹出如图 3-4 所示的"IP Customization"页面,可对配置重新编辑,其中文件路径不可更改。



图 3-3 IP Customization 窗口









 \mathbf{v}

3.1 Block Memory

当前,Block Memory(BSRAM)模块可实现单端口模式、伪双端口模式、双端口模式以及只读模式。

3.1.1 SP

SP 为单端口工作模式,可以通过 SP、SPX9 原语实现。在 IP Core Generator 界面中,单击 "SP",界面右侧会显示 SP 的相关信息概要。

IP 配置

在 IP Core Generator 界面中,双击"SP",弹出"IP Customization" 窗口,该窗口包括"File"配置框、"Options"配置框、端口显示框图和"Help" 按钮,如图 3-5 所示。



		File Target Device: GW2A-LV18LQ144C8/I7	Language: Verilog 🗸
		Create In: E:\gowinProj\gowin_sp	File Namer Lawis as
Clk oce ce		Options Width & Depth Address Depth: 2 • Data Width: 1 •	Read/Write Mode Read mode: Bypass Write mode: Normal
→ reset → wre ad10:01	dout[0:0] 🗪	Resources Usage Calculate Block Ram Usage: LUT Usage: 0	: 1 DFF Usage: 0 MUX Usage: 0
→ dd[0:0]		Reset Mode: Synchronous Asynchronous Asynchronous Remory Initialization File:	ronous

1. File 配置框

File 配置框用于配置产生的 IP 设计文件的相关信息。

- Target Device:显示已配置的 Device 信息;
- Language: 配置产生的 IP 设计文件的硬件描述语言。选择右侧下拉 列表框,选择目标语言,支持 Verilog 和 VHDL;
- Module Name: 配置产生的 IP 设计文件的 module name。在右侧文本框可重新编辑模块名称。Module Name 不能与原语名称相同,若相同,则报出 Error 提示;
- File Name: 配置产生的 IP 设计文件的文件名。在右侧文本框可重新

编辑文件名称;

- Create In: 配置产生的 IP 设计文件的目标路径。可在右侧文本框中 重新编辑目标路径,也可通过文本框右侧选择按钮选择目标路径。
- 2. Options 配置框
 - Options 配置框用于用户自定义配置 IP, Options 配置框如图 3-5 所示。
 - Width & Depth: 配置地址深度(Address Depth)和数据宽度(Data Width)。当配置的地址深度和数据宽度无法通过单个模块实现时,IP Core 会实例化多个模块组合实现;
 - Resource Usage: 计算并显示当前容量配置上占用的 Block Ram、 DFF、LUT、MUX 的资源情况;
 - Read/Write Mode: 配置读写模式。
 - SP 支持以下模式:
 - 两种读模式: Bypass 和 Pipeline;
 - 三种写模式: Normal、Write-Through、Read-before-Write;
 - Reset Mode: 配置复位模式,支持同步模式 "Synchronous" 和 异步模式 "Asynchronous";
 - Initialization:配置初始值。初始值以二进制、十六进制或带地址十 六进制的格式写在初始化文件中。"Memory Initialization File"选取 的初始化文件可通过手写或者 IDE 菜单栏 "File > New > Memory Initialization File"产生,具体产生方式及初始化文件的格式请参考 文档 <u>SUG100</u>, Gowin 云源软件用户指南。
- 3. 端口显示框图
 - 端口显示框图显示当前 IP Core 的配置结果示例框图,输入输出端口的位宽根据 Options 配置实时更新,如图 3-5 所示。
 - Options 配置中的地址深度"Address Depth"配置影响地址的位宽, 数据位宽"Data Width"配置影响输入数据和输出数据的位宽。
- 4. Help 按钮

单击 "Help",显示 IP Core 的配置信息的页面。Help 页面包括当前 IP Core 的概要介绍,以及 Options 各项配置的简要说明。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件 "gowin_sp.v" 为完整的 verilog 模块, 根据用户的 IP 配置, 产生实例化的 SP;
- IP 设计使用模板文件 "gowin_sp_tmp.v",为用户提供 IP 设计使用模板 文件;
- IP 配置文件: "gowin_sp.ipc", 用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

3.1.2 DP

DP 是双端口工作模式,可通过 DPB、DPX9B 原语实现。在 IP Core Generator 界面中,单击 "DPB",界面右侧会显示 DPB 的相关信息概要。

IP 配置

在 IP Core Generator 界面中,双击"DPB",弹出 DPB 的 IP Customization 窗口。该窗口包括"File"配置框、"Options"配置框、端口显示框图和 "Help" 按钮,如图 3-6 所示。

IP Customization							?
DPB							ł
		File Target Device:	GW2A-LV18LQ144C8/I7		Lar	nguage: Verilog	
		Create In:	E:\gowinProj\gowin_dpb				
		Module Name:	Gowin_DPB		File Name: go	win_dpb	
→ dina[0:0]	din b[0:0]	Options					
douta[0:0]	d o utb [0:0]	Port A			Port B		
→ ada[0:0]	adb[0:0]	Address Dept	th: 2	-	Address Depth:	2	*
		Data Width:	1	-	Data Width:	1	÷
		Read Mode:	Bypass	•	Read Mode:	Bypass	•
clka	dkb 🖛	Write Mode:	Normal	•	Write Mode:	Normal	•
- o cea	oceb 🖛	Resources Us	age				
- Cea	ceb 🖛	Calculate	DPB Usage: 1	[OFF Usage: 0		
→ reseta	wreb 🖛		LUT Usage: 0	N	MUX Usage: 0		
wrea	reseth	Reset Mode:	Synchronous Asynch	ronous			
		Initialization					
		Memory Initia	lization File:				
		Dimension Ma	atch: Port A P	ort B			
	ब् ब्						
						OK Cancel	Hala

图 3-6 DPB 的 IP Customization 窗口结构

1. File 配置框

File 配置框用于配置产生 IP 设计文件的相关信息,如图 3-6 所示。DPB 的 File 配置框的使用和 SP 模块类似,具体请参考 <u>3.1 Block Memory > 3.1.1 SP</u>的 File 配置框。

- 2. Options 配置框
 - Options 配置框用于用户自定义配置 IP, 如图 3-6 所示。
 - DPB 的 Options 配置框的使用和 SP 模块类似,具体请参考 <u>3.1 Block</u> <u>Memory>3.1.1SP</u>中的 Options 配置框。
 - 配置 DPB 时,需注意以下事项:
 - Options 配置框中可独立配置 DPB 的 Port A 和 Port B 的地址深度、数据宽度和读写模式。
 - DPB 的 Port A 和 Port B 是对同一块 memory 进行读写,因此

Port A 和 Port B 的 Address Depth*Data Width 的结果必须相同。

- Options 配置中的初始化文件(Memory initialization File)中的 数据宽度应与 Dimension Match 选择的 Port 数据宽度一致。

注!

- 如 Port A 和 Port B 的 Address Depth*Data Width 的结果不同,则会弹出 Error 提示信息。
- 如数据宽度不一致,则产生的 DPB 实例 Init 值默认初始化为 0,并且在 Output 窗 口中,会弹出如下提示信息: Error (MG2105): Initial values' width is unequal to user's width.
- 3. 端口显示框图
 - 端口显示框图显示当前 IP Core 的配置结果示例框图, 输入输出端口 的位宽根据 Options 配置实时更新, 如图 3-6 所示;
 - Options 配置中的 Port A 和 Port B 的地址深度 Address Depth 配置 影响地址的位宽,数据位宽 Data Width 配置影响输入数据和输出数 据的位宽。
- 4. Help 按钮

单击"Help",显示 IP Core 的配置信息的页面。Help 页面包括当前 IP Core 的概要介绍,以及 Options 各项配置的简要说明。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件"gowin_dpb.v"为完整的 verilog 模块,根据用户的 IP 配置, 产生实例化的 DPB;
- IP 设计使用模板文件 gowin_dpb_tmp.v,为用户提供 IP 设计使用模板文件;
- IP 配置文件: "gowin_dpb.ipc",用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

3.1.3 SDP

SDP 是伪双端口工作模式,可通过 SDPB、SDPX9B 原语实现。在 IP Core Generator 界面中,单击 "SDPB",界面右侧会显示 SDPB 的相关信息概要。

IP 配置

在 IP Core Generator 界面中,双击"SDPB",弹出"IP Customization" 窗口。该窗口包括"File"配置框、"Options"配置框、端口显示框图和"Help" 按钮,如图 3-7 所示。

🖇 IP Customization			?
			~
SDPB			
		ri-	
		rie	
		Target Device: GW2A-LV18LQ144C8/I7 Language: Verilog	· · · · ·
		Create In: E:\gowinProj\gowin_sdpb	
		Module Name: Gowin_SDPB File Name: gowin_sdpb	
→ din[0:0]	4		
		Options	
		Port A Port B	
	adb[0:0]	Address Depth: 2 Address Depth: 2	\$
		Data Width: 1 Data Width: 1	\$
		Read Mode: Bypass	•
- oce	dkb 🖛	Resources Usage	
- cea		Calculate SDBP Usage: 1 DFF Usage: 0	
	ceb 🖛	LUT Usage: 0 MUX Usage: 0	
> reseta			
	resetb 🖛	Reset Mode: Synchronous Asynchronous	
		Initialization	
		Memory Initialization File:	•••
		Dimension Match: Port A Port B	
	2, 2,		

图 3-7 SDPB 的 IP Customization 窗口结构

- 1. File 配置框
 - File 配置框用于配置产生的 IP 设计文件的相关信息。
 - SDPB 的 File 配置框的使用和 SP 模块的类似,请参考 <u>3.1 Block</u> <u>Memory > 3.1.1 SP</u> 中 File 配置框介绍。
- 2. Options 配置框
 - Options 配置框用于用户自定义配置 IP, Options 配置框如图 3-7 所示。
 - SDPB 的 Options 配置框的使用和 SP 模块的类似,请参考 <u>3.1 Block</u> <u>Memory > 3.1.1 SP</u> 中 Options 配置框。

注!

- SDPB 只支持 PortA 写操作, PortB 读操作; Options 配置框中 Read Mode 配置框可 配置 PortB 的 Read Mode 为 Bypass 和 Pipeline;
- Options 配置框中可独立配置 SDPB 的 Port A 和 Port B 的地址深度、数据宽度;
- SDPB 的 Port A 和 Port B 是对同一块 memory 进行读写,所以 Port A 和 Port B 的 Address Depth*Data Width 的结果须相同,否则会报出 Error 提示信息;
- Options 配置中的初始化文件(Memory initialization File)中的数据宽度应和 Dimension Match 选择的 Port 数据宽度一致,否则产生的 SDPB 实例 Init 值默认初始化为 0,并 且会在 Output 窗口显示如下信息: Error (MG2105): Initial values' width is unequal to user's width.
- 3. 端口显示框图
 - 端口显示框图显示当前 IP Core 的配置结果示例框图,输入输出端口 的位宽根据 Options 配置实时更新,如图 3-7 所示;
 - Options 配置中的 Port A 的地址深度 Address Depth 配置影响 PortA

地址的位宽,数据位宽 Data Width 配置影响输入数据的位宽; PortB 的地址深度 Address Depth 配置影响 PortB 地址的位宽,数据位宽 Data Width 配置影响输出数据的位宽。

4. Help 按钮

单击"Help",显示 IP Core 的配置信息页面。Help 页面包括当前 IP Core 的概要介绍,以及 Options 各项配置的简要说明。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件 "gowin_sdpb.v" 为完整的 verilog 模块,根据用户的 IP 配 置,产生实例化的 SDPB;
- IP 设计使用模板文件 gowin_sdpb_tmp.v,为用户提供 IP 设计使用模板 文件;
- IP 配置文件: "gowin_sdpb.ipc",用户可加载该文件对 IP 进行配置。 注!

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

3.1.4 ROM

ROM 是只读模式,可通过 pROM、pROMX9 原语实现。在 IP Core Generator 界面中,单击"pROM",界面右侧会显示 pROM 的相关信息概要。

IP 配置

在 IP Core Generator 界面中,双击 "pROM",弹出 pROM 的 "IP Customization"窗口。窗口包括 "File" 配置框、"Options" 配置框、端口 显示框图和 "Help" 按钮,如图 3-8 所示。

	File Target Device: GW2A-LV18LQ144C8/I7 Language: Create In: E:\aowinProi\aowin orom	verilog
	Module Name: Gowin_pROM File Name: gowin_prom	
	Options	
	Address Depth: 2 Data Width: 1	•
dout[0:0]	Resources Usage Calculate pROM Usage: 1 DFF Usage: 0	
	LUT Usage: 0 MUX Usage: 0	
	Reset Mode: Synchronous Asynchronous Initialization	
	Memory Initialization File:	
Q Q		
	dout[0:0]	File Target Device: GW2A-LV18LQ144C8/t7 Language: Create In: E: gowinProjlgowin_prom Module Name: Gowin_pROM File Name: Options Width & Depth Address Depth: 1 Calculate pROM Usage: 1 DFF Usage: 0 LUT Usage: 0 MUX Usage: 0 Reset Mode: Initialization Memory Initialization File:

图 3-8 pROM 的 IP Customization 窗口结构

- 1. File 配置框
 - File 配置框用于配置产生的 IP 设计文件的相关信息。
 - pROM 的 File 配置框的使用和 SP 模块的类似,请参考 <u>3.1 Block</u> <u>Memory > 3.1.1 SP</u>中的 File 配置框。
- 2. Options 配置框
 - Options 配置框用于用户自定义配置 IP, Options 配置框如图 3-8 所示。
 - pROM 的 Options 配置框的使用和 SP 模块的类似,请参考 3.1 Block Memory > 3.1.1 SP 中的 Options 配置。

注!

- pROM 的工作模式为只读模式, Options 配置框中可配置的 Read Mode 为 Bypass 和 Pipeline。
- Options 配置中的初始化文件(Memory initialization File)中的数据宽度应和配置中的 数据宽度(Data Width)保持一致,否则产生的 pROM 实例 Init 值默认初始化为 0,并 在 Output 窗口中弹出如下信息: Error (MG2105): Initial values' width is unequal to user's width.
- 3. 端口显示框图
 - 端口显示框图显示当前 IP Core 的配置结果示例框图, 输入输出端口 的位宽根据 Options 配置实时更新, 如图 3-8 所示;
 - Options 配置中的地址深度 Address Depth 配置影响地址的位宽, 数 据位宽 Data Width 配置影响输出数据的位宽。
- 4. Help 按钮

单击"Help",显示 IP Core 的配置信息页面。Help 页面包括当前 IP Core 的概要介绍,以及 Options 各项配置的简要说明。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件 "gowin_prom.v" 为完整的 verilog 模块,根据用户的 IP 配置,产生实例化的 pROM;
- IP 设计使用模板文件 gowin_prom_tmp.v,为用户提供 IP 设计使用模板 文件;
- IP 配置文件: "gowin_prom.ipc",用户可加载该文件对 IP 进行配置。 注!

•

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

3.2 Shadow Memory

Shadow Memory (SSRAM) 模块可实现 RAM16S (单端口模式)、 RAM16SDP (伪双端口模式)、ROM16 (只读模式)。

3.2.1 RAM16S

RAM16S 为单端口工作模式,可以通过 RAM16S1、RAM16S2、 RAM16S4 原语实现。在 IP Core Generator 界面中,单击"RAM16S",界 面右侧会显示 RAM16S 的相关信息概要。

IP 配置

在 IP Core Generator 界面中,双击 "RAM16S", 弹出 RAM16S 的 "IP Customization" 窗口。该窗口包括 "File" 配置框、"Options" 配置框、端口显示框图和 "Help" 按钮,如图 3-9 所示。

RAM16S			
		File Language: Verlog Target Device: GW2A-U18LQ144C8/I7 Language: Verlog Create In: E:\gowinProj\gowin_ram16s Module Name: Gowin RAM16S File Name: gowin ram16s	, •
		Options Width & Depth Address Depth: 2	
	dout[0:0] 🗪	Data Width: 1 Resources Usage Calculate RAM16S Usage: LUT Usage:	
→ ad[0:0]		Initialization Memory Initialization File:	
L	4		

图 3-9 RAM16S 的 IP Customization 窗口结构

- 1. File 配置框
 - File 配置框用于配置产生的 IP 设计文件的相关信息。
 - RAM16S的File 配置框的使用和SP模块类似,具体请参考<u>3.1 Block</u> Memory > 3.1.1 SP的File 配置框。
- 2. Options 配置框
 - Options 配置框用于用户自定义配置 IP, Options 配置框如图 3-9 所示。
 - RAM16S 的 Options 配置框的使用和 SP 模块类似,具体请参考 <u>3.1</u>
 <u>Block Memory > 3.1.1 SP</u> 的 Options 配置框。
- 3. 端口显示框图
 - 端口显示框图显示当前 IP Core 的配置结果示例框图,输入输出端口的位宽根据 Options 配置实时更新,如图 3-9 所示;
 - Options 配置中的地址深度 "Address Depth" 配置影响地址数据的 位宽,数据位宽"Data Width"配置影响输入数据和输出数据的位宽。
- 4. Help 按钮

单击 "Help",显示 IP Core 的配置信息的页面。Help 页面包括当前 IP Core 的概要介绍,以及 Options 各项配置的简要说明。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件, 以默认配置为例进行介绍:

● IP 设计文件 "gowin_ram16s.v" 为完整的 verilog 模块,根据用户的 IP

配置,产生实例化的 RAM16S;

- IP 设计使用模板文件 gowin_ram16s_tmp.v,为用户提供 IP 设计使用模板文件;
- IP 配置文件: "gowin_ram16s.ipc",用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

3.2.2 RAM16SDP

RAM16SDP 是伪双端口工作模式,可通过 RAM16SDP1、RAM16SDP2、 RAM16SDP4 原语实现。在 IP Core Generator 界面中,单击"RAM16SDP", 界面右侧会显示 RAM16SDP 的相关信息概要。

IP 配置

在 IP Core Generator 界面中,双击 "RAM16SDP",弹出 "IP Customization"窗口。该窗口包括 "File" 配置框、"Options" 配置框、端口显示框图和 "Help" 按钮,如图 3-10 所示。

图 3-10 RAM16SDP 的 IP Customization 窗口结构

RAM16SDP	Ele	&
→ clk → wre di[0:0] dout[0:0] →	Hie Target Device: GW2A-LV18LQ144C8/I7 L Create In: E:\gowinProj\gowin_ram16sdp Module Name: Gowin_RAM16SDP File Name: Options Width & Depth Address Depth: 2 Data Width: 1	anguage: Verilog
→ wad[0:0] → rad[0:0]	Resources Usage Calculate RAM 16SDP Usage: 1 LUT Usage: 0 Initialization Memory Initialization File:	1UX Usage: 0

- 1. File 配置框
 - File 配置框用于配置产生的 IP 设计文件的相关信息。
 - RAM16SDP 的 File 配置框的使用和 SP 模块的类似,请参考 <u>3.1</u> <u>Block Memory > 3.1.1 SP</u> 中 File 配置框介绍。
- 2. Options 配置框
 - Options 配置框用于用户自定义配置 IP, Options 配置框如图 3-10 所示。

- RAM16SDP 的 Options 配置框的使用和 SP 模块的类似,请参考 <u>3.1</u>
 <u>Block Memory > 3.1.1 SP</u> 中 Options 配置框。
- 3. 端口显示框图
 - 端口显示框图显示当前 IP Core 的配置结果示例框图,输入输出端口 的位宽根据 Options 配置实时更新,如图 3-10 所示;
 - Options 配置中的地址深度 Address Depth 配置影响写地址和读地址 的位宽,数据位宽 Data Width 配置影响输入数据和输出数据的位宽。
- 4. Help 按钮

单击"Help",显示 IP Core 的配置信息页面。Help 页面包括当前 IP Core 的概要介绍,以及 Options 各项配置的简要说明。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件 "gowin_ram16sdp.v" 为完整的 verilog 模块,根据用户的 IP 配置,产生实例化的 RAM16SDP;
- IP 设计使用模板文件 gowin_ram16sdp_tmp.v,为用户提供 IP 设计使用 模板文件;
- IP 配置文件: "gowin_ram16sdp.ipc",用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

3.2.3 ROM16

ROM16 是只读模式。在 IP Core Generator 界面中,单击 "ROM16", 界面右侧会显示 ROM16 的相关信息概要。

IP 配置

在 IP Core Generator 界面中,双击"ROM16",弹出 ROM16 的"IP Customization"窗口。窗口包括"File"配置框、"Options"配置框、端口 显示框图和"Help"按钮。

图 3-11 ROM16 的 IP Customization 窗口结构

- 1. File 配置框
 - File 配置框用于配置产生的 IP 设计文件的相关信息。
 - ROM16 的 File 配置框的使用和 SP 模块的类似,请参考 <u>3.1 Block</u> <u>Memory > 3.1.1 SP</u>中的 File 配置框。
- 2. Options 配置框
 - Options 配置框用于用户自定义配置 IP, Options 配置框如图 3-11 所示。
 - ROM16 的 Options 配置框的使用和 SP 模块的类似,请参考 <u>3.1</u>
 <u>Block Memory > 3.1.1 SP</u>中的 Options 配置。
- 3. 端口显示框图
 - 端口显示框图显示当前 IP Core 的配置结果示例框图,输入输出端口 的位宽根据 Options 配置实时更新,如图 3-11 所示;
 - Options 配置中的地址深度 Address Depth 配置影响地址的位宽, 数据位宽 Data Width 配置影响输出数据的位宽。
- 4. Help 按钮

单击"Help",显示 IP Core 的配置信息页面。Help 页面包括当前 IP Core 的概要介绍,以及 Options 各项配置的简要说明。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件 "gowin_rom16.v" 为完整的 verilog 模块,根据用户的 IP 配置,产生实例化的 ROM16;
- IP 设计使用模板文件 gowin_rom16_tmp.v,为用户提供 IP 设计使用模 板文件;
- IP 配置文件: "gowin_rom16.ipc",用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

3.3 DSP

DSP 模块支持五种高云原语的产生:ALU54、MULT、MULTADDALU、MULTALU、PADD。

3.3.1 ALU54

ALU54 实现 54 位算数逻辑运算。在 IP Core Generator 界面中,单击 "ALU54",界面右侧会显示 ALU54 的相关信息概要。

IP 配置

在 IP Core Generator 界面中,双击 "ALU54", 弹出 ALU54 的 "IP Customization"窗口,如图 3-12 所示。该窗口包括"File"配置框、"Options" 配置框、端口显示框图和 "Help" 按钮。



鶨 IP Customization		? ×
ALU54		
	File Language: Verilog Target Device: GW2A-LV18LQ144C8/I7 Language: Verilog Create In: E:\gowinProj\gw_alu54 File Name: gw_alu54 Module Name: GW_ALU54 File Name: gw_alu54	•
→ ck → ce dout[53.0] →	Options ALU Mode Option Data Options ALU Mode: A + B ▼ Input A: 54 ÷ (2-54) Signed ▼ Input B: 54 ÷ (2-54)	
→ a(53:0) cas o(54:0) →	Register Options Reset Mode: Synchronous Asynchronous Enable Input A Register Enable Input B Register Enable ACCLOAD Register Enable Output Register 	
	OK Cancel	Help

1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- ALU54 的 File 配置框的使用和 SP 模块的类似,请参考 <u>3.1 Block</u> <u>Memory > 3.1.1 SP</u> 中的 File 配置框。
- 2. Options 配置框

Options 配置框用于用户自定义配置 IP, Options 配置框如图 3-12 所示。

- ALU Mode Option: 配置 ALU54 的运算模式。可选择:
 - A + B;
 - A B;
 - Accum + A + B;
 - Accum + A B;
 - Accum A + B;
 - Accum A B;
 - B + CASI;
 - Accum + B + CASI;
 - Accum B + CASI;
 - A + B + CASI;
 - A B + CASI;
- Data Options: 配置数据选项。
 - 配置 ALU54 输入数据位宽。输入 A/B 端的数据可配置为 1-54 位;
 - 输出端口数据位宽无需用户配置,其会根据输入位宽自动调整位
 宽;
 - "Data Type"选项可配置为 Signed、Unsigned。
- Register Options: 配置寄存器工作模式。
 - "Reset Mode"选项配置 ALU54 的复位模式,支持同步模式 "Synchronous"和异步模式 "Asynchronous";
 - "Enable Input A Register"配置 Input A register;
 - "Enable Input B Register"配置 Input B register;
 - "Enable ACCLOAD Register"配置 ACCLOAD register;
 - "Enable Output Register"配置 Output register。
- 3. 端口显示框图

端口显示框图显示当前 IP Core 的配置结果示例框图,输入输出端口的 位宽根据 Options 配置实时更新,如图 3-12 所示。

4. Help 按钮

单击"Help",显示 IP Core 的配置信息的页面。Help 页面包括当前 IP

Core 的概要介绍,以及 Options 各项配置的简要说明。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件"gw_alu54.v"为完整的 verilog 模块, 根据用户的 IP 配置, 产生实例化的 ALU54;
- IP 设计使用模板文件 gw_alu54_tmp.v,为用户提供 IP 设计使用模板文件;
- IP 配置文件: "gw_alu54.ipc", 用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

3.3.2 MULT

MULT 实现乘法运算功能。在 IP Core Generator 界面中单击"MULT", 界面右侧会显示 MULT 的相关信息概要。

IP 配置

在 IP Core Generator 界面中双击"MULT", 弹出 MULT 的"IP Customization"窗口, 如图 3-13 所示。该窗口包括"File"配置框、"Options" 配置框、端口显示框图以及"Help"按钮。

图 3-13 MULT 的 IP Customization 窗口结构

🚴 IP Customization		? ×
MULT		
	File Target Device: GW2A-LV18LQ144C8/17 Create In: E:\gowinProj\gw_mult	g 🗸
	Module Name: <u>GW_MULT</u> File Name: <u>gw_mult</u> Options Data Section:	
- Ce	Data Options Width Source Input A: 18 • (2-36) Parallet Signed Input B: 18 • (2-36)	
→ reset dout[35:0] →	Output: 36	
→ a[17:0]	Shift Output Options	
→ b[17:0]	Register Options Reset Mode: Synchronous Asynchronous	
	Enable Input A Register Enable Input B Register Enable Pipeline Register Enable Shift Output A Register Enable Output Register	
Q. Q.	OK Cance	el Help

1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- MULT 的 File 配置框的使用和 SP 模块的类似,请参考 <u>3.1 Block</u> <u>Memory > 3.1.1 SP</u>中的 File 配置框。
- 2. Options 配置框
 - Options 配置框用于用户自定义配置 IP, Options 配置框如图 3-13 所示。
 - Data Options: 配置数据选项。
 - 输入端口(Input A Width/ Input B Width)最大数据位宽为 36;
 - 输出端口数据位宽(Output Width)无需用户配置,它会根据输入位宽自动调整位宽,例化时会根据位宽生成 MULT9X9, MULT18X18,MULT36X36。
 - 输入端口 A/B 可配置为 Parallel、Shift;
 - 数据类型可配置为 Unsigned、Signed。
 - Shift Output Options: 能否使能 shift out 功能, 输入端口(Input A Width/Input B Width)都小于等于 18 时,可使用此功能。

注!

输入端口(Input A Width/ Input B Width)任一项大于 18 时, Shift Output Options 置 灰,不可使用。

 Register Options: 该选项的功能、用法与 ALU54 的 Register Options 选项相同,请参考 <u>3.3.1</u> ALU54 中的 Option 配置框。

3. 端口显示框图

端口显示框图显示当前 IP Core 的配置结果示例框图,输入输出端口的 个数以及位宽根据 Options 配置实时更新,如图 3-13 所示。

4. Help 按钮

单击 "Help",显示 IP Core 的配置信息的页面。Help 页面包括当前 IP Core 的概要介绍,以及 Options 各项配置的简要说明。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件 "gw_mult.v" 为完整的 verilog 模块,根据用户的 IP 配置, 产生实例化的 MULT;
- IP 设计使用模板文件 gw_mult_tmp.v,为用户提供 IP 设计使用模板文件;
- IP 配置文件: "gw_mult.ipc",用户可加载该文件对 IP 进行配置。

注!

```
如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。
```

3.3.3 MULTADDALU

MULTADDALU 实现乘法器二次求和或累加功能。在 IP Core Generator 界面中,单击"MULTADDALU",界面右侧会显示 MULTADDALU 的相关信 息概要。

IP 配置

在 IP Core Generator 界面中,双击"MULTADDALU",弹出 MULTADDALU 的"IP Customization"窗口。该窗口包括"File"配置框、 "Options"配置框、端口显示框图和"Help"按钮,如图 3-14 所示。

```
图 3-14 MULTADDALU 的 IP Customization 窗口结构
```

鶨 IP Customization	? X
MULTADDALU	👶
	File Target Device: GW2A-LV18LQ144C8/I7 Language: Verilog
	Oreate In: E: gowinProj gw_multaddalu Module Name: GW_MULTADDALU File Name: Gw_multaddalu
	Options Shift Output Options MULTADDALU Mode Option Enable Shift Output A Enable Shift Output B Enable Shift Output B
→ ce → reset dout[36:0] →	Data Options Width Source Data Type Input A0: 18 - (2-18) Parallel - Signed -
→ a0[17:0]	Input B0: 18 ↓ (2-18) Parallel Signed ▼ Input A1: 18 ↓ (2-18) Parallel ▼ Signed ▼ Input B1: 18 ↓ (2-18) Parallel ▼ Signed ▼ Input B1: 18 ↓ (2-18) Parallel ▼ Signed ▼
caso[54:0] → a 1[17:0]	Input C: 54 C (1-54) Register Options
→ b 1[17:0]	Reset Mode:
	Enable Input C Register Enable Multiplier0 Pipeline Register Enable Multiplier0 Pipeline Register Enable Multiplier1 Pipeline Register Enable Shift Output Register Enable Output Register
Q. Q.	OK Cancel Help

- 1. File 配置框
 - File 配置框用于配置产生的 IP 设计文件的相关信息。
 - MULTADDALU 的 File 配置框的使用和 SP 模块的类似,请参考 <u>3.1</u> Block Memory > 3.1.1 SP 中的 File 配置框。

2. Options 配置框

Options 配置框用于用户自定义配置 IP, Options 配置框如图 3-14 所示。

- MULTADDALU Mode Option: 配置 MULTADDALU 的运算模式。可选择:
 - A0*B0 + A1*B1
 - A0*B0 A1*B1

- A0*B0 + A1*B1 + C
- A0*B0 + A1*B1 C
- A0*B0 A1*B1 + C
- A0*B0 A1*B1 C
- Accum + A0*B0 + A1*B1
- Accum + A0*B0 A1*B1
- A0*B0 + A1*B1 + CASI
- A0*B0 A1*B1 + CASI;
- MULTADDALU 的 Data Options 和 Register Options 配置框的使用 和 MULT 模块的类似,请参考 <u>3.3.2</u> MULT。
- 3. 端口显示框图

端口显示框图显示当前 IP Core 的配置结果示例框图,输入输出端口的 位宽根据 Data Options 和 Register Options 配置实时更新,如图 3-14 所示。

4. Help 按钮

单击 "Help",显示 IP Core 的配置信息的页面。Help 页面包括 IP Core 的概要介绍,以及 Data Options 和 Register Options 各项配置的简要说 明。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件 "gw_multaddalu.v" 为完整的 verilog 模块,根据用户的 IP 配置,产生实例化的 MULTADDALU;
- IP 设计使用模板文件 gw_multaddalu_tmp.v,为用户提供 IP 设计使用模板文件;
- IP 配置文件: "gw_multaddalu.ipc", 用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

3.3.4 MULTALU

MULTALU 实现乘积求和或累加的功能。在 IP Core Generator 界面中, 单击 MULTALU,界面右侧会显示 MULTALU 的相关信息概要。

IP 配置

在 IP Core Generator 界面中,双击"MULTALU",弹出"IP Customization"窗口。该窗口包括"File"配置框、"Options"配置框、端口显示框图和"Help"按钮,如图 3-15 所示。

File Target Device: GW2A-LV 18LQ 144CS/L7 Language: Verilog Create In: E:\gowinProj\gw_multalu	•
File Target Device: GW2A-LV 18LQ 144C8/17 Language: Verilog Create In: E:\gowinProj\gw_multalu	•
Module Name: GW_MULTALU File Name: gw_multalu Options Options Data Options MULTALU 18x 18 Mode: A * B + C oe dout(53:0) Input B: 18 \$ (2-36) Signed Input C: 54 \$ (1-54) Input C: 54 \$ (1-54)	
reset Input D: 54 ♀ (2-54) Signed reset a[17:0] caso[54:0] b[17:0] caso[54:0] caso[54:0]	

图 3-15 MULTALU 的 IP Customization 窗口结构

- 1. File 配置框
 - File 配置框用于配置产生的 IP 设计文件的相关信息。
 - MULTALU 的 File 配置框的使用和 SP 模块的类似,请参考 <u>3.1 Block</u> <u>Memory > 3.1.1 SP</u>中的 File 配置框。
- 2. Options 配置框 Options 配置框用于用户自定义配置 IP, Options 配置框如图 3-15 所示。
 - MULTALU Mode Option IP Core 中的 MULTALU 根据输入端口的位宽可以生成两种模块: MULTALU36X18 或 MULTALU18X18。当 Input A 和 Input B 的 width 都小于或等于 18 位时, Options 配置框右侧的 MULTALU Mode Options 中 MULTALU36X18 Mode 置灰, MULTALU18X18 Mode 可 以配置为:
 - A*B + C
 - A*B C
 - Accum + A*B + C
 - Accum + A*B C
 - Accum A*B + C
 - Accum A*B C
 - A*B + CASI

- Accum + A*B + CASI
- Accum A*B + CASI
- A*B + D + CASI
- A*B D + CASI
- 当 Input B 的 width 大于 18 位时, MULTALU18X18 Mode 置灰, MULTALU36X18 Mode 可以配置为:
 - A*B + C
 - A*B C
 - Accum + A*B
 - A*B + CASI
- MULTALU 的 Data Options 和 Register Options 配置框的使用和 MULT 模块的类似,请参考 <u>3.3.2</u> MULT。
- 3. 端口显示框图 端口显示框图显示当前 IP Core 的配置结果示例框图,输入输出端口的 位宽根据 Options 配置实时更新,如图 3-15 所示。
- 4. Help 按钮

单击 "Help",显示 IP Core 的配置信息的页面。Help 页面包括当前 IP Core 的概要介绍,以及 Options 各项配置的简要说明。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件 "gw_multtalu.v" 为完整的 verilog 模块,根据用户的 IP 配置,产生实例化的 MULTALU;
- IP 设计使用模板文件 gw_multtalu_tmp.v,为用户提供 IP 设计使用模板 文件;
- IP 配置文件: "gw_multtalu.ipc", 用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

3.3.5 PADD

PADD 实现预加、预减或移位功能。在 IP Core Generator 界面中,单击 "PADD",界面右侧即会显示 PADD 的相关信息概要。

IP 配置

在 IP Core Generator 界面中,双击"PADD",弹出"IP Customization" 窗口。该窗口包括"File"配置框、"Options"配置框、端口显示框图和"Help" 按钮,如图 3-16 所示。

IP Customization						?	;
PADD							
		File Target Device: GW2A-LV18LQ144	C8/I7		Language: Verilog		•
		Create In: E:\gowinProj\gw_ Module Name: GW_PADD	padd	File Name:	gw_padd		
		Options					
		Data Options Width	Source	sh	ift Output & Add/Sub Options -] Enable Shift Output		
→ ce		Input B: 18 (1-18)) Parallel	▼ Ad	Id/Sub Operation: Add	•	
→ reset	dout[17:0] 🗪	Register Ontions					
➡ a[17:0]		Reset Mode: Synchronous	Asynchronous				
➡ Ь[17:0]		Enable Input A Register Enable Shift Output Register	🗹 Enable Input B Reg	gister			
	۹ ۹						
				C	OK Cancel	H	elp

图 3-16 PADD 的 IP Customization 窗口结构

- 1. File 配置框
 - File 配置框用于配置产生的 IP 设计文件的相关信息。
 - PADD 的 File 配置框的使用和 SP 模块的类似,请参考 <u>3.1 Block</u> <u>Memory > 3.1.1 SP</u>中的 File 配置框。

2. Options 配置框

Options 配置框用于用户自定义配置 IP, Options 配置框如图 3-16 所示。

- Data Options: 配置数据选项。
 - 输入端口(Input A Width/ Input B Width) 最大数据位宽为 18;
 - 输出端口数据位宽(output Width)无需用户配置,它会根据输入位宽自动调整位宽,例化时会根据位宽决定生成 PADD9 或 PADD18。
 - 输入端口 A 的数据来源可通过 "Input A Source" 选项配置为
 Parallel 和 Shift;
 - 输入端口 B 的数据来源可通过"Input B Source"选项配置为
 Parallel、Backward Shift。
- Shift Output & Add/Sub Options: 使能 Shift Output、Backward Shift Output 和加减操作配置。
 - 使能 Shift Output 通过选中"Enable Shift Output"进行配置;
 - 使能 Backward Shift Output 通过选中"Enable Backward Shift Output"选项进行配置;

- PADD 可通过配置 "Add/Sub Operation" 选项执行加法、减法。
- ▶ Register Options: 配置寄存器工作模式。
 - "Reset Mode"选项配置 PADD 的复位模式,支持同步模式
 "Synchronous"和异步模式 "Asynchronous";
 - "Enable Input A Register" 配置 Input A register;
 - "Enable Input B Register" 配置 Input B register;
 - "Enable Output Register"配置 Output register。
- 3. 端口显示框图

端口显示框图显示当前 IP Core 的配置结果示例框图,输入输出端口的 个数以及位宽根据 Options 配置实时更新,如图 3-16 所示。

4. Help 按钮

单击 "Help",显示 IP Core 的配置信息的页面。Help 页面包括当前 IP Core 的概要介绍,以及 Options 各项配置的简要说明。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件 "gw_padd.v" 为完整的 verilog 模块, 根据用户的 IP 配置, 产生实例化的 PADD;
- IP 设计使用模板文件 gw_padd_tmp.v,为用户提供 IP 设计使用模板文件;
- IP 配置文件: "gw_padd.ipc", 用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

3.4 CLOCK

当前,CLOCK 模块支持 9 种高云原语的产生: rPLL、PLLVR、OSC、 CLKDIV、CLKDIV2、DCS、DHCEN、DLLDLY、DQCE。

3.4.1 PLL

PLL 可基于给定的输入 clkin 进行时钟相位调整、占空比调整、频率调整 (倍频和分频)等来产生不同相位和频率的输出。在 IP Core Generator 界 面中,单击"rPLL",界面右侧会显示 rPLL 的相关信息概要。

rPLL 输出数据计算公式如下:

- 1. $f_{CLKOUT} = (f_{CLKIN} * FDIV) / IDIV$
- 2. $f_{CLKOUTD} = f_{CLKOUT} / SDIV$
- 3. $f_{VCO} = f_{CLKOUT} * ODIV$
- 注!
- f_{CLKIN} 为输入时钟 CLKIN 频率;

SUG284-2.1

- f_{CLKOUT} 为输出时钟 CLKOUT 频率;
- f_{CLKOUTD} 为输出时钟 CLKOUTD 频率, CLKOUTD 是 CLKOUT 分频后的时钟;
- f_{vco}为VCO 震荡频率。

IP 配置

在 IP Core Generator 界面中双击 "rPLL", 弹出 rPLL 的 "IP Customization" 窗口。该窗口包括 "File" 配置框、"Options" 配置框、端口显示框图和 "Help" 按钮, 如图 3-17 所示。

图 3-17 rPLL 的 IP Customization 窗口结构

PLL					ſ
	File Target Device:	GW2A-LV18LO144C8/I7		Language: Verilog	
	Create In:	E:\gowinProj\gowin_rpll			٦
	Module Name:	Gowin_rPLL	File Nan	ne: gowin_rpll	_
	Options				
	General			CLKOUT	
	Mode			Bypass	
	Generation	l Mode 🔿 Advanced Mode		Expected Frequency (3.90625~625): 400.000	3
	PLL Phase	And Duty Cycle Adjustment		Tolerance (%): 0.0	·
	Oynam	ic 🔿 Static		VCO Divide Factor	
	DI Pere			Dynamic	
ikin dikut 🗭					
	CLKIN	(2. 212)			
	Clock Freque	ncy (3~500): 100.000 🗣		Actual Frequency: 400	
	Divide Fact Dvna	mic		CLKOUTP	
	Initia	Value(1~64): 1 ♣		Enable CLKOUTP Bypass	
	🔿 Stati	: (1~64): 1 🗘		Phase And Duty Cycle Adjustment (Static)	
				Phase (degree): 0.0 👻	
		C	Calculate	Duty Cycle: 0.500 👻	
	CLKFB				
	Source: Int	ernal 🔻			
٩ .	Divide Fact	Dr		Source	

- 1. File 配置框
 - File 配置框用于配置产生的 IP 设计文件的相关信息。
 - rPLL 的 File 配置框的使用和 SP 模块的类似,请参考 <u>3.1 Block</u>
 <u>Memory > 3.1.1 SP</u>中的 File 配置框。
- 2. Options 配置框
 - Options 配置框用于用户自定义配置 IP, Options 配置框如图 3-17 所示。
 - General: 配置一般模式和高级模式,配置输出相位和占空比调整的 动态、静态模式和使能 PLL Reset。
 - "Mode"选项配置 IP Core 配置的模式,支持一般模式"General Mode"和高级模式 "Advanced Mode";
 - "PLL Phase And Duty Cycle Adjustment"选项配置输出的占空 比和相位调整的模式,支持动态调整"Dynamic"和静态调整

"Static";

- "PLL Reset"选项配置 rPLL 的 Reset 使能模式;
- "PLL Power Down"选项配置 reset_p 端口使 rPLL 处于节电模式。
- CLKIN: 配置 rPLL 输入时钟的频率,分频参数的设置和 IDSEL Reset 使能模式。
 - "Clock Frequency (频率范围)" 配置输入时钟的频率,范围由 device 决定;
 - "Divide Factor"可在高级模式下配置分频参数,支持动态模式
 "Dynamic"和静态模式"Static",静态模式下可配置分频参数的具体数值,范围为 1~64。若 CLKOUT 的输出频率不在相应device 要求的范围内,单击"Calculate"或"OK",会弹出提示窗口提示错误;若 CLKIN/IDIV 的频率不在相应device 要求的Clock Frequency范围内,单击"Calculate"或"OK",会弹出提示窗口提示错误。
- CLKFB: 配置 rPLL 反馈时钟的源和倍频参数。
 - 配置反馈时钟的源时,"Source"选项可选择 Internal 和 External;
 - "Divide Factor"可在高级模式下配置倍频参数,支持动态模式
 "Dynamic"和静态模式"Static",静态模式下可配置倍频参数的具体数值,范围为 1~64,配置不合理时,单击"Calculate"
 按钮或"OK"按钮,会弹出提示窗口提示错误。
- Enable LOCK: 使能 LOCK 端口。
- CLKOUT: 配置 rPLL 输出时钟期望频率, 配置 VCO 参数, 配置输 出时钟周期的微调参数。
 - "Bypass"选项可配置输出时钟的旁路功能;
 - "Expected Frequency (频率范围)"在一般模式下配置期望的 输出时钟 CLKOUT 的频率,范围由 device 决定;
 - "Tolerance (%)" 配置 CLKOUT 期望频率和计算出的实际频率 的允许误差。
 - "VCO Divide Factor"在高级模式下配置 VCO 参数支持动态模式
 "Dynamic"和静态模式"Static",静态模式下可配置分频参数的具体数值,范围为 2/4/8/16/32/48/64/80/96/112/128,配置
 不合理时,单击"Calculate"或"OK",会弹出提示窗口提示错误。
 - "Actual Frequency"显示经计算得出的 CLKOUT 实际频率, 无需用户配置。
- CLKOUTP: 配置相移时钟周期微调参数,配置相移时钟的相位和占空比调整参数,使能/失能相移时钟的 Reset。

- "Enable CLKOUTP"选项配置相移时钟输出使能;
- "Bypass"选项配置相移时钟的旁路功能使能;
- "Phase And Duty Cycle Adjustment (Static)"可在静态模式下 配置相位 (Phase (degree))和占空比 (Duty Cycle);
- CLKOUTD: 配置分频时钟输出的时钟源, 配置期望分频时钟输出频 率, 配置分频时钟分频输出参数, 使能/失能分频时钟输出的 Reset。
 - "Enable CLKOUTD"选项配置分频时钟输出使能;
 - "Bypass"选项配置分频时钟输出的旁路功能使能;
 - "Source"选项配置分频时钟输出的时钟源,可选 CLKOUT 和 CLKOUTP;
 - "Expected Frequency (频率范围)"在一般模式下配置期望的 分频时钟输出的频率,范围由 device 决定;
 - "Tolerance(%)"配置分频时钟输出期望频率和计算出的实际 频率的允许误差;
 - "Divide Factor (2~128)"在高级模式下配置分频时钟输出的 分频参数,范围为 2~128 之间的偶数,设置为奇数时单击"OK" 会提示错误。
 - "Actual Frequency"显示经计算得出的分频时钟输出的实际频 率,无需用户配置;
- CLKOUTD3: 配置三分频时钟输出的时钟源。
 - "Enable CLKOUTD3" 选项配置三分频时钟输出使能;
 - "Source"选项配置三分频时钟输出的时钟源,可选 CLKOUT 和 CLKOUTP。
- Calculate: 计算当前配置是否合理。
 - 一般模式"General Mode"下,根据输入输出频率计算配置分频参数、倍频参数和 VCO 参数,计算出的实际频率和期望频率 不相等时,单击"Calculate"按钮后会弹出"error"窗口提示错误,并将不合理位置标红。
 - 在高级模式 "Advanced Mode"下,计算配置的静态分频参数、 倍频参数和 VCO 参数是否合理,若不合理,单击 "Calculate", 弹出 "error"窗口提示错误,并将不合理位置标红置正确,单击 "Calculate",弹出 "info"窗口提示配置成功。
- 3. 端口显示框图 端口显示框图显示 IP Core 的配置结果示例框图,输入输出端口的个数 根据 Options 配置实时更新,如图 3-17 所示。
- Help 按钮 单击 "Help",显示 IP Core 的配置信息的页面。Help 页面包括 IP Core

的概要介绍以及 Options 各项配置的简要说明。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件"gowin_rpll.v"为完整的 verilog 模块,根据用户的 IP 配置, 产生实例化的 rPLL;
- IP 设计使用模板文件 gowin_rpll_tmp.v,为用户提供 IP 设计使用模板文件;
- IP 配置文件: "gowin_rpll.ipc",用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

3.4.2 PLLVR

PLLVR 是带电源调节的 PLL,只适用于 GW1NS-4、GW1NS-4C、 GW1NSR-4、GW1NSR-4C、GW1NSER-4C。在 IP Core Generator 界面 中,单击 "PLLVR",界面右侧会显示 PLLVR 的相关信息概要。

PLLVR 输出数据计算公式与 PLL 一致,请参考 3.4 CLOCK > 3.4.1 PLL。

IP 配置

在 IP Core Generator 界面中双击 "PLLVR", 弹出 PLLVR 的 "IP Customization" 窗口。该窗口包括 "File" 配置框、"Options" 配置框、端口显示框图和 "Help" 按钮, 如图 3-18 所示。

图 3-18 PLLVR 的 IP Customization 窗口结构

	File	Languages Visiling
	Create In: F: anwinProiloowin ollyr	congooge. veniog
	Module Name: Gowin_PLLVR	File Name: gowin_pllvr
	Options	
	General	CLKOUT
	Mode	Bypass
	General Mode	Expected Frequency (2.5~480): 400.000 文
	PLL Phase And Duty Cycle Adjustment	Tolerance (%): 0.0 •
	Dynamic Static	VCO Divide Factor
kin dinut 🖿		Dynamic Initial Value: 2
	PLL Reset PLL Power Down PLL Regulator	Static 2 Y
	CLKIN	
	Clock Frequency (3~320): 100.000 🜩	Actual Frequency: 400
	Divide Factor	CLKOUTP
	Dynamic	Enable CLKOUTP Bypass
	Initial Value(1~64): 1	Phase And Duty Cycle Adjustment (Static)
	→ Static (1~64): 1 👻	Phase (degree): 0.0 🗸
	Calculate	Duty Cyde: 0.500 🗸
	CLKFB	CLKOUTD
	Courses Tabanal and	

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- PLLVR 的 File 配置框的使用和 SP 模块的类似,请参考 <u>3.1 Block</u> <u>Memory > 3.1.1 SP</u>中的 File 配置框。
- 2. Options 配置框
 - Options 配置框用于用户自定义配置 IP, Options 配置框如图 3-18 所示。
 - PLLVR 配置框的使用和 rPLL 模块类似,请参考 <u>3.4</u> CLOCK <u>> 3.4.1</u>
 PLL 中的 Options 配置框。其中新增 PLL Regulater 选项。
- 3. 端口显示框图 端口显示框图显示 IP Core 的配置结果示例框图,输入输出端口的个数 根据 Options 配置实时更新,如图 3-18 所示。
- 4. Help 按钮

单击 "Help",显示 IP Core 的配置信息的页面。Help 页面包括 IP Core 的概要介绍以及 Options 各项配置的简要说明。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件,以默认配置为例进行介绍:

- IP 设计文件 "gowin_pllvr.v" 为完整的 verilog 模块,根据用户的 IP 配置,产生实例化的 PLLVR;
- IP 设计使用模板文件 gowin_pllvr_tmp.v,为用户提供 IP 设计使用模板 文件;
- IP 配置文件: "gowin_pllvr.ipc",用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

3.4.3 OSC

OSC 是片内晶振,在 IP Core Generator 界面中单击 OSC,界面右侧会显示 OSC 的相关信息概要。

IP 配置

在 IP Core Generator 界面中,双击 "OSC", 弹出 OSC 的 "IP Customization" 窗口,该窗口包括 "File" 配置框、"Options" 配置框、端口显示框图和 "Help" 按钮,如图 3-19 所示。

IP Customization	?	\times
OSC	5	
	File Target Device: GW2A-LV18LQ144C7/I6 Language: Verilog Create In: E:\gowinProj\gowin_osc . Module Name: Courie_OSC File Name:	•
oscout →	Options Frequency Divider: 100 (2~128)	
	OK Cancel Heln	

图 3-19 OSC 的 IP Customization 窗口结构

- 1. File 配置框
 - File 配置框用于配置产生的 IP 设计文件的相关信息。
 - OSC 的 File 配置框的使用和 SP 模块的类似,请参考 <u>3.1 Block</u> <u>Memory > 3.1.1 SP</u>中的 File 配置框。

注!

不同 device 生成的 OSC 类型不同,详情请参考文档 <u>SUG283</u>,Gowin 原语用户指南。

- 2. Options 配置框
 - Options 配置框用于用户自定义配置 IP, Options 配置框如图 3-19 所示。
 - Frequency Divider: 分频值。该值为2的整数倍,取值范围为2~128。
- 3. 端口显示框图 端口显示框图显示 IP Core 的配置结果示例框图,如图 3-19 所示。
- 4. Help 按钮

单击"Help",显示 IP Core 的配置信息的页面。Help 页面包括 IP Core 的概要介绍,以及 Options 各项配置的简要说明。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件"gowin_osc.v"为完整的 verilog 模块,根据用户的 IP 配置, 产生实例化的 OSC;
- IP 设计使用模板文件 gowin_osc_tmp.v,为用户提供 IP 设计使用模板文

件;

● IP 配置文件: "gowin_osc.ipc",用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

3.4.4 CLKDIV

CLKDIV 是一种时钟分割模块,用于高速时钟分割,在 IP Core Generator 界面中单击 CLKDIV,界面右侧会显示 CLKDIV 的相关信息概要。

IP 配置

在 IP Core Generator 界面中,双击 "CLKDIV",弹出 CLKDIV 的"IP Customization"窗口,该窗口包括 "File"配置框、"Options"配置框、端口显示框图和 "Help" 按钮,如图 3-20 所示。

图 3-20CLKDIV 的 IP Customization 窗口结构

鶨 IP Customization		? >	<
CLKDIV)
→ hd kin dkout → resetn	File Target Device: GW2A-LV18LQ144C7/I6 La Create In: E:\gowinProj\gowin_clkdiv Module Name: Gowin_CLKDIV File Name: g Options Division Factor: 2 Calibration: false	ınguage: Verilog ▼ jowin_dkdiv	
	OK	Cancel Help	

- 1. File 配置框
 - File 配置框用于配置产生的 IP 设计文件的相关信息。
 - CLKDIV 的 File 配置框的使用和 SP 模块的类似,请参考 <u>3.1 Block</u> <u>Memory > 3.1.1 SP</u>中的 File 配置框。
- 2. Options 配置框
 - Options 配置框用于用户自定义配置 IP, Options 配置框如图 3-20 所示。

- Division Factor: 除法因子。
- Calibration: 校准时钟使能/失能选项。
- 3. 端口显示框图 端口显示框图显示 IP Core 的配置结果示例框图,如图 3-20 所示。
- 4. Help 按钮

单击 "Help",显示 IP Core 的配置信息的页面。Help 页面包括 IP Core 的概要介绍,以及 Options 各项配置的简要说明。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件 "gowin_clkdiv.v" 为完整的 verilog 模块,根据用户的 IP 配 置,产生实例化的 CLKDIV;
- IP 设计使用模板文件 gowin_clkdiv_tmp.v,为用户提供 IP 设计使用模板 文件;
- IP 配置文件: "gowin_clkdiv.ipc",用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

3.4.5 CLKDIV2

CLKDIV2 是一种时钟分频因子为2的时钟模块,用于高速时钟分频,在 IP Core Generator 界面中单击 CLKDIV2,界面右侧会显示 CLKDIV2 的相关 信息概要。

IP 配置

在 IP Core Generator 界面中,双击"CLKDIV2",弹出 CLKDIV2 的"IP Customization"窗口,该窗口包括"File"配置框、"Options"配置框、端口 显示框图和 "Help" 按钮,如图 3-21 所示。

图 3-21 CLKDIV2 的 IP Customization 窗口结构

- 1. File 配置框
 - File 配置框用于配置产生的 IP 设计文件的相关信息。
 - CLKDIV2 的 File 配置框的使用和 SP 模块的类似,请参考 <u>3.1 Block</u> <u>Memory > 3.1.1 SP</u>中的 File 配置框。
- 2. 端口显示框图 端口显示框图显示 IP Core 的配置结果示例框图,如图 3-21 所示。
- 3. Help 按钮

单击 "Help",显示 IP Core 的配置信息的页面。Help 页面包括 IP Core 的概要介绍。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件 "gowin_clkdiv2.v" 为完整的 verilog 模块,根据用户的 IP 配置,产生实例化的 CLKDIV2;
- IP 设计使用模板文件 gowin_clkdiv2_tmp.v,为用户提供 IP 设计使用模板文件;
- IP 配置文件: "gowin_clkdiv2.ipc",用户可加载该文件对 IP 进行配置。
 注!

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

3.4.6 DCS

DCS 是一种动态时钟选择器,用于时钟的动态切换,在 IP Core Generator 界面中单击 DCS,界面右侧会显示 DCS 的相关信息概要。

IP 配置

在 IP Core Generator 界面中,双击 "DCS",弹出 DCS 的 "IP Customization"窗口,该窗口包括 "File" 配置框、"Options" 配置框、端口显示框图和 "Help" 按钮,如图 3-22 所示。

P Customization	ŕ X
DCS	
	File
	Target Device: GW2A-LV18LQ144C7/I6 Language: Verilog 💌
	Create In: E:\gowinProj\gowin_dcs
	Module Name: Gowin_DCS File Name: gowin_dcs
	Options
dk0	Glitchless Mode: true 💌
	DCS Mode: RISING -
-> clk3	
٩ ٩	
	OK Cancel Help

图 3-22 DCS 的 IP Customization 窗口结构

- 1. File 配置框
 - File 配置框用于配置产生的 IP 设计文件的相关信息。
 - DCS 的 File 配置框的使用和 SP 模块的类似,请参考 <u>3.1 Block</u> <u>Memory > 3.1.1 SP</u>中的 File 配置框。
- 2. Options 配置框
 - Options 配置框用于用户自定义配置 IP, Options 配置框如图 3-22 所示。
 - Glitchless Mode: 使能/失能 Glitchless 模式。
 - DCS Mode: 设置 DCS 模式。
- 3. 端口显示框图 端口显示框图显示 IP Core 的配置结果示例框图,如图 3-22 所示。

4. Help 按钮

单击 "Help",显示 IP Core 的配置信息的页面。Help 页面包括 IP Core 的概要介绍,以及 Options 各项配置的简要说明。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件,以默认配置为例进行介绍:

- IP 设计文件"gowin_dcs.v"为完整的 verilog 模块,根据用户的 IP 配置, 产生实例化的 DCS;
- IP 设计使用模板文件 gowin_dcs_tmp.v,为用户提供 IP 设计使用模板文件;
- IP 配置文件: "gowin_dcs.ipc",用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

3.4.7 DHCEN

DHCEN 是一种动态高速时钟使能模块,用于动态的启动或禁用高速时 钟信号,在 IP Core Generator 界面中单击 DHCEN,界面右侧会显示 DHCEN 的相关信息概要。

IP 配置

在 IP Core Generator 界面中,双击"DHCEN",弹出 DHCEN 的"IP Customization"窗口,该窗口包括"File"配置框、端口显示框图和"Help"按钮,如图 3-23 所示。





- 1. File 配置框
 - File 配置框用于配置产生的 IP 设计文件的相关信息。

- DHCEN 的 File 配置框的使用和 SP 模块的类似,请参考 <u>3.1 Block</u> <u>Memory > 3.1.1 SP</u>中的 File 配置框。
- 2. 端口显示框图 端口显示框图显示 IP Core 的配置结果示例框图,如图 3-23 所示。
- 3. Help 按钮 单击 "Help",显示 IP Core 的配置信息的页面。Help 页面包括 IP Core 的概要介绍。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件 "gowin_dhcen.v" 为完整的 verilog 模块,根据用户的 IP 配置,产生实例化的 DHCEN;
- IP 设计使用模板文件 gowin_dhcen_tmp.v,为用户提供 IP 设计使用模板 文件;
- IP 配置文件: "gowin_dhcen.ipc",用户可加载该文件对 IP 进行配置。 注!

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

3.4.8 DLLDLY

DLLDLY 是一种 DLL slave 延时块,在 IP Core Generator 界面中单击 DLLDLY,界面右侧会显示 DLLDLY 的相关信息概要。

IP 配置

在 IP Core Generator 界面中,双击 "DLLDLY", 弹出 DLLDLY 的 "IP Customization" 窗口,该窗口包括 "File" 配置框、"Options" 配置框、端口显示框图和 "Help" 按钮,如图 3-24 所示

IP Customization			? ×
DLLDLY			
		File Target Device: GW2A-LV18LQ144C7/I6 Language: Verilog Create In: E:\gowinProj\gowin_dlldly Module Name: Gowin_DLLDLY File Name: gowin_dlldly	•
→ diistep[7:0]	ciko ut 🔶	Options DLLDLY Mode DLLDLY Mode: Delay	
Io a dn		Delay Adjustment Options Delay Sign: Adjustment Scale:	
→ m o ve	fag 🗕		
-> clkin			
	<u> </u>	OK Cancel	Help

图 3-24 DLLDLY 的 IP Customization 窗口结构

- 1. File 配置框
 - File 配置框用于配置产生的 IP 设计文件的相关信息。
 - DLLDLY 的 File 配置框的使用和 SP 模块的类似,请参考 <u>3.1 Block</u> <u>Memory > 3.1.1 SP</u>中的 File 配置框。
- 2. Options 配置框
 - Options 配置框用于用户自定义配置 IP, Options 配置框如图 3-24 所示。
 - DLLDLY Mode: DLLDLY 模式选择。
 - Delay Sign: 设置调整延时的符号。
 - Adjustment Scale: 延时调整设置。

3. 端口显示框图 端口显示框图显示 IP Core 的配置结果示例框图,如图 3-24 所示。

4. Help 按钮

单击 "Help",显示 IP Core 的配置信息的页面。Help 页面包括 IP Core 的概要介绍,以及 Options 各项配置的简要说明。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件, 以默认配置为例进行介绍:

● IP 设计文件 "gowin_dlldly.v" 为完整的 verilog 模块,根据用户的 IP 配 置,产生实例化的 DLLDLY;

- IP 设计使用模板文件 gowin_dlldly_tmp.v,为用户提供 IP 设计使用模板 文件;
- IP 配置文件: "gowin_dlldly.ipc",用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

3.4.9 DQCE

DQCE 是一种动态象限时钟使能模块,在 IP Core Generator 界面中单击 DQCE,界面右侧会显示 DQCE 的相关信息概要。

IP 配置

在 IP Core Generator 界面中,双击"DQCE",弹出 DQCE 的"IP Customization"窗口,该窗口包括"File"配置框、端口显示框图和"Help"按钮,如图 3-25 所示。

图 3-25 DQCE 的 IP Customization 窗口结构

👶 IP Customization		? ×
DQCE		
	File Target Device: GW2A-LV18LQ144C7/I6 Language: Veri Create In: E:\gowinProj\gowin_dqce Module Name: Gowin_DQCE File Name:	log •
→ 02		
Q. Q.		
	OK Cancel	Help

- 1. File 配置框
 - File 配置框用于配置产生的 IP 设计文件的相关信息。
 - DQCE 的 File 配置框的使用和 SP 模块的类似,请参考 <u>3.1 Block</u> <u>Memory > 3.1.1 SP</u>中的 File 配置框。
- 2. 端口显示框图 端口显示框图显示 IP Core 的配置结果示例框图,如图 3-25 所示。
- 3. Help 按钮

单击"Help",显示 IP Core 的配置信息的页面。Help 页面包括 IP Core 的概要介绍,以及 Options 各项配置的简要说明。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件 "gowin_dqce.v" 为完整的 verilog 模块,根据用户的 IP 配置,产生实例化的 DQCE;
- IP 设计使用模板文件 gowin_dqce_tmp.v,为用户提供 IP 设计使用模板 文件;
- IP 配置文件: "gowin_dqce.ipc",用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

3.5 User Flash

User Flash 是用户闪存。在 IP Core Generator 界面中单击"User Flash",界面右侧会显示 User Flash 的相关信息概要。

IP 配置

在 IP Core Generator 界面中,双击"User Flash",弹出 User Flash 的 "IP Customization"窗口,该窗口包括"File"配置框和端口显示框图以及 "Help"按钮,如图 3-26 所示。

图 3-26 User Flash 的 IP Customization 窗口结构



1. File 配置框

- File 配置框用于配置产生的 IP 设计文件的相关信息。
- User Flash 的 File 配置框的使用和 SP 模块的类似,请参考 <u>3.1 Block</u> <u>Memory > 3.1.1 SP</u>中的 File 配置框。

注!

- 不同 device 生成的 FLASH 类型不同,详情请参考文档 SUG283,Gowin 原语用户指 南。
- 2. 端口显示框图

User Flash 的输入位宽与 Device 的选择有关,根据不同的 Device 信息 会在端口显示框图中显示当前 IP Core 的配置结果示例框图,如图 3-26 所示。

 Help 按钮 单击 "Help",显示 IP Core 的配置信息的页面。Help 页面包括 IP Core 的概要介绍。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件 "gowin_user_flash.v" 为完整的 verilog 模块,根据用户的 IP 配置,产生实例化的 User Flash;
- IP 设计使用模板文件 gowin_user_flash_tmp.v,为用户提供 IP 设计使用 模板文件;
- IP 配置文件: "gowin_user_flash.ipc",用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

3.6 I3C

I3C 硬核具有高速、低功耗,兼容 I2C 和 SPI 的其他关键特性。IP 结构 提供了寄存器,使用户能够灵活地控制和实现特定的功能。在 IP Core Generator 界面中单击 I3C 下的 I3C SDR,界面右侧会显示 I3C SDR 的相关 信息概要。

IP 配置

在 IP Core Generator 界面中,双击"I3C SDR",弹出 I3C 的"IP Customization"窗口,该窗口包括"File"配置框、"Options"配置框、端口显示框图以及"Help"按钮,如图 3-27 所示。

Customization	1							Ŷ	
C: I30	SDR								
		File							
- AAC	AAO	Target	Device	GW 1NZ-ZV 1FN32C5/I4		Language:	Verilog		
- AAS		Creat	In:	E:\gowinProj\gw_i3c					
ACC	ACO	-> Modul	Name	Courin 13C	File Name:	cowin i2c			
ACKHS	CMD	- Hoddi	Nume.	dowin_rsc	The reality	gowin_isc			_
ACKLS	CMD	0.0							
ACS	DO[7:0]		s						
ADDRS									
CE	DOBUF[7:0]	-							
	LGYO	→							
CMC									
CMS	PARITYERROR	→							
	SCLO	→							
LGYC									
	SCLOEN	→							
RECVOR	e ecipiii.o								
	3 301-0110	-							
SCU	SCLPULLOEN	→							
SDA									
SENDAH	SDAO	SLAVE	STATIC	ADDRESS: 00 (7/h00~7/h7F)					
SENDAL	S SDAOEN	→							
	-								
	SD APULLO S	┝╸							
- sic	SDAPULLOEN	→							
-+ STRTC									
	SIO	▶							
STRTHD	S STRTO	.							
- STOPC	Sinto								
- STOPS	STATE[7:0]	┝╾							
-+ STOPSU	S STODO								
- STOPHD	STOPO	-							
		~ ~							

图 3-27 I3C 的 IP Customization 窗口结构

- 1. File 配置框
 - File 配置框用于配置产生的 IP 设计文件的相关信息。
 - I3C 的 File 配置框的使用和 SP 模块的类似,请参考 <u>3.1 Block</u> <u>Memory > 3.1.1 SP</u>中的 File 配置框。
- 2. Options 配置框
 - Options 配置框用于用户自定义配置 IP, Options 配置框如图 3-27 所示。
 - SLAVE STATIC ADDRESS 指定从机的静态地址。
- 3. 端口显示框图 端口显示框图显示 IP Core 的配置结果示例框图,如图 3-27 所示。
- 4. Help 按钮

单击 "Help",显示 IP Core 的配置信息的页面。Help 页面包括 IP Core 的概要介绍,以及 Options 各项配置的简要说明。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件, 以默认配置为例进行介绍:

● IP 设计文件 "gw_i3c.v" 为完整的 verilog 模块,根据用户的 IP 配置, 产生实例化的 I3C;

- IP 设计使用模板文件 gw_i3c_tmp.v,为用户提供 IP 设计使用模板文件;
- IP 配置文件: "gw_i3c.ipc",用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

3.7 SPMI

SPMI 硬核是一种双线串行接口,可将片上处理器系统(SoC)的集成 电源控制器(PC)与一个或多个电源管理集成电路(PMIC)电压调节系统 相连。SPMI 使系统能够使用单个 SPMI 总线动态调整 SoC 内部电压域的电 源和衬底偏置电压。在 IP Core Generator 界面中,单击"SPMI",界面右 侧会显示 SPMI 的相关信息概要。

IP 配置

在 IP Core Generator 界面中,双击 SPMI,弹出 SPMI 的"IP Customization"窗口。该窗口包括"File"配置框、"Options"配置框、端口显示框图和"Help"按钮,如图 3-28 所示。

🐁 IP Customization		? ×
SPMI: SPMI		&
CLK CLKEXT CLKEXT CLKEXT CLKEXT CCE DATA0[7:0] PA SA CMD[3:0] CA ADD R0[3:0] CA CMD[3:0] DATA[7:0] CA CMD[3:0] CMD[3:0] CA CMD[3:0] CMD[3:0] CA CMD[3:0] CA CMD[3:0]	File Target Device: GW INZ-2V IFN32C5/I.4 Lar Create In: E: (gowinProj)gw_spmi Module Name: Gowin_SPMI File Name: gr Options	rguage: Verlog win_spmi
2		
	L	OK Cancel Help

- 1. File 配置框
 - File 配置框用于配置产生的 IP 设计文件的相关信息。
 - SPMI 的 File 配置框的使用和 SP 模块类似,具体请参考 <u>3.1 Block</u> <u>Memory > 3.1.1 SP</u> 的 File 配置框。
- 2. Options 配置框

- Options 配置框用于用户自定义配置 IP, Options 配置框如图 3-28 所示。
- Functional Configuration.
 - Shutdown by VCCEN: 通过外部引脚 VCCEN 关闭。如果选择 此选项,则 SPMI 的通信功能将不可用。
 - Master/Slave:将 SPMI 设置为主机或从机。
- Master Configuration:
 - MID: 主机的 ID, 设置范围为 0-3, 默认值为 0。
 - Respond Delay: 设置响应延迟时间。
 - SCLK Normal Period: Normal 模式下 sclk 的周期长度。
 - SCLK Low Period: 睡眠模式下 sclk 的周期长度。
- Slave Configuration:
 SID:设置 SPMI 从机的 ID。
- General configuration:
 - Enable State Code Register: 启用或禁用寄存器。例如,如果 选择"启用状态代码寄存器"选项,则输出 STATE 数据将通过一个 寄存器。
 - Request Pipeline Steps: 设置请求信号采样时间的延迟步长。
 - Enable Decode Command: 启用或禁用解码。如果选择启用解码命令, SPMI将解码复位,睡眠,关闭和唤醒命令。
 - Enable Reset Command: 启用或禁用重置命令。
 - Clock From External: 启用或禁用外部时钟。
 - Clock Frequency: 系统时钟频率。
- 3. 端口显示框

端口显示框图显示当前 IP Core 的配置结果示例框图,如图 3-28 所示。

4. Help 按钮

单击 "Help",显示 IP Core 的配置信息的页面。Help 页面包括当前 IP Core 的概要介绍,以及 Options 各项配置的简要说明。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件, 以默认配置为例进行介绍:

- IP 设计文件 "gw_spmi.v" 为完整的 verilog 模块, 根据用户的 IP 配置, 产生实例化的 SPMI;
- IP 设计使用模板文件 gw_spmi_tmp.v,为用户提供 IP 设计使用模板文件;
- IP 配置文件: "gw_spmi.ipc", 用户可加载该文件对 IP 进行配置。

```
注!
```

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

3.8 BandGap

BandGap 是为芯片中的某些模块提供恒定的电压和电流。如果 BandGap 关闭,则 OSC、PLL 和 FLASH 等某些模块将无法工作,从而降 低了设备功耗。在 IP Core Generator 界面中,单击 "BandGap",界面右侧 会显示 BandGap 的相关信息概要。

IP 配置

在 IP Core Generator 界面中,双击 BandGap,弹出 BandGap 的"IP Customization"窗口。该窗口包括"File"配置框、"Options"配置框、端口显示框图和"Help"按钮,如图 3-29 所示。

图 3-29 BandGap 的 IP Customization 窗口结构

👶 IP Customization		?	×
BandGap		ſ	
	File		
	Target Device: GW 1NZ-ZV 1FN32C5/I4 Language: Verilog		•
	Create In: E:\gowinProj\gowin_bandgap		
	Module Name: Gowin_BANDGAP File Name: gowin_bandgap		
BGEN			
۹ و			
	OK Cancel	He	lp

- 1. File 配置框
 - File 配置框用于配置产生的 IP 设计文件的相关信息。
 - BandGap的File 配置框的使用和SP模块类似,具体请参考<u>3.1 Block</u> Memory > 3.1.1 SP 的 File 配置框。
- 2. 端口显示框图 端口显示框图显示当前 IP Core 的配置结果示例框图,如图 3-29 所示。
- 3. Help 按钮

单击 "Help",显示 IP Core 的配置信息的页面。Help 页面包括当前 IP Core 的概要介绍。

IP 生成文件

IP 窗口配置完成后,产生以配置文件"File Name"命名的三个文件,以默认配置为例进行介绍:

- IP 设计文件 "gowin_bandgap.v" 为完整的 verilog 模块,根据用户的 IP 配置,产生实例化的 BandGap;
- IP 设计使用模板文件 gowin_bandgap_tmp.v,为用户提供 IP 设计使用 模板文件;
- IP 配置文件: "gowin_bandgap.ipc", 用户可加载该文件对 IP 进行配置。

注!

如配置中选择的语言是 VHDL,则产生的前两个文件名后缀为.vhd。

