



基于高云 FPGA 的 DDR2&DDR3 硬件设计参考手册

TN662-1.3, 2025-03-28

版权所有 © 2025 广东高云半导体科技股份有限公司

GOWIN高云、Gowin、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2019/02/11	1.0	初始版本。
2021/01/29	1.1	增加 DDR3 相关内容。
2023/12/28	1.2	增加 GW5A/GW5AT/GW5AST/GW5AR/GW5AS 系列产品的 DDR3 支持的相关内容。
2025/03/28	1.3	增加 GW5A-60/GW5AT-60 器件 DDR3 Bank 分布及 I/O 分配方案相关描述。

目录

目录	iv
图目录	vi
表目录	vii
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档	2
1.3 术语、缩略语	2
1.4 技术支持与反馈	3
2 FPGA I/O 分配原则	4
2.1 FPGA Bank 分布	4
2.1.1 GW2A 系列 FPGA	4
2.1.2 GW5A-25/GW5AR-25/GW5AS-25	4
2.1.3 GW5A-60/GW5AT-60	5
2.1.4 GW5AT-138/GW5AST-138/GW5A-138/GW5AS-138	6
2.2 DDR3 I/O 需求	7
2.3 DDR3 I/O 分配规则	7
2.4 FPGA I/O 模式选择	8
2.4.1 GW2A 系列 FPGA	8
2.4.2 GW5A/GW5AT/GW5AST/GW5AS 系列 FPGA	8
2.5 DDR3 I/O 分配方案	8
2.5.1 GW2A 系列 FPGA	8
2.5.2 GW5A-25/GW5AR-25/GW5AS-25	10
2.5.3 GW5A-60/GW5AT-60	11
2.5.4 GW5AT-138/GW5AST-138/GW5A-138/GW5AS-138	12
3 原理图设计	14
3.1 电源模块	14
3.1.1 VDD、VDDQ 电源模块	14
3.1.2 VREFCA、VREFDQ 及 0.75V 上拉电源模块	15
3.2 Bank 电压分配	15
3.3 DDR3 模块设计	16

4 PCB 设计	17
4.1 拓扑结构.....	17
4.1.1 器件放置.....	17
4.1.2 拓扑示意图.....	18
4.2 叠层结构.....	19
4.2.1 8 层堆叠结构.....	19
4.2.2 6 层堆叠结构.....	19
4.3 电源供给网络 (PDN)	20
4.3.1 PDN	20
4.3.2 去耦电容.....	20
4.3.3 电源走线.....	21
4.4 信号走线.....	22
4.4.1 信号分组.....	22
4.4.2 同层走线.....	23
4.4.3 线宽.....	23
4.4.4 线距.....	23
4.4.5 走线长度.....	24
4.4.6 等长.....	24
4.4.7 阻抗匹配.....	24
4.5 参考平面.....	25
4.5.1 连续的参考平面.....	25
4.5.2 参考平面缝合	27
4.5.3 信号返回路径	28
4.6 仿真.....	29
4.6.1 仿真.....	29
4.7 结论.....	29
5 注意事项	30

图目录

图 1-1 Gowin FPGA 与 DDR3 连接示意图	1
图 2-1 GW2A 系列 FPGA DDR3 可用 Bank 分布示意图	4
图 2-2 GW5A-25/GW5AR-25/GW5AS-25 FPGA DDR3 可用 Bank 分布示意图	5
图 2-3 GW5A-60/GW5AT-60 FPGA DDR3 可用 Bank 分布示意图.....	5
图 2-4 GW5AT-138/GW5AST-138/GW5A-138/GW5AS-138 FPGA DDR3 可用 Bank 分布示意图...	6
图 3-1 VDD/VDDQ 电源模块原理图	14
图 3-2 VREFCA/VREFDQ 电源模块原理图.....	15
图 3-3 DDR3 模块原理图.....	16
图 4-1 Gowin FPGA 与 DDR3 器件放置示意图	18
图 4-2 Gowin FPGA 与单颗 DDR3 连接拓扑图	18
图 4-3 Gowin FPGA 与多颗 DDR3 连接拓扑图	18
图 4-4 8 层板堆叠结构定义.....	19
图 4-5 6 层板堆叠结构定义.....	20
图 4-6 VTT 端接电阻间隔去耦电容放置参考图	21
图 4-7 电源和地铺铜设计参考图.....	22
图 4-8 组内信号和组间信号示意图.....	23
图 4-9 数据总线端接方案.....	25
图 4-10 走线跨分割	26
图 4-11 走线与挖空区域边距.....	26
图 4-12 在引脚区域走线.....	27
图 4-13 地平面缝合	27
图 4-14 拥挤区域添加地过孔（绿色为地，红色为电源）	28
图 4-15 跨接电容	29

表目录

表 1-1 术语、缩略语	2
表 2-1 DDR3 信号列表.....	7
表 2-2 DDR3 I/O 分配表.....	8
表 2-3 DDR3 I/O 分配表.....	10
表 2-4 DDR3 I/O 分配表.....	10
表 2-5 DDR3 I/O 分配表.....	11
表 2-6 DDR3 I/O 分配表.....	11
表 2-7 DDR3 I/O 分配表.....	12
表 2-8 DDR3 I/O 分配表.....	13
表 4-1 DDR3 器件信号分组.....	22

1 关于本手册

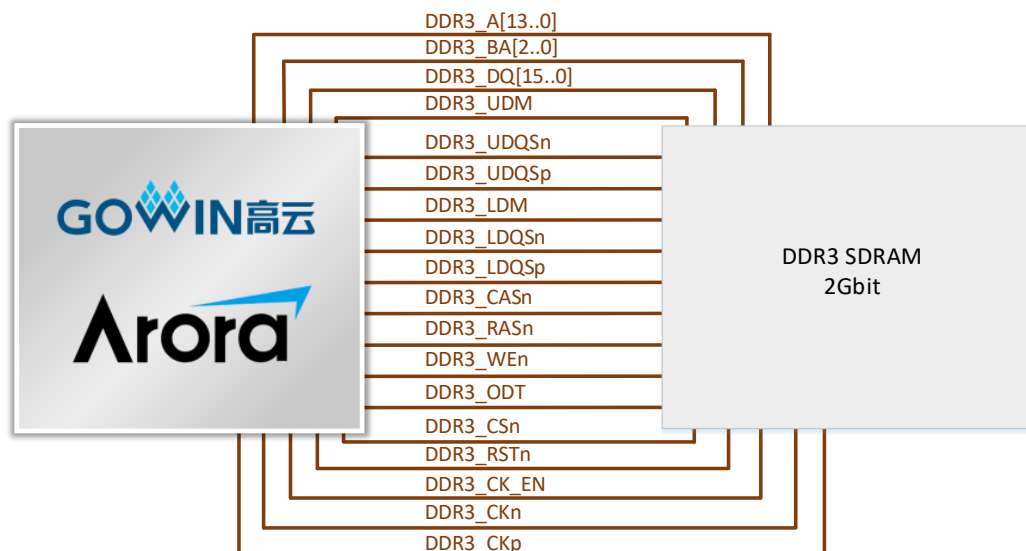
1.1 手册内容

本手册以 DDR3 器件为例讲解硬件设计方法，包括 FPGA I/O 分配、原理图设计、电源网络设计、PCB 走线、参考平面设计等，旨在协助用户快速完成信号完整性好、低功耗、低噪声的高速存储方案的硬件设计。

DDR2 器件设计方法参考 DDR3 即可。两者在体系结构上差别很小，主要区别 DDR3 器件的总线速度更快，DDR3 器件供电电压为 1.5V，而 DDR2 器件供电电压为 1.8V。

本手册以一个 2Gbit（16 Meg x 16 x 8 Banks）颗粒封装的 DDR3 SDRAM 器件为例进行举例说明，FPGA 与 DDR3 SDRAM 两者连接方式为点到点连接，连接示意图如图 1-1 所示。

图 1-1 Gowin FPGA 与 DDR3 连接示意图



1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- DS102, GW2A 系列 FPGA 产品数据手册
- DS1103, GW5A 系列 FPGA 产品数据手册
- DS981, GW5AT 系列 FPGA 产品数据手册
- DS1239, GW5AST 系列 FPGA 产品数据手册
- DS1105, GW5AS 系列 FPGA 产品数据手册
- DS1108, GW5AR 系列 FPGA 产品数据手册
- DS1118, GW5ART 系列 FPGA 产品数据手册

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
PG256	PBGA256	PBGA256 封装
OSE8	8 to 1 Serializer	8 位并行输入、1 位串行输出的串化器
OSE8_MEM	8 to 1 Serializer with Memory	带存储功能的 8:1 并串转换器
DDR	Double Data Rate SDRAM	双倍速率同步动态随机存储器
SSO	Simultaneous switching outputs	同步开关输出
SDP	Single die package	单晶粒封装
ODT	On-Die Termination	片上端接电阻
PDN	Power Delivery Network	电源供给网络
SI	Signal Integrity	信号完整性

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 FPGA I/O 分配原则

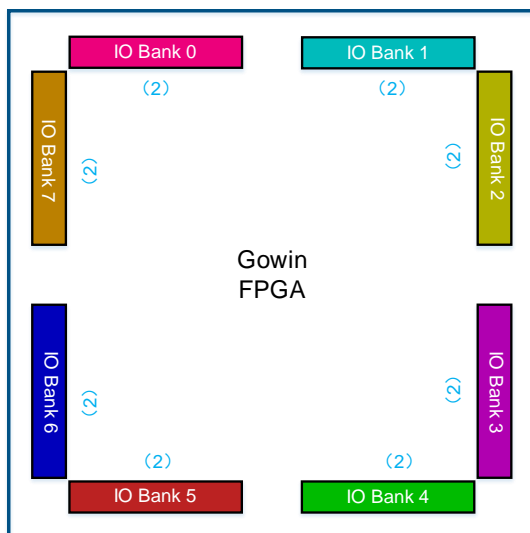
2.1 FPGA Bank 分布

在为 DDR3 器件分配 I/O 前，首先要清楚 FPGA 器件可以用作 DDR3 颗粒 DQ 分配的 Bank 分布。

2.1.1 GW2A 系列 FPGA

GW2A 系列 FPGA 有 8 个 I/O Bank 区都有 DQ 资源，每个 Bank 有 2 簇 DQ 资源。

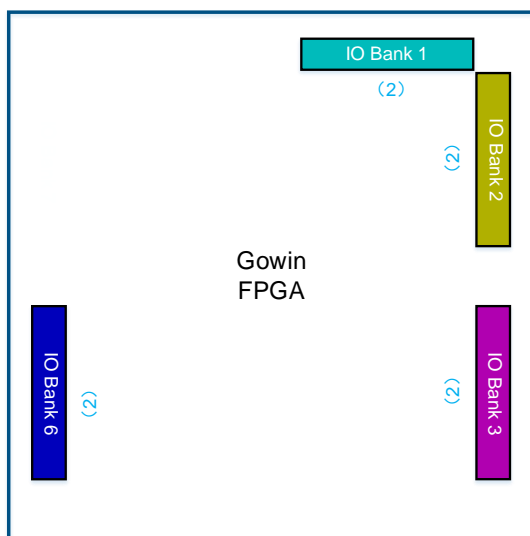
图 2-1 GW2A 系列 FPGA DDR3 可用 Bank 分布示意图



2.1.2 GW5A-25/GW5AR-25/GW5AS-25

GW5A-25/GW5AR-25/GW5AS-25 产品有 4 个 I/O Bank 区有 DQ 资源，每个 Bank 有 2 簇 DQ 资源。

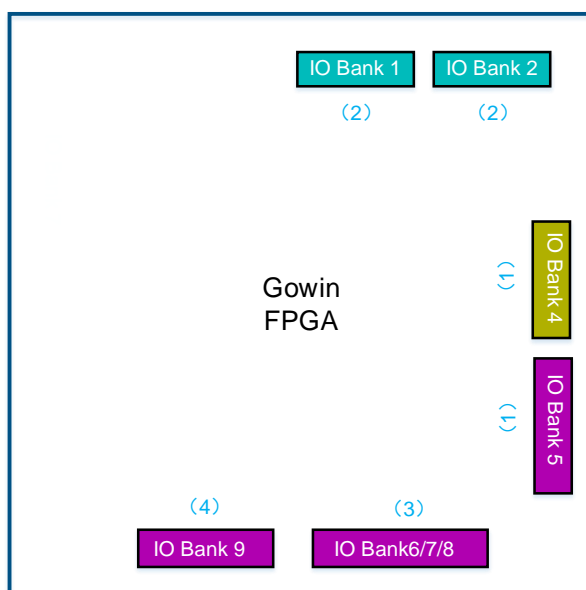
图 2-2 GW5A-25/GW5AR-25/GW5AS-25 FPGA DDR3 可用 Bank 分布示意图



2.1.3 GW5A-60/GW5AT-60

GW5A-60/GW5AT-60 产品有 7 个 I/O Bank 区有 DQ 资源。

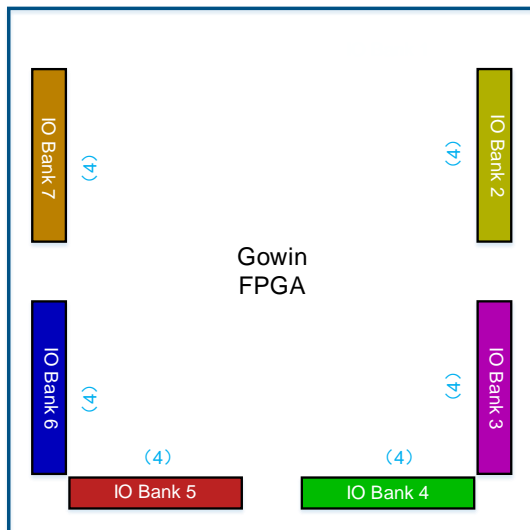
图 2-3 GW5A-60/GW5AT-60 FPGA DDR3 可用 Bank 分布示意图



2.1.4 GW5AT-138/GW5AST-138/GW5A-138/GW5AS-138

GW5AT-138/GW5AST-138/GW5A-138/GW5AS-138 产品有 6 个 I/O Bank 区有 DQ 资源，每个 Bank 有 4 簇 DQ 资源。

图 2-4 GW5AT-138/GW5AST-138/GW5A-138/GW5AS-138 FPGA DDR3 可用 Bank 分布示意图



2.2 DDR3 I/O 需求

针对 2Gbit（16 Meg x 16 x 8 Banks）颗粒器件，96pin FBGA 封装，共需要连接 47 个 I/O。

所需连接的 I/O 信号如下：

表 2-1 DDR3 信号列表

信号名称	所需 I/O
DQ[7:0]	8
LDQS,LDQS#	2
LDM	1
DQ[15:8]	8
UDQS,UDQS#	2
UDM	1
CK, CK#	2
CKE	1
A[13:0]	14
BA[2:0]	3
CS#	1
RAS#	1
CAS#	1
WE#	1
ODT	1
总计	47

2.3 DDR3 I/O 分配规则

保证 DQ[7:0]、LDQSn、LDQSp 和 LDM 数据组信号分布在 FPGA 的同一 DQ 簇。

保证 DQ[15:8]、UDQSn、UDQSp 和 UDM 数据组信号分布在 FPGA 的同一 DQ 簇。

时钟组、命令组和控制组信号可以分配到 FPGA 的 GPIO 上，无 DQ 簇要求。

2.4 FPGA I/O 模式选择

2.4.1 GW2A 系列 FPGA

DDR3 控制器的 CLK Ratio 支持 1:2 模式和 1:4 模式。

1:2 模式下，若 FPGA 内部主频为 100MHz，I/O 口的数据频率为 200MHz，上下沿采样后，单根数据线的数据速率为 400Mbps。FPGA 每个 GPIO 都支持此模式，采用此模式可以有效利用 FPGA 的 GPIO 资源。

1:4 模式下，若 FPGA 内部主频为 100MHz，I/O 口的数据频率为 400MHz，上下沿采样后，单根数据线的数据速率为 800Mbps。与 DDR3 相连的所有单端信号都将占用 FPGA 上的一对差分信号资源，即当 DDR3 信号占用差分信号的 A 端后，其 B 端信号不可作为其他 DDR3 的信号使用。比如将 DQ13 信号线连接到 IOB32A 脚，则 IOB32B 脚不能再与 DDR3 的其他信号相连。采用此模式可以获得较高的数据速率。

为了支持高速传输，本设计需要 FPGA 工作在 1:4 模式下。

2.4.2 GW5A/GW5AT/GW5AST/GW5AS 系列 FPGA

DDR3 控制器的 CLK Ratio 支持 1:4 模式。

1:4 模式下，若 FPGA 内部主频为 100MHz，I/O 口的数据频率为 400MHz，上下沿采样后，单根数据线的数据速率为 800Mbps。FPGA 每个 GPIO 都支持此模式。

2.5 DDR3 I/O 分配方案

本节主要以 DDR3 控制器的 CLK Ratio 工作在 1:4 模式下为例，总结不同系列器件的 DDR3 I/O 对应 FPGA Bank 的分配基本原则。当然，用户在实际使用分配 DDR3 I/O 信号时，还要结合不同封装实际拉出的 IO 数量情况再做方案选择。

2.5.1 GW2A 系列 FPGA

一颗 DDR3 2Gbit（16 Meg x 16 x 8 Banks）颗粒 I/O 分配推荐如表 2-2。

表 2-2 DDR3 I/O 分配表

序号	DDR3 I/O	FPGA Bank	备注
1	DQ[7:0], LDQS,LDQS#, LDM	Bank6	
	DQ[15:8], UDQS,UDQS#, UDM	Bank7	
	CK, CK#, CKE, A[13:0], BA[2:0], CS#, RAS#,	Bank6, Bank7	若封装限制，两个 bank 无法放下所有控制信号，在使用场景传输带

序号	DDR3 I/O	FPGA Bank	备注
	CAS#, WE#, ODT		宽性能可接受的情况下, 可以分配到相邻 Bank 上
2	DQ[7:0], LDQS,LDQS#, LDM	Bank0	
	DQ[15:8], UDQS,UDQS#, UDM	Bank1	
	CK, CK#, CKE, A[13:0], BA[2:0], CS#, RAS#, CAS#, WE#, ODT	Bank0, Bank1	若封装限制, 两个 bank 无法放下所有控制信号, 在使用场景传输带宽性能可接受的情况下, 可以分配到相邻 Bank 上
3	DQ[7:0], LDQS,LDQS#, LDM	Bank2	
	DQ[15:8], UDQS,UDQS#, UDM	Bank3	
	CK, CK#, CKE, A[13:0], BA[2:0], CS#, RAS#, CAS#, WE#, ODT	Bank2, Bank3	若封装限制, 两个 bank 无法放下所有控制信号, 在使用场景传输带宽性能可接受的情况下, 可以分配到相邻 Bank 上
4	DQ[7:0], LDQS,LDQS#, LDM	Bank4	
	DQ[15:8], UDQS,UDQS#, UDM	Bank5	
	CK, CK#, CKE, A[13:0], BA[2:0], CS#, RAS#, CAS#, WE#, ODT	Bank4, Bank5	若封装限制, 两个 bank 无法放下所有控制信号, 在使用场景传输带宽性能可接受的情况下, 可以分配到相邻 Bank 上

2.5.2 GW5A-25/GW5AR-25/GW5AS-25

一颗 DDR3 2Gbit (16 Meg x 16 x 8 Banks) 颗粒 I/O 分配推荐如表 2-3 所示。

表 2-3 DDR3 I/O 分配表

分配方案序号	DDR3 I/O	FPGA Bank	备注
1	DQ[7:0], LDQS,LDQS#, LDM DQ[15:8], UDQS,UDQS#, UDM	Bank1	
	CK, CK#, CKE, A[13:0], BA[2:0], CS#, RAS#, CAS#, WE#, ODT	Bank0	
2	DQ[7:0], LDQS,LDQS#, LDM DQ[15:8], UDQS,UDQS#, UDM	Bank2	
	CK, CK#, CKE, A[13:0], BA[2:0], CS#, RAS#, CAS#, WE#, ODT	Bank3	
3	DQ[7:0], LDQS,LDQS#, LDM DQ[15:8], UDQS,UDQS#, UDM	Bank6	
	CK, CK#, CKE, A[13:0], BA[2:0], CS#, RAS#, CAS#, WE#, ODT	Bank7	

两颗 DDR3 2Gbit (16 Meg x 16 x 8 Banks) 颗粒 I/O 分配推荐如表 2-4 所示。

表 2-4 DDR3 I/O 分配表

分配方案序号	DDR3 I/O	FPGA Bank	备注
1	DQ[7:0], LDQS,LDQS#, LDM DQ[15:8], UDQS,UDQS#, UDM	Bank2	
	DQ[23:16], LDQS,LDQS#, LDM DQ[31:24], UDQS,UDQS#, UDM	Bank3	
	CK, CK#, CKE, A[13:0], BA[2:0], CS#, RAS#, CAS#, WE#, ODT	Bank1 或者 Bank4	

2.5.3 GW5A-60/GW5AT-60

一颗 DDR3 2Gbit (16 Meg x 16 x 8 Banks) 颗粒 I/O 分配推荐如表 2-5 所示。

表 2-5 DDR3 I/O 分配表

分配方案序号	DDR3 I/O	FPGA Bank	备注
1	DQ[7:0], LDQS,LDQS#, LDM DQ[15:8], UDQS,UDQS#, UDM	Bank0	
	CK, CK#, CKE, A[13:0], BA[2:0], CS#, RAS#, CAS#, WE#, ODT	Bank0 剩余 GPIO, 若不够 可选取 Bank1 上的 GPIO	
2	DQ[7:0], LDQS,LDQS#, LDM DQ[15:8], UDQS,UDQS#, UDM	Bank1	
	CK, CK#, CKE, A[13:0], BA[2:0], CS#, RAS#, CAS#, WE#, ODT	Bank1 剩余 GPIO, 若不够 可选取 Bank0 上的 GPIO	
3	DQ[7:0], LDQS,LDQS#, LDM DQ[15:8], UDQS,UDQS#, UDM	Bank9	
	CK, CK#, CKE, A[13:0], BA[2:0], CS#, RAS#, CAS#, WE#, ODT	Bank9 剩余 GPIO, 若不够 可选取 Bank10 上的 GPIO	

两颗 DDR3 2Gbit (16 Meg x 16 x 8 Banks) 颗粒 I/O 分配推荐如表 2-6 所示。

表 2-6 DDR3 I/O 分配表

分配方案序号	DDR3 I/O	FPGA Bank	备注
1	DQ[7:0], LDQS,LDQS#, LDM DQ[15:8], UDQS,UDQS#, UDM	Bank1	
	DQ[23:16], LDQS,LDQS#, LDM DQ[31:24], UDQS,UDQS#, UDM	Bank2	
	CK, CK#, CKE, A[13:0], BA[2:0], CS#, RAS#, CAS#, WE#, ODT	Bank1 和 Bank2 剩余 GPIO, 若不够可选取 Bank3 上的 GPIO	
2	DQ[7:0], LDQS,LDQS#, LDM DQ[15:8], UDQS,UDQS#, UDM	Bank9	
	DQ[23:16], LDQS,LDQS#, LDM DQ[31:24], UDQS,UDQS#, UDM	Bank9	

	CK, CK#, CKE, A[13:0], BA[2:0], CS#, RAS#, CAS#, WE#, ODT	Bank9 剩余 GPIO, 若 不够可选取 Bank10 上 的 GPIO	
--	---	--	--

2.5.4 GW5AT-138/GW5AST-138/GW5A-138/GW5AS-138

两颗 DDR3 2Gbit (16 Meg x 16 x 8 Banks) 颗粒 I/O 分配推荐如表 2-7 所示。

表 2-7 DDR3 I/O 分配表

分配方案序号	DDR3 I/O	FPGA Bank	备注
1	DQ[7:0], LDQS,LDQS#, LDM DQ[15:8], UDQS,UDQS#, UDM	Bank2	
	DQ[23:16], LDQS,LDQS#, LDM DQ[31:24], UDQS,UDQS#, UDM	Bank2	
	CK, CK#, CKE, A[13:0], BA[2:0], CS#, RAS#, CAS#, WE#, ODT	Bank3	
2	DQ[7:0], LDQS,LDQS#, LDM DQ[15:8], UDQS,UDQS#, UDM	Bank4	
	DQ[23:16], LDQS,LDQS#, LDM DQ[31:24], UDQS,UDQS#, UDM	Bank4	
	CK, CK#, CKE, A[13:0], BA[2:0], CS#, RAS#, CAS#, WE#, ODT	Bank5	
3	DQ[7:0], LDQS,LDQS#, LDM DQ[15:8], UDQS,UDQS#, UDM	Bank6	
	DQ[23:16], LDQS,LDQS#, LDM DQ[31:24], UDQS,UDQS#, UDM	Bank6	
	CK, CK#, CKE, A[13:0], BA[2:0], CS#, RAS#, CAS#, WE#, ODT	Bank7	
4	DQ[7:0], LDQS,LDQS#, LDM DQ[15:8], UDQS,UDQS#, UDM	Bank7	
	DQ[23:16], LDQS,LDQS#, LDM DQ[31:24], UDQS,UDQS#, UDM	Bank7	
	CK, CK#, CKE, A[13:0], BA[2:0], CS#, RAS#, CAS#, WE#, ODT	Bank6	

四颗 DDR3 2Gbit (16 Meg x 16 x 8 Banks) 颗粒 I/O 分配推荐如表 2-8 所示。

表 2-8 DDR3 I/O 分配表

分配方案序号	DDR3 I/O	FPGA Bank	备注
1	DQ[7:0], LDQS,LDQS#, LDM DQ[15:8], UDQS,UDQS#, UDM	Bank4	
	DQ[23:16], LDQS,LDQS#, LDM DQ[31:24], UDQS,UDQS#, UDM	Bank4	
	DQ[39:32], LDQS,LDQS#, LDM DQ[47:40], UDQS,UDQS#, UDM	Bank5	
	DQ[55:48], LDQS,LDQS#, LDM DQ[63:56], UDQS,UDQS#, UDM	Bank5	
	CK, CK#, CKE, A[13:0], BA[2:0], CS#, RAS#, CAS#, WE#, ODT	Bank6	

3 原理图设计

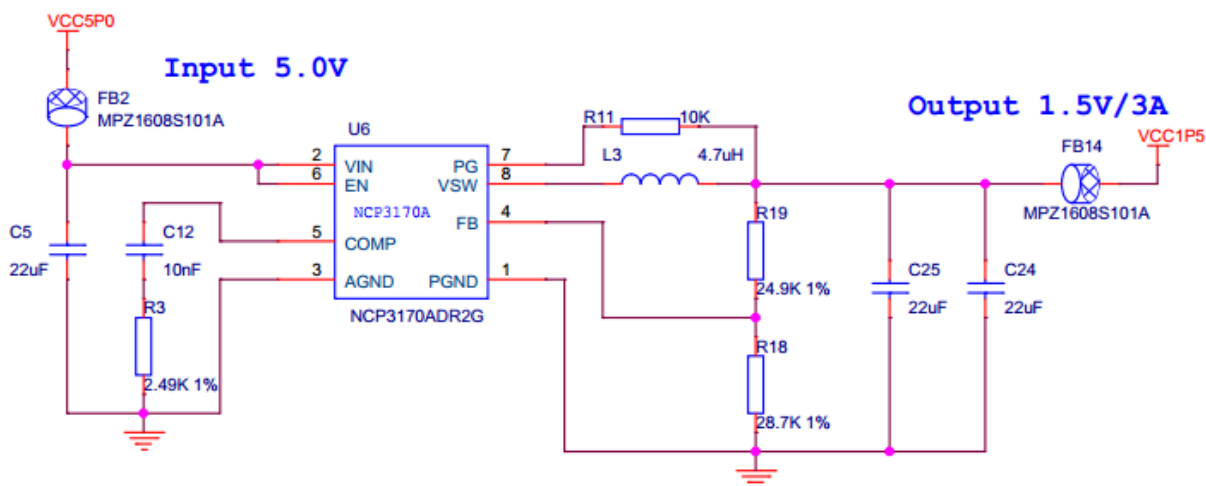
3.1 电源模块

此节电源模块设计只包括 DDR3 器件所需电源。FPGA 的电源模块请参考相应开发板的原理图文档。

3.1.1 VDD、VDDQ 电源模块

采用 NCP3170ADR2G 开关电源芯片，最大电流 3A。

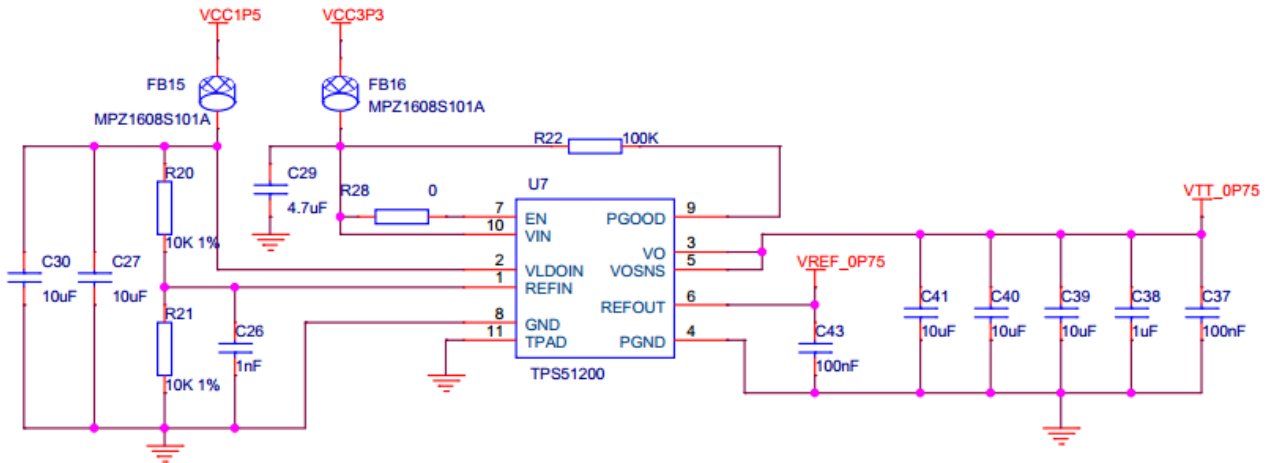
图 3-1 VDD/VDDQ 电源模块原理图



3.1.2 VREFCA、VREFDQ 及 0.75V 上拉电源模块

采用 DDR 器件专用电源芯片，具有推挽功能的终端调节器，拉电流 4A，灌电流 5A。

图 3-2 VREFCA/VREFDQ 电源模块原理图



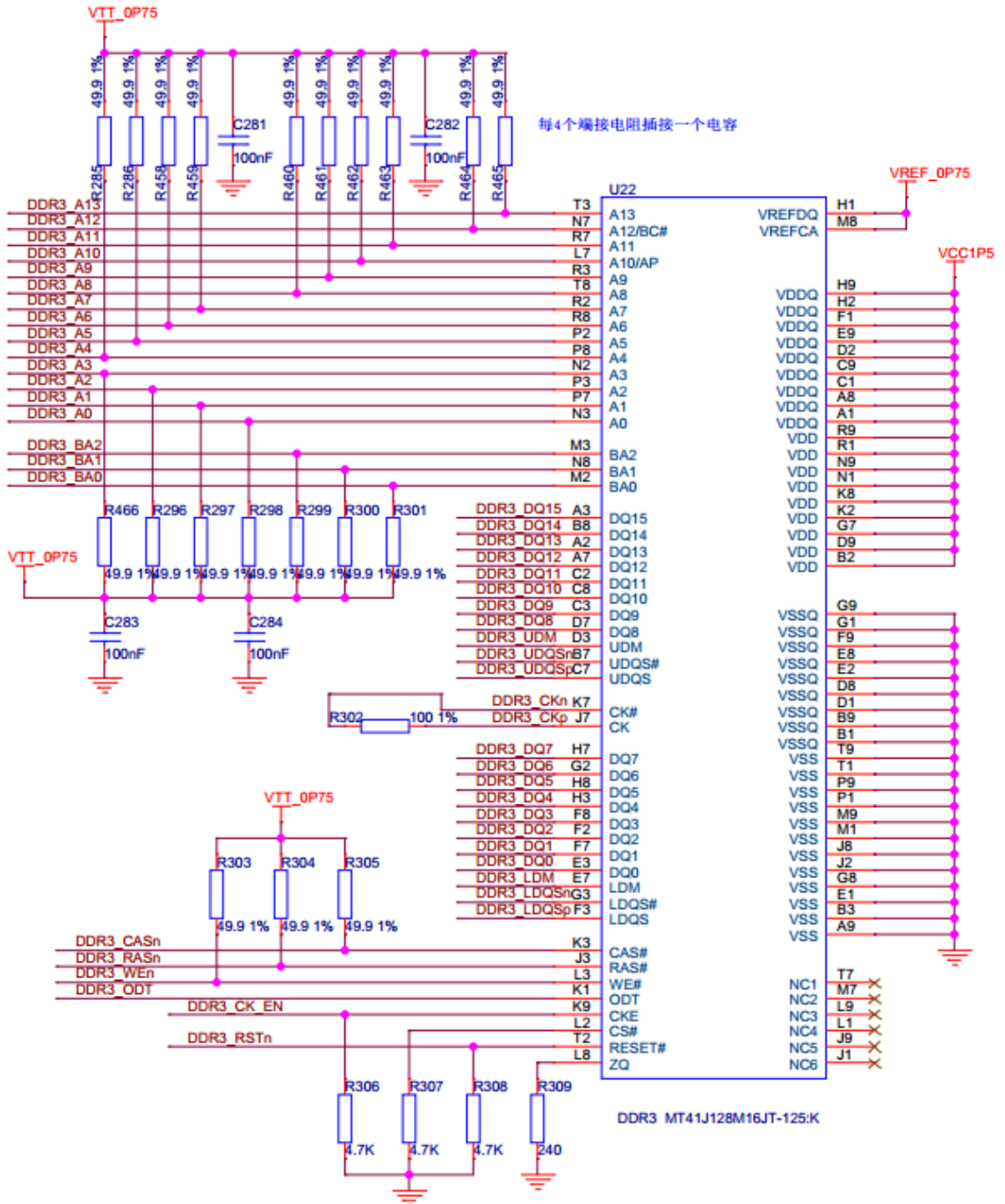
3.2 Bank 电压分配

高云 FPGA 与 DDR3 芯片相连的 Bank 电压为 1.5V。

3.3 DDR3 模块设计

DDR3 器件的 DQ/DQS 信号支持 ODT，不需要外部端接电阻。
 ADDR/CMD/CNTRL 信号需上拉 49.9Ω 电阻。DDR3 差分时钟的阻抗匹配电阻为 100Ω。

图 3-3 DDR3 模块原理图



4 PCB 设计

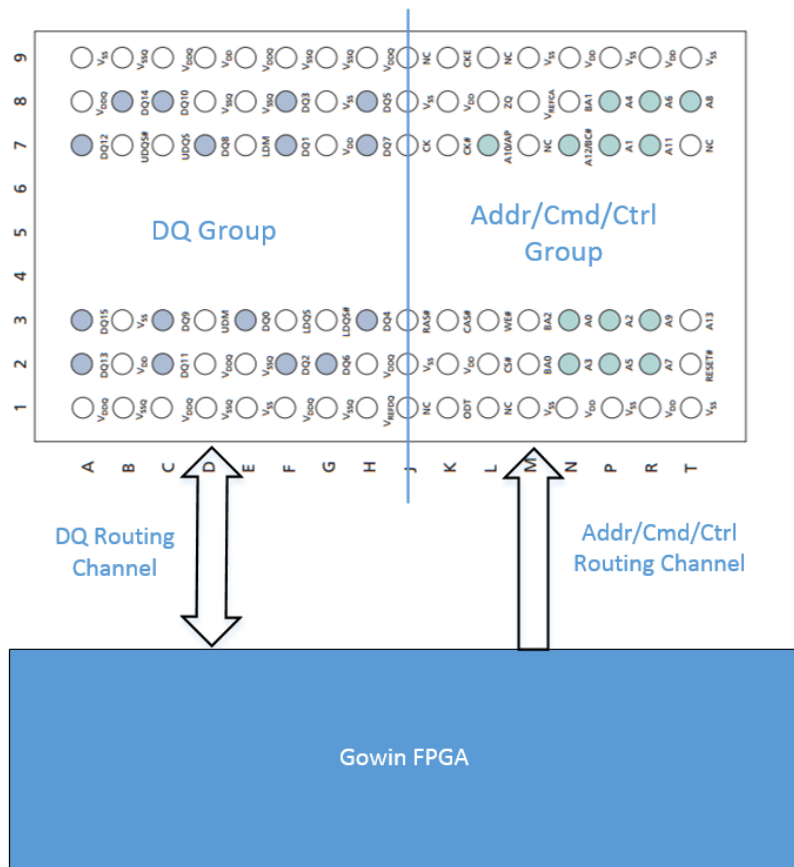
4.1 拓扑结构

4.1.1 器件放置

器件的放置位置，直接影响走线的难易程度，合理的放置不但使走线更简单，还会使走线更短，过孔更少，最终提高信号的通信质量。建议 DDR3 颗粒放置在距离 FPGA 器件 2cm 范围内。

单颗器件最优化的放置位置和走线参考如图 4-1 所示。

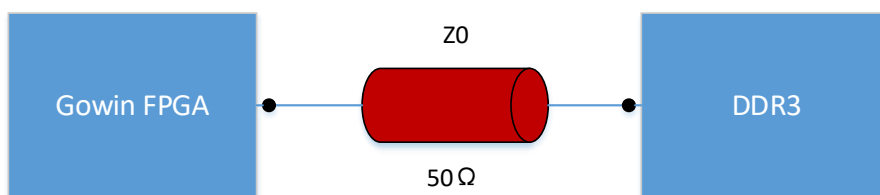
图 4-1 Gowin FPGA 与 DDR3 器件放置示意图



4.1.2 拓扑示意图

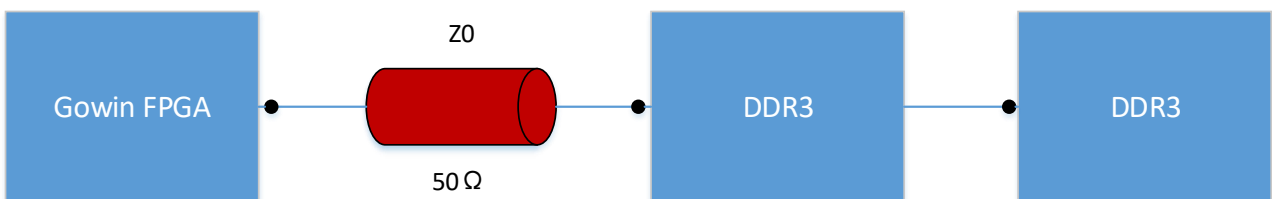
高云 FPGA 与单颗 DDR3 颗粒相连的拓扑结构如图 4-2 所示。

图 4-2 Gowin FPGA 与单颗 DDR3 连接拓扑图



高云 FPGA 与多颗 DDR3 颗粒相连建议采用 Fly-by 的拓扑结构，以获得更高的传输性能。如图 4-2 所示。

图 4-3 Gowin FPGA 与多颗 DDR3 连接拓扑图



4.2 叠层结构

4.2.1 8 层堆叠结构

设计良好的 PCB 层叠是消除噪声干扰的关键。地层必须为数字电路提供低阻抗的返回路径。所有信号的走线也尽量参考到地层。本设计采用 8 层堆叠结构，层叠结构如图 4-4 所示，第 1、3、6、8 层为信号层，第 2、7 层完整的地层，第 5 层为电源层，第 4 层为电源和地共用层。

与 DDR3 连接的高速数据线走在第 3 层，参考平面选择第 2 层的地平面。地址线、控制线走在第 6、8 层。

图 4-4 8 层板堆叠结构定义

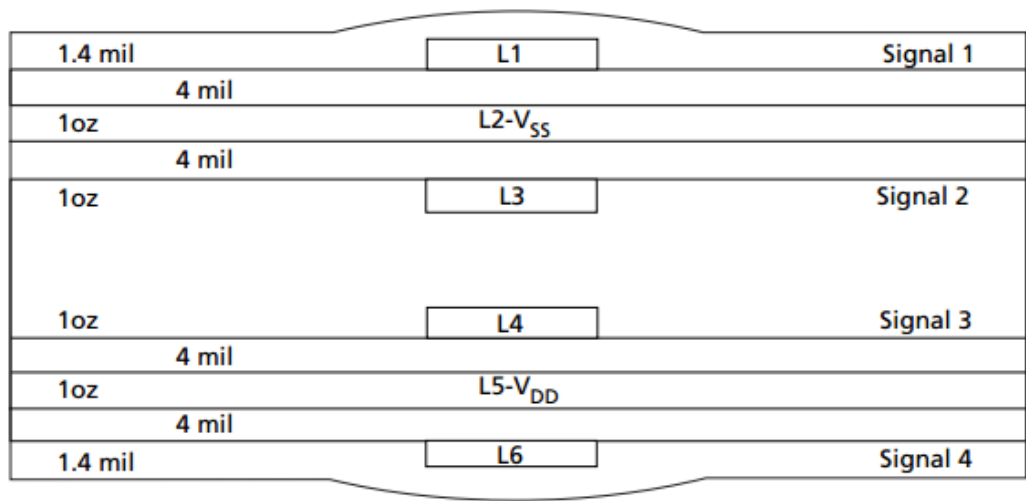
Objects		Types >>		Thickness >>	Physical >>	
#	Name	Layer	Layer Function	Value mil	Layer ID	Material
*	*	*	*	*	*	*
		Surface				
1	TOP	Conductor	Conductor	1.2	1	Copper
		Dielectric	Dielectric	8		Fr-4
2	G2	Plane	Plane	1.2	2	Copper
		Dielectric	Dielectric	8		Fr-4
3	S3	Conductor	Conductor	1.2	3	Copper
		Dielectric	Dielectric	8		Fr-4
4	PG4	Plane	Plane	1.2	4	Copper
		Dielectric	Dielectric	8		Fr-4
5	P5	Plane	Plane	1.2	5	Copper
		Dielectric	Dielectric	8		Fr-4
6	S6	Conductor	Conductor	1.2	6	Copper
		Dielectric	Dielectric	8		Fr-4
7	G7	Plane	Plane	1.2	7	Copper
		Dielectric	Dielectric	8		Fr-4
8	BOTTOM	Conductor	Conductor	1.2	8	Copper
		Surface				

4.2.2 6 层堆叠结构

建议最少使用六层 PCB 堆叠设计，所需的信号层数由存储颗粒数量、信号数量和信号间距决定。下图是一个六层的 PCB 板示意图，有四个内层。其中：

- 第 1、3、4 层走信号
- 第 6 层走信号和电源(VDD1)层
- 第 2 层为地平面
- 第 5 层为电源(VDD)层

图 4-5 6 层板堆叠结构定义



4.3 电源供给网络 (PDN)

4.3.1 PDN

随着数据传输频率的增加, 时序和噪声余量会减小。DDR3 器件实际运行时, 存在多个 I/O 同步开关输出(SSO)的情况。当 SSO 发生时, 大量的电流拉或灌入电源供给网络, 特别是在 VDDQ 和 VSSQ 线路上。如果 PDN 设计得不好, SSO 将在电源上产生较大的噪声, 而导致一系列时序问题。

硬件设计工程师应为系统板设计一个健壮的 PDN, 保障板上的所有组件都能稳定供电。在系统板上设计一个好的、可靠的 PDN 方法如下:

1. 确保从电源模块到 FPGA 和内存器件的路径阻抗尽可能低。路径阻抗越低电源纹波越小。
2. 如果空间允许尽量使用局部铺铜。若空间限制, 确保 VDD/VSS 和 VDDQ/VSSQ 走线尽可能宽。
3. 为了提高抗噪声能力, VDD/VSS 和 VDDQ/VSSQ 在芯片内部是相互隔离的, 所以应尽量避免 VDD 和 VDDQ, VSS 和 VSSQ 的过孔共用。
4. 在 FPGA 和内存器件周围放置足够多的去耦电容, 以吸收高频电流毛刺。

4.3.2 去耦电容

在 PCB 板上的适当位置放置足够的去耦电容, 可以防止因电源噪声过大而引起的传输错误, 在电路工作时候, 电源会随高频数据传输而产生大量噪声, 放置电容可以抑制电源波动, 同时为信号提供电流返回路径。

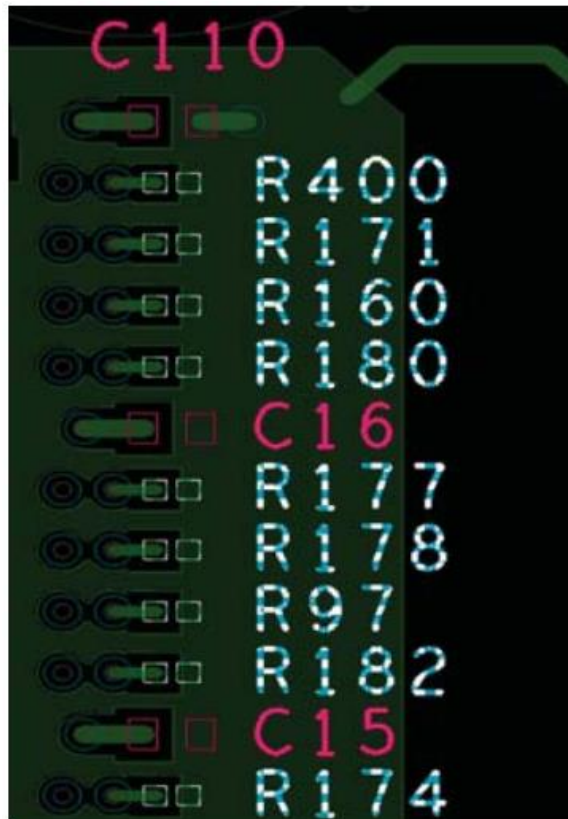
DDR3 的电源分为内核电源 (VDD/VSS) 和 DQ 数据电源 (VDDQ/VSSQ), 由于内核频率往往比 DQ 数据总线的频率低, 因此内核

去耦电容的容值较大。建议选取 100nF 到 1uF 之间的电容。

通常 DDR3 颗粒与电源芯片在同一块 PCB 板上，电源芯片周围有很多不同容值的电容，则可以考虑为 VDD/VSS 和 VDDQ/VSSQ 选取 100nF 的去耦电容，分别在芯片的四个角放置一颗，尽量靠近芯片，连接过孔在电容和芯片之间，线宽和过孔参数匹配。

对于地址、命令和控制信号的 VTT 端接电阻，建议每四个端接电阻伴随一个 100nF 的电容，电容位置与电阻对齐，如图 4-6 所示。

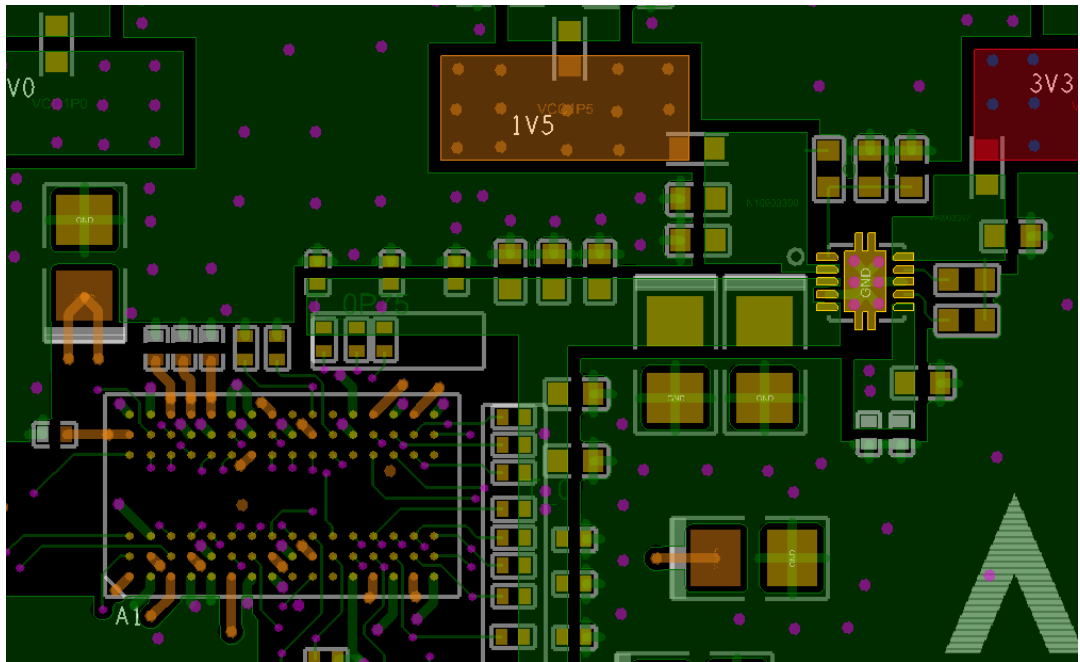
图 4-6 VTT 端接电阻间隔去耦电容放置参考图



4.3.3 电源走线

电源电压 VDD、VDDQ、VSS 和 VSSQ 尽可能铺铜。连接过孔的走线尽量短，建议小于 8mil。从供电电压到过孔的任何连接都应尽可能宽，以减少线路阻抗。电源和地大面积铺铜设计如图 4-7 所示。

图 4-7 电源和地铺铜设计参考图



4.4 信号走线

4.4.1 信号分组

为了方便走线设计，需要明确 DDR3 器件的信号分组，从而划分出组内信号和组间信号。DDR3 共分为 5 组：低字节数据组、高字节数据组、差分时钟、地址组、控制组。每组包含的信号如下表所示。

表 4-1 DDR3 器件信号分组

信号名称	信号组
DQ[7:0]	低字节数据组
LDQS,LDQS#	
LDM	
DQ[15:8]	高字节数据组
UDQS,UDQS#	
UDM	
CK, CK#	差分时钟
A[13:0]	地址组
BA[2:0]	
CKE	控制组
CS#	
RAS#	
CAS#	
WE#	
ODT	

4.4.2 同层走线

根据上节的信号分组，同组信号应该在同一层走线，这样可以保持组内信号的阻抗连续、一致。特别是数据组信号，对阻抗连续性要求较高，数据组信号保持换层一致性，且换层过孔数量不能超过两个。在条件允许的情况下，数据组与地址/控制/时钟分层走线。

另一方面，由于内层和外层的介电常数不同，传播延迟也不同。内层的介电常数由 PCB 的玻璃和树脂决定。外层由 PCB 的材料，表面阻焊层，以及空气等不同性质的物质混合而成，通常外部走线比内部走线减少 10% 的传播延迟，外部走线信号传输更快。

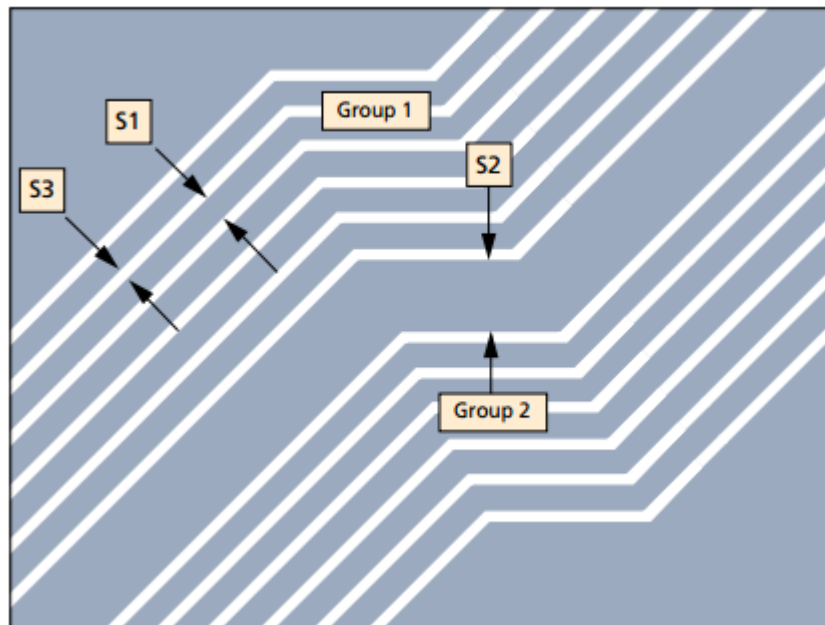
4.4.3 线宽

综合考虑整个 PCB 板的空间情况和阻抗要求，选择合适的线宽、线距。本设计中单端信号的线宽选择 6mil，目标阻抗值为 50 Ω；差分信号的线宽为 4.5mil，间距为 9mil，目标阻抗值为 100 Ω。

4.4.4 线距

组内间距和组间间距对信号完整性都有影响，如图 4-8 所示，Group1 和 Group2 分别为不同组信号，S1 为组内间距，S3 为线宽，S2 为组间间距。

图 4-8 组内信号和组间信号示意图



一般建议组内间距（S1）满足 3W 要求，最小也要保证 2W 间距要求。建议组间间距（S2）为 5W 间距要求，最小也要保证 3W 间距要求。串扰是走线间距、电介质厚度和信号翻转速率的函数；对于信号翻转速率小

于 1v/ns 的系统，走线间距可以更近。低速系统通常有更多的时序余量，可以在不影响 SI 的情况下容纳更多的串扰。

4.4.5 走线长度

在满足其他条件的情况下，FPGA 与 DDR3 器件的连线越短越好。如果走线长度小于 1000mil (2.5cm)，则走线更简单，信号质量通常会按比例增加。

对于单颗粒设计，比较容易满足线长在 1000mil 左右。本设计的走线长度在 1200mil 左右。但是在大多数情况下，特别是多颗粒设计，走线长度都会大于 2000mil (5cm)，这样会导致更多的信号负脉冲、过冲和振铃等影响信号完整性的现象。

4.4.6 等长

DDR3 器件对信号等长有严格的要求，走线等长实际是为了保持信号延迟一致， 1000mil (2.5cm) 走线的传播延迟大约为 165ps 。对于 800MHz 的时钟频率，时钟周期为 1250ps 。将信号偏移用周期的百分比来考虑会更有意义： $625\text{ps} * 1\% = 6.25\text{ps}$ ； 6.25ps 约 40mil 。若要将长度匹配到时钟周期的 1% 以内，就要求将走线匹配到 40mil 以内，即误差控制在 $\pm 20\text{mil}$ 。

要做等长匹配的走线的过孔数量应该是相同的。过孔表示 Z 轴方向上的额外长度。过孔通道的实际长度取决于信号的起始层和结束层。因为所有的过孔都不相同，所以不可能为所有过孔指定同一个延迟值。过孔的寄生电感和电容引起的延迟超过过孔通道长度的延迟。过孔的最大延迟值是 20ps 。这个数字包括基于 Z 轴的延迟和由 LC 引起的延迟。由于情况复杂，建议匹配走线使用相同数量、相同参数的过孔。

DDR3 器件对信号等长要求总结如下：

1. 数据组组内信号：等长误差控制在 $\pm 20\text{mil}$ ，将 DQS 差分对设置为组内最大长度。
2. 地址/控制组组内信号：等长误差控制在 $\pm 20\text{mil}$ 。
3. 组间信号：等长误差控制在 $\pm 50\text{mil}$ 。
4. 建议时钟线的走线长度比其他总线长度的平均值长 250mil (42ps)。这是因为差分信号比单端信号的抗噪声能力强，信号完整性好，因此差分时钟比单端信号传输更快。
5. 差分对间信号：建议等长误差控制在 10mil 。

4.4.7 阻抗匹配

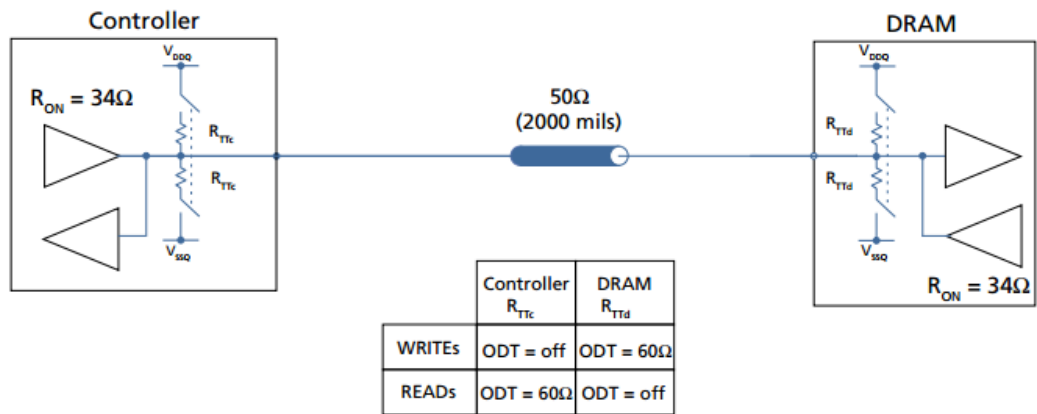
对于所有单端走线推荐标准特性阻抗(Z_0) 50Ω ，误差 $\pm 10\%$ ，差分信号阻抗 100Ω ，误差 $\pm 10\%$ 。这个范围的阻抗值可以很好的与 DDR3 器件和 FPGA 器件进行阻抗匹配。通常由设计人员指定 Z_0 ，最终由电路板制造商

调整介质厚度和线宽，以达到阻抗需求。

当驱动阻抗与走线阻抗匹配时，可以获得最佳的信号质量。DDR3 器件的 DQ 总线支持片上端接电阻(ODT)，这一特性使器件能够动态控制 DQ 总线是否连接端接电阻，结合 DDR3 器件的可编程驱动，增加了系统灵活性，在点到点的系统中可提供更精确的阻抗匹配。

对于 DQ 总线的端接电阻，本设计使用 DDR3 器件的 ODT 功能，在写操作时，DDR3 内部 ODT 设置为 60Ω ，在读过程中，内部 ODT 关闭，驱动强度选择 34Ω 或 40Ω 。如图 4-9 所示。

图 4-9 数据总线端接方案



建议为 ADDR/CMD/CNTRL 信号线连接 40Ω - 60Ω 的 VTT 端接电阻，以增强信号的驱动能力。本设计为 ADDR/CMD/CNTRL 信号线在靠近 DDR3 器件侧连接 49.9Ω 的端接电阻，已被证明有很多优点。

4.5 参考平面

4.5.1 连续的参考平面

信号线的走线必须有连续的参考平面，避免跨参考平面的挖空区域，如图 4-10 所示。走线与参考平面和过孔的边缘应至少保持 30mil ，如图 4-11 所示，信号扇出区域除外。所有信号组都必须有一个完整的 VSSQ 或 VDDQ 参考平面。

对于读写操作，关键信号是 CK/CK#、DQ、DM 和 DQS，这些信号的运行速度是其他信号组的两倍，对信号完整性要求更高。DQ、DQS 和时钟线最好以 VSSQ 为参考平面，可将噪声降到最低。如果 VSSQ 平面不容易参考，地址和命令信号可以参考 VDDQ 平面。

图 4-10 走线跨分割

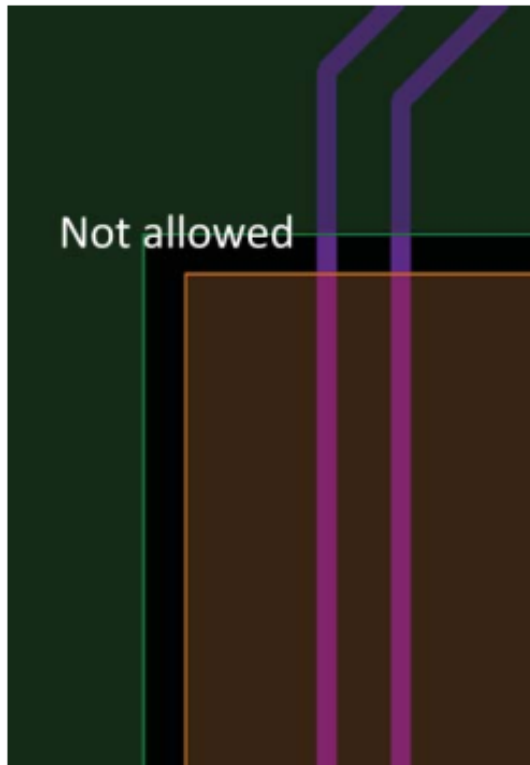
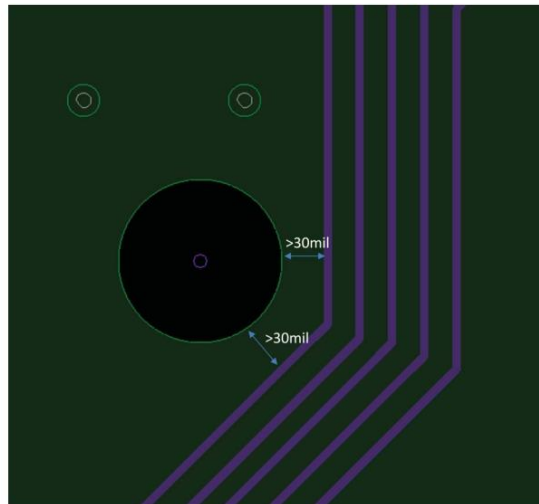
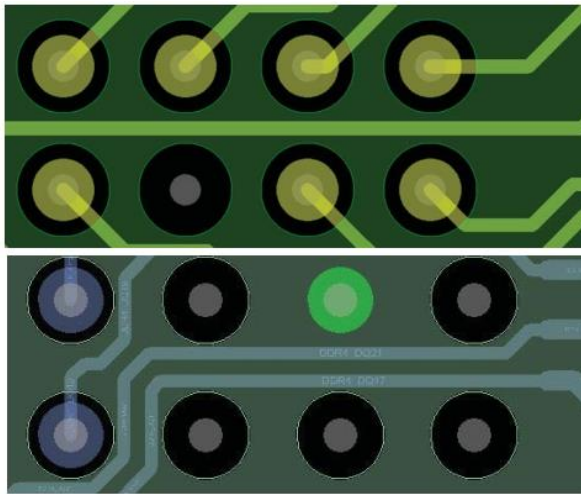


图 4-11 走线与挖空区域边距



在扇出区域，信号线走在两个过孔的中间位置，如图 4-12 所示。

图 4-12 在引脚区域走线



4.5.2 参考平面缝合

在器件的一些区域，地引脚很少，会导致参考平面不连续。再加上信号密集，间距很小，这会使串扰增加，因而引发数据错误。

如图 4-13 所示，将信号向两边扇出，可以在中间留出一条无过孔的区域，这样就可以打上地过孔，进行地平面缝合。如图 4-14 所示，在较拥挤的区域，适当增加地过孔，在走线绕成的半弧形区域应尽量放置地过孔。

图 4-13 地平面缝合

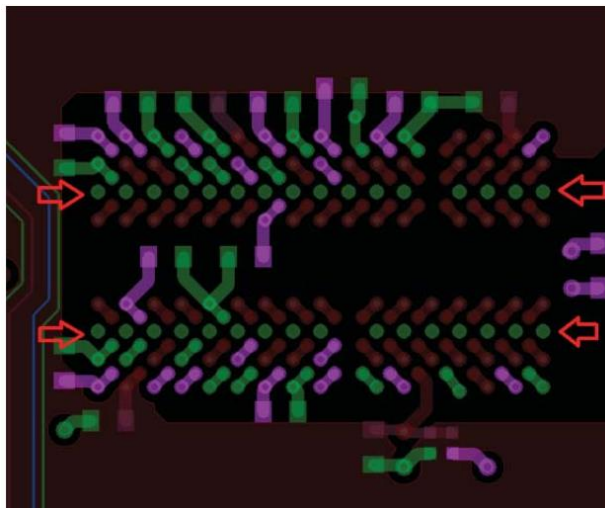
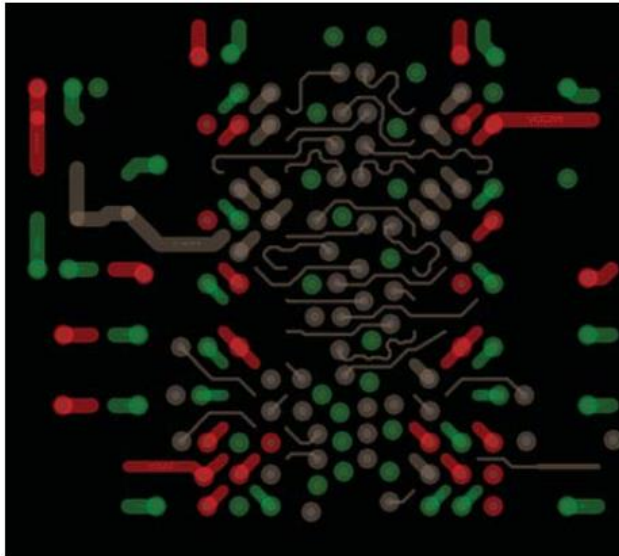


图 4-14 拥挤区域添加地过孔（绿色为地，红色为电源）



4.5.3 信号返回路径

PCB 设计中最容易忽视的是电流返回路径。这对于端接电阻的信号(并行端接电阻)来说是很重要的，因为流经端接电阻的电流很大。大多数板级仿真器都没考虑返回路径的影响，只是考虑了参考平面边界和缝隙，意识到这个问题，通过目测就能达到不错的效果。

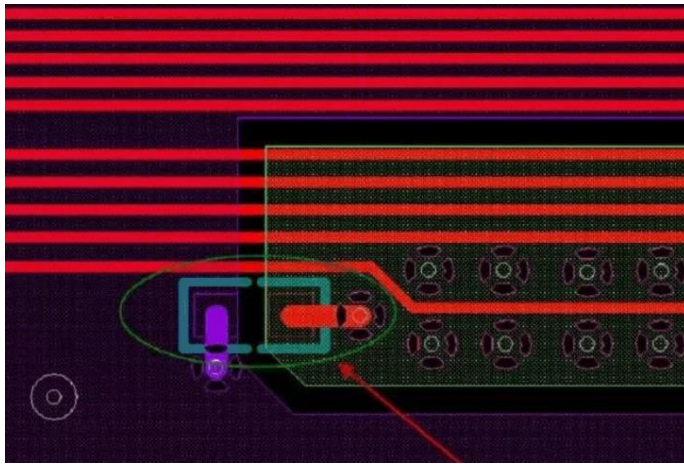
信号返回路径越短，电流噪声越小，抗干扰能力越强。最优化的信号返回路径，应直接位于信号走线的相邻层，且层间距不大于 5mil。否则信号环路面积将会增加。对于本设计的 8 层堆叠结构（4.1.1 节），第 2、7 层为完整的地平面，将信号走在第 3、6 层是很好的选择，

信号在第 1 层和第 3 层之间换层，对返回路径造成的干扰最小。信号在第 1 层和第 6 层换层，对返回路径造成的干扰很大。即使在这两种情况下的参考平面都是地平面，但是返回路径是不同的，信号在第 1 层和第 6 层换层时，返回电流需要在不同参考平面之间找到一条路径。这将增加环路面积。如果需要这样做，可以在换层附近放置地过孔，以使环路面积尽可能小。

在器件的内部和边缘，尽可能多的添加地过孔，为信号和电源提供良好的返回路径，特别是在器件的角上，因为通常器件角上地引脚的数量很少。

如果存在参考平面从地平面到电源平面的切换，则返回路径需要连接一个用于平面到平面转换的电容，即跨接电容，如图 4-15 所示。这通常会导导致更大的循环面积的增加，所以尽量避免。

图 4-15 跨接电容



4.6 仿真

4.6.1 仿真

在新设计或修改设计的布局阶段，建议定期仿真 I/O 性能。通过仿真优化接口可以在构建原型之前降低噪声和增加时序余量。当在仿真中发现问题时，问题往往更容易解决，在制板后发现问题，将面临昂贵和耗时的电路板重新设计。

存储器件的厂商已经创建了许多类型的仿真模型来匹配不同的工具。就镁光而言，目前官网上的组件仿真模型包括 IBIS、Verilog、VHDL、Hspice、Denali 和 Synopsys。

验证所有可能的条件是不切实际的，但是有几个关键区域需要重点关注：直流电平、信号翻转率、负脉冲、过冲、振铃和波形。此外，验证设计是否有足够的信号眼图开口，以满足时序和抵抗电源干扰是非常重要的。

蛇形走线提供了所需的延迟，但要注意，存在某种自耦合，可以改变信号的传播延迟。建议使用包含耦合的仿真来验证时序。

过孔可能会导致时序错误。如果总线组中的每个信号都在相同层之间通过相同过孔换层，则可以忽略该过孔的影响。如果出现不匹配，额外的延迟可能会将时序余量推到负值。仿真时应当考虑过孔，如果仿真整个总线，则要考虑所有过孔。如果仿真不包括整个总线，则应考虑补偿过孔的额外延迟。额外延迟的一个公式是：信号在过孔处的路径长度，是实际过孔长度的 2 倍。

4.7 结论

在设计时，信号完整性、电源供给、走线和去耦都是主要的关注点。

针对不同应用，在动手 Layout 前应经过适当的设计分析和仿真验证，以便实现更好的功能和稳定性。

5 注意事项

对于采用其他厂家或型号存储器件的设计，需仔细阅读官方相应的器件设计指南。

