

# Gowin USB 2.0 SoftPHY 器件外围电路设计指南

## 概述

本文档主要介绍了高云 FPGA 器件的 USB 2.0 SoftPHY 电路的设计方法，包括 FPGA I/O 分配、原理图设计、PCB 布局布线、参考平面设计等，旨在协助用户快速完成信号完整性好、低噪声的 USB 2.0 SoftPHY 电路的硬件设计。

本文档将 Gowin USB 2.0 SoftPHY 器件外围电路简称为 USB2.0-RC 电路。

## FPGA I/O 分配原则

### USB2.0-RC 电路 I/O 需求

针对 USB2.0-RC 电路，需要连接 11 个 I/O。

所需连接的 I/O 信号如下：

| 信号名称            | 所需 I/O |
|-----------------|--------|
| USB_TERM_RXDP/N | 2      |
| USB_RX_D+/-     | 2      |
| USB_TX_D+/-     | 2      |
| USB_RXDP_D+/-   | 2      |
| USB_RXDN_D+/-   | 2      |
| USB_PULLUP_EN   | 1      |

## USB2.0-RC 电路 I/O 分配规则

保证 USB2.0-RC I/O 电路的信号分布在 FPGA 的同一 Bank 上（Arora-V 系列除外）。

保证 USB2.0-RC I/O 电路的差分信号放置到 FPGA 的 TRUE LVDS 管脚上。

当 FPGA 芯片为小蜜蜂或晨熙家族的芯片时，要求 USB\_RX\_D+/- 差分信号所在管脚的相邻差分对（管脚名称中数字编号小的差分对）存在且未被使用。例如：在 GW1N-9 芯片上，当 USB\_RX\_D+/- 差分信号放置到 FPGA 的 IOB13A&IOB13B 管脚上时，则需要 IOB12A&IOB12B 管脚存在且未被使用。

下图为 GW1N-9 芯片 Pinout，当 FPGA 为 LQ144 封装时，如果 USB\_RX\_D+/- 差分信号放置在 46 和 47 管脚上，则 44 和 45 管脚悬空；当 FPGA 为 LQ100 封装时，USB\_RX\_D+/- 差分信号放置在 31 和 32 管脚上，IOB12A&IOB12B 存在且未引出，符合相邻差分对存在且未被使用的要求。

| 管脚名    | 功能  | BANK | 差分Pair         | LVDS | X16  | LQ100 | LQ144 |
|--------|-----|------|----------------|------|------|-------|-------|
| IOB12A | I/O | 2    | True_of IOB12B | NONE | NONE |       | 44    |
| IOB12B | I/O | 2    | Comp_of IOB12A | NONE | NONE |       | 45    |
| IOB13A | I/O | 2    | True_of IOB13B | TRUE | x16  | 31    | 46    |
| IOB13B | I/O | 2    | Comp_of IOB13A | TRUE | NONE | 32    | 47    |

## 原理图设计

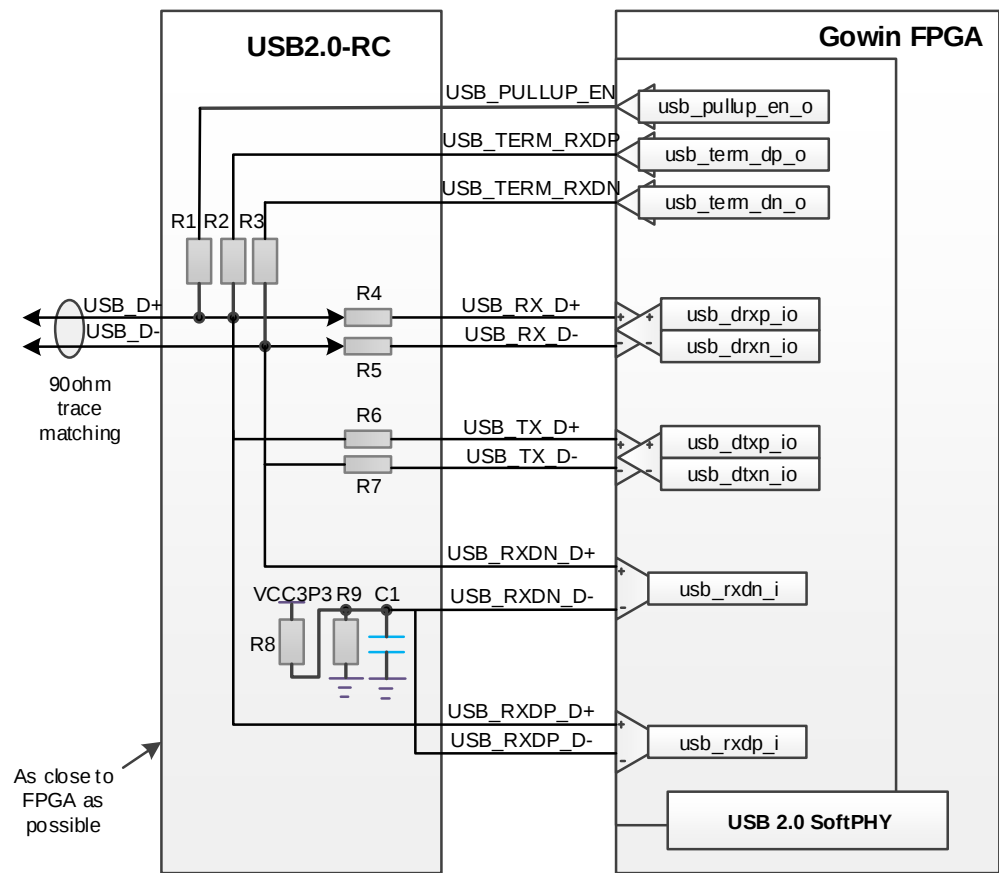
### Bank 电压分配

高云 FPGA 与 USB2.0-RC 电路相连的 Bank 电压为 3.3V。

### USB2.0-RC 电路设计

不同系列的高云 FPGA 芯片，其外接 USB2.0-RC 电路的电阻阻值不同。

USB2.0-RC 电路连接示意图如下图所示。



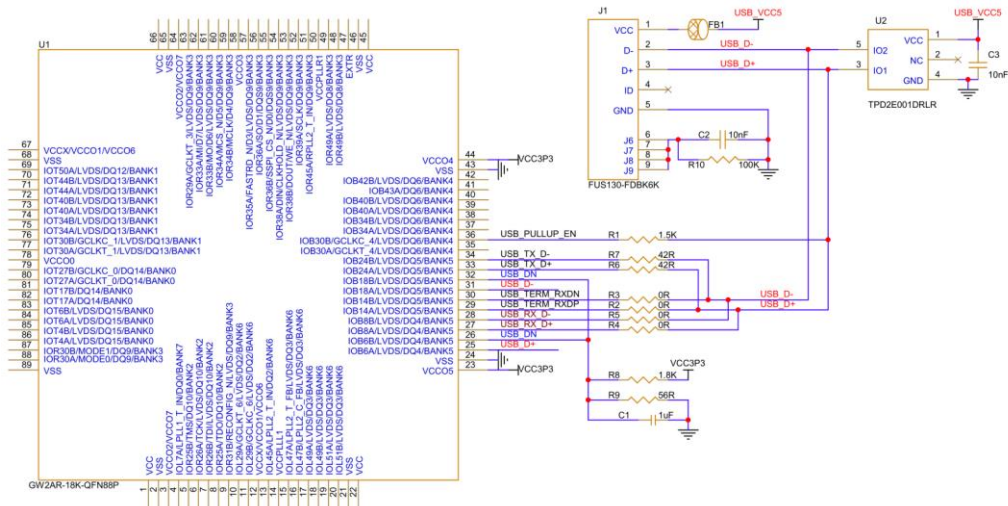
- 注！
- 电阻精度 1%，电容精度 20%。
  - 电阻电容封装大小建议选 0402。

USB2.0-RC 电路电阻阻值如下表所示。

| 器件 | 小蜜蜂      | 晨熙       | Arora-V  |
|----|----------|----------|----------|
| R1 | 1.5K ohm | 1.5K ohm | 1.5K ohm |
| R2 | 0 ohm    | 0 ohm    | 36 ohm   |
| R3 | 0 ohm    | 0 ohm    | 36 ohm   |
| R4 | 0 ohm    | 0 ohm    | 0 ohm    |
| R5 | 0 ohm    | 0 ohm    | 0 ohm    |
| R6 | 42 ohm   | 42 ohm   | 100 ohm  |
| R7 | 42 ohm   | 42 ohm   | 100 ohm  |
| R8 | 1.8K ohm | 1.8K ohm | 1.8K ohm |
| R9 | 75 ohm   | 56 ohm   | 75 ohm   |
| C1 | 1uF      | 1uF      | 1uF      |

## 原理图参考设计

下图为 USB2.0-RC 电路的原理图参考设计，高云 FPGA 芯片为 GW2AR-18-QFN88P，USB 接插件型号为 FUS130-FDBK6K，ESD 保护器件型号为 TPD2E001DRLR，此原理图设计仅供参考。



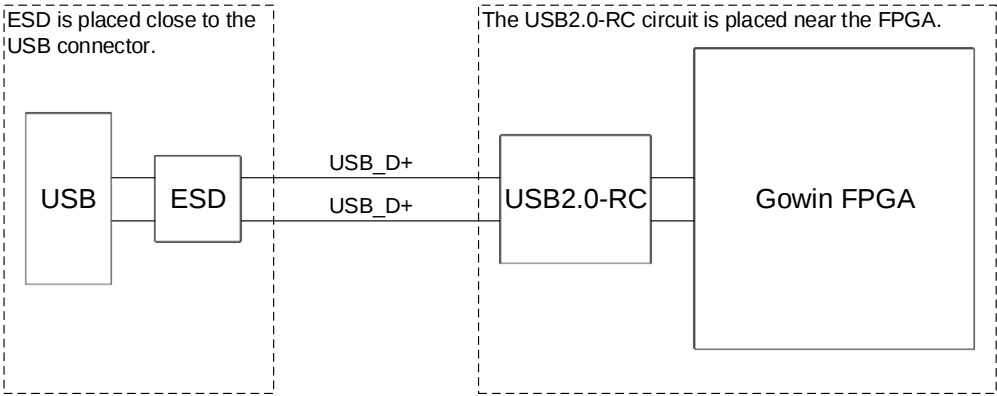
## PCB 设计

### 器件放置

器件的放置位置直接影响走线的难易程度，合理的放置不但使走线更简单，还会使走线更短，过孔更少，最终提高信号的通信质量。

USB2.0-RC 电路的电阻电容尽可能的靠近 FPGA 放置。

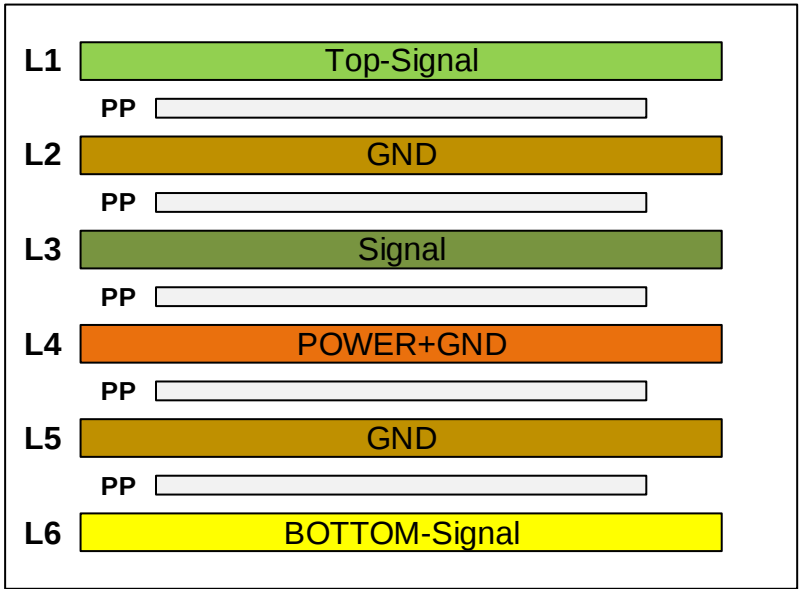
Gowin FPGA 与 USB2.0-RC 电路放置示意图如下图所示。



## 层叠结构

良好的 PCB 层叠结构是消除噪声干扰的关键。GND 参考层为数字电路提供低阻抗的返回路径。所有信号的走线尽量参考到 GND 层。本设计采用 6 层堆叠结构，层叠结构如下图所示，第 1、3、6 层为信号层，第 2、5 层完整的 GND 层，第 4 层为电源和 GND 共用层。

与 FPGA 连接的 USB2.0-RC 电路走线走在第 1、3、6 层，参考平面选择第 2、4、5 层。USB2.0-RC 电路的差分信号要有完整的参考地平面。



## 信号走线

USB2.0-RC 电路单端信号的阻抗为  $50\Omega$ ，差分信号的阻抗为  $90\Omega$ 。

USB2.0-RC 电路差分信号的走线要进行等长处理，误差控制在  $\pm 10\text{mil}$  以内。

USB2.0-RC 电路差分信号在走线过程中，若进行换层，可在过孔旁边放置 2~4 个 GND 过孔，以减小回流路径，提高信号完整性和降低电磁辐射。

USB2.0-RC 电路器件的正下方可做挖空处理，以适配阻抗变化。

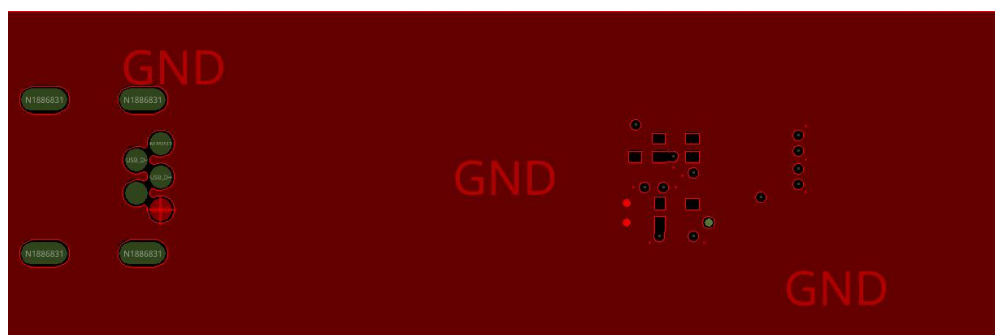
USB2.0-RC 电路的信号走线要有完整的 GND 参考平面，参考平面不连续会导致信号走线的阻抗不连续，信号的回流路径会受到影响，并产生信号反射，影响信号质量和信号的完整性。

## PCB 参考设计

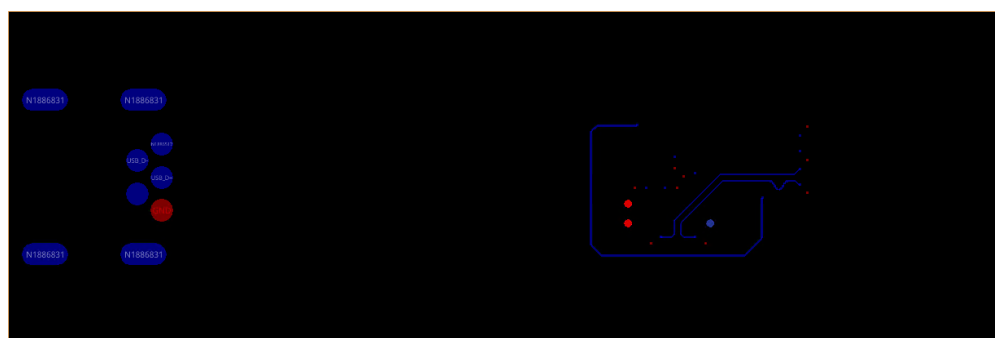
TOP 层为信号层，参考设计如下图所示。



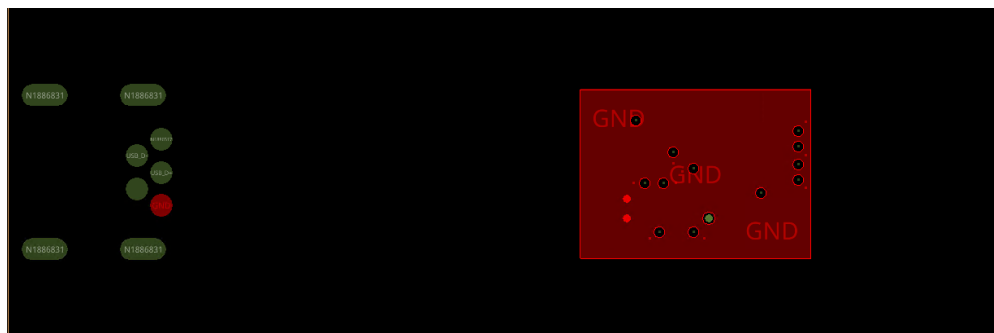
LY2 层为 GND 层，参考设计如下图所示。



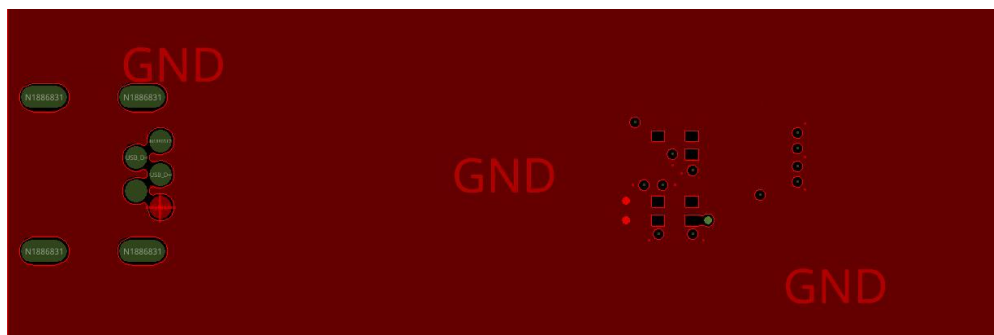
LY3 层为信号层，参考设计如下图所示。



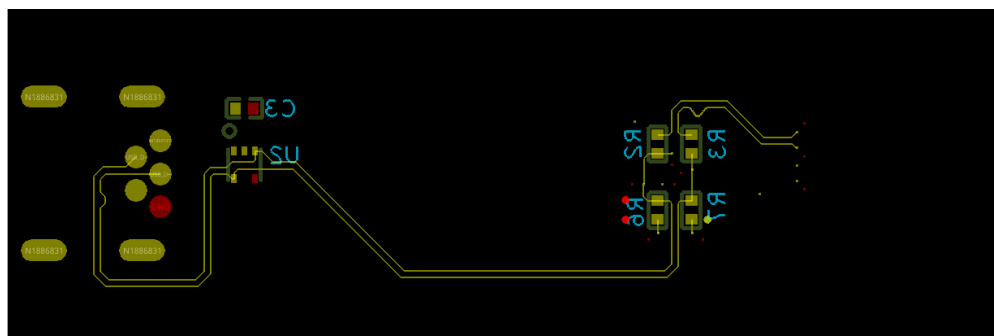
LY4 层为 GND 和电源层，参考设计如下图所示。



LY5 层为 GND 层，参考设计如下图所示。



BOTTOM 层为信号层，参考设计如下图所示。



## 注意事项

高云 FPGA 器件选型时，若选择小蜜蜂和晨熙家族器件，则小蜜蜂和晨熙家族器件的速度等级不小于 C7。

# 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com](http://www.gowinsemi.com)

E-mail: [support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391

# 版本信息

| 日期         | 版本    | 说明                 |
|------------|-------|--------------------|
| 10/21/2022 | 1.0   | 初始版本。              |
| 04/11/2024 | 1.0.1 | 更新 GW5A-25 器件的电阻值。 |
| 02/07/2025 | 1.1   | 更新各章节内容。           |

**版权所有 © 2025 广东高云半导体科技股份有限公司**

**GOWIN**高云、Gowin、小蜜蜂、晨熙以及高云均为广东高云半导体科技股份有限公司注册商标, 本手册中提到的其他任何商标, 其所有权利属其拥有者所有。未经本公司书面许可, 任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部, 并不得以任何形式传播。

## **免责声明**

本文档并未授予任何知识产权的许可, 并未以明示或暗示, 或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外, 高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保, 包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等, 均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任, 高云半导体保留修改文档中任何内容的权利, 恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。