

GOWIN FPGA 产品配置模式说明

GOWIN FPGA 产品支持 SRAM 编程和(或)Flash 编程。Flash 编程模式既支持片内 Flash 编程也支持片外 Flash 编程。GOWIN FPGA 产品除了支持业界通用的 JTAG 配置模式外，还支持多种高云半导体特有的 GowinCONFIG 配置模式。每款器件支持的 GowinCONFIG 配置模式多少取决于不同型号和封装形式。详细信息请参考：

- [小蜜蜂®\(LittleBee®\) 家族 FPGA 产品](#)
- [晨熙®\(Arora\) 家族第一代 FPGA 产品](#)
- [Arora V FPGA 产品](#)
更多详细信息请参见：
 - [UG290, Gowin FPGA 产品编程配置手册](#)
 - [UG702, GW2AN-18X & 9X 器件编程配置手册](#)
 - [UG704, Arora V FPGA 产品编程配置手册](#)

小蜜蜂®(LittleBee®)家族 FPGA 产品

小蜜蜂®(LittleBee®)家族 FPGA 产品除了支持业界通用的 JTAG 配置模式外，还支持高云半导体特有的 GowinCONFIG 配置模式。每款器件支持的 GowinCONFIG 配置模式多少取决于不同型号和封装形式。所有非易失器件均支持 JTAG 和 AUTO BOOT 模式，器件支持的配置模式最多可达 6 种，如表 1 所示。与配置相关的管脚列表如表 2 所示。

表 1 配置模式

配置模式		MODE[2:0] ^[1]	相关说明
JTAG		XXX ^[2]	外部 Host 通过 JTAG 接口对小蜜蜂®(LittleBee®)家族 FPGA 产品进行配置
GowinCONFIG	AUTO BOOT	000	FPGA 从内置 Flash 读取配置数据进行配置
	I ² C ^[6]	100	外部 Host 通过 I2C 接口对 FPGA 产品进行配置
	SSPI	001	外部 Host 通过 SPI 接口对小蜜蜂®(LittleBee®)家族 FPGA 产品进行配置
	MSPI	010	FPGA 作为 Master，通过 SPI 接口 ^[3] 从外部 Flash（或其他器件）读取配置数据进行配置
	DUAL BOOT ^[4]	110	FPGA 优先选择外部 Flash 读取配置数据进行配置，外部 Flash 配置失败时选择从内部 Flash 进行配置
	SERIAL ^[5]	101	外部 Host 通过 DIN 接口对小蜜蜂®(LittleBee®)家族 FPGA 产品进行配置
	CPU ^[5]	111	外部 Host 通过 DBUS 接口对小蜜蜂®(LittleBee®)家族 FPGA 产品进行配置

注！

- [1]对于一些 MODE 管脚没有全部封装出来的器件，未封装出来的 MODE 默认已接地 (GW1N(R)-2 和 GW1N-1P5 器件除外，需参考相应的 pinout 手册)。
- [2]JTAG 配置模式与 MODE 输入值无关。
- [3]SSPI 和 MSPI 模式的 SPI 接口是互相独立的。
- [4]GW1N(R)-4 /GW1N(R)-4B 目前暂不支持 DUAL BOOT。
- [5]CPU 配置模式的 SCLK、WE_N 和 CLKHOLD_N 管脚与 SERIAL 配置模式共用，CPU 配置模式的数据总线管脚与 MSPI 和 SSPI 配置模式的管脚共用。
- [6]小蜜蜂®(LittleBee®)家族 FPGA 产品处于 I²C 配置模式时，同时支持 Autoboot 模式，芯片上电后，FPGA 先自行从内置 Flash 读取比特流数据完成配置。Autoboot 配置期间，I²C SDA 线必须保持外部上拉状态，否则设备可能无法正确配置；另外，建议同时外部上拉 SCL 线。请注意：此注释亦适用于 SDA 和 SCL 内部弱上拉的 C 版本器件。

小蜜蜂®(LittleBee®)家族 FPGA 产品所有与配置相关的管脚如表 2 所示，表中也标注了每种配置模式使用到的管脚及芯片封装过程中的管脚共用情况。

表 2 配置管脚列表

管脚名称	I/O 类型	JTAG	GowinCONFIG						
			AUTO BOOT	I ² C	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
RECONFIG_N	I	√	√	√	√	√	√	√	√
JTAGSEL_N	I	√							
TDO	O	√							
TMS	I	√							
TCK	I	√							
TDI	I	√							
READY	I/O	√	√	√	√	√	√	√	√
DONE	I/O	√	√	√	√	√	√	√	√
MODE[2:0]	I		√	√	√	√	√	√	√
SCLK	I				√			√	√
CLKHOLD_N/DIN	I				√			√	√
WE_N/DOUT	O							√	√
MI/D7	I/O					√			√
MO/D6	I/O					√			√
MCS_N/D5	I/O					√			√
MCLK/D4	I/O					√			√
FASTRD_N/D3	I/O					√			√
SI/D2	I/O				√				√
SO/D1	I/O				√				√
SSPI_CS_N/D0	I/O				√				√
SCL	I			√					
SDA	I/O			√					

注！

关于配置管脚复用、配置管脚功能及应用信息请参考 [UG290, Gowin FPGA 产品编程配置手册](#)。

晨熙®(Arora)家族第一代 FPGA 产品

晨熙®(Arora)家族 FPGA 产品除了支持业界通用的 JTAG 配置模式外，还支持高云半导体特有的 GowinCONFIG 配置模式。每款器件支持的 GowinCONFIG 配置模式的多少取决于不同型号和封装形式。器件支持比特流数据加密和安全位设置功能，为用户设计提供了安全性保障。晨熙®(Arora)家族 FPGA 产品支持比特流数据的解压缩功能，用户可以将比特流数据进行压缩以节约存储空间。

GW2A-18(55)/ GW2AR-18/ GW2AN-55/GW2ANR-18

GW2A-18(55)/ GW2AR-18/ GW2AN-55/GW2ANR-18 支持的配置模式如表 3 所示。与配置相关的管脚列表如表 4 所示。

表 3 配置模式

配置模式		MODE[2:0] ^[1]	相关说明
JTAG		XXX ^[2]	外部 Host 通过 JTAG 接口对晨熙®(Arora)家族 FPGA 产品进行配置。
GowinCONFIG	MSPI ^[3]	000	FPGA 作为 Master，通过 SPI 接口 ^[3] 从外部 Flash（或其他器件）读取配置数据进行配置。
	SSPI ^[3]	001	外部 Host 通过 SPI 接口对晨熙®(Arora)家族 FPGA 产品进行配置。
	SERIAL ^[4]	101	外部 Host 通过 DIN 接口对晨熙®(Arora)家族 FPGA 产品进行配置。
	CPU ^[4]	111	外部 Host 通过 DBUS 接口对晨熙®(Arora)家族 FPGA 产品进行配置。

注！

- [1]对于一些 MODE 管脚没有全部封装出来的器件，未封装出来的 MODE 默认已接地。
- [2]JTAG 配置模式与 MODE 输入值无关。
- [3]SSPI 和 MSPI 模式的 SPI 接口是互相独立的。
- [4]CPU 配置模式的 SCLK、WE_N 和 CLKHOLD_N 管脚与 SERIAL 配置模式共用，CPU 配置模式的数据总线管脚与 MSPI 和 SSPI 配置模式的管脚共用。

GW2A-18(55)/ GW2AR-18/ GW2AN-55/GW2ANR-18 所有与配置相关的管脚如表 4 所示，表中也标注了每种配置模式使用到的管脚及芯片封装过程中的管脚共用情况。

表 4 配置管脚列表

管脚名称	I/O 类型	JTAG	GowinCONFIG						
			AUTO BOOT	I ² C	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
RECONFIG_N	I	√	√	√	√	√	√	√	√
JTAGSEL_N	I	√							
TDO	O	√							
TMS	I	√							
TCK	I	√							
TDI	I	√							
READY	I/O	√	√	√	√	√	√	√	√
DONE	I/O	√	√	√	√	√	√	√	√
MODE[2:0]	I		√	√	√	√	√	√	√
SCLK	I				√			√	√
CLKHOLD_N/DIN	I				√			√	√
WE_N/DOUT	O							√	√
MI/D7	I/O					√			√
MO/D6	I/O					√			√
MCS_N/D5	I/O					√			√
MCLK/D4	I/O					√			√
FASTRD_N/D3	I/O					√			√
SI/D2	I/O				√				√
SO/D1	I/O				√				√
SSPI_CS_N/D0	I/O				√				√
SCL	I			√					
SDA	I/O			√					

注!

关于配置管脚复用、配置管脚功能及应用信息请参考 [UG290, Gowin FPGA 产品编程配置手册](#)。

GW2AN-18X(9X)

GW2AN-18X(9X) FPGA 产品支持的配置模式如表 5 所示，与配置相关的管脚如表 6 所示。

表 5 配置模式

配置模式		MODE[1:0] ^[1]	相关说明
JTAG		XX ^[2]	外部 Host 通过 JTAG 接口对 FPGA 产品进行配置。最高频率 62.5MHz。
GowinCONFIG	MSPI ^[5]	00	FPGA 作为 Master，通过 SPI 协议从内置 Flash 读取配置数据进行配置。最高支持 100MHz。
	Autoboot	01	FPGA 作为 Master，通过 QSPI 协议从内置 Flash 读取配置数据进行配置。支持 GOLDEN IMAGE。最高支持 100MHz。
	SSPI	0X ^[3]	在 Autoboot 或 MSPI 完成后自动支持。外部 Host 通过 SPI 协议对 FPGA 产品进行配置。最高支持 100MHz。
	QSSPI		在 Autoboot 或 MSPI 完成后自动支持。外部 Host 通过 QSPI 协议对 FPGA 产品进行配置。最高支持 100MHz。
	I ² C		在 Autoboot 或 MSPI 完成后自动支持。外部 Host 通过 I ² C 协议对 FPGA 产品进行配置。支持频率范围 100KHz~555KHz。
	SERIAL ^[4]	10	外部 Host 通过 DIN 接口对 FPGA 产品进行配置。
	CPU ^[4]	11	外部 Host 通过 DBUS 接口对 FPGA 产品进行配置。

注！

- [1]对于一些 MODE 管脚没有全部封装出来的器件，未封装出来的 MODE 值请参考对应封装的 pinout 手册；
- [2]JTAG 配置模式与 MODE[1:0]输入值无关；
- [3]SSPI 配置模式与 MODE[0]输入值无关；
- [4]CPU 配置模式的 SCLK、WE_N 和 CLKHOLD_N 管脚与 SERIAL 配置模式共用，CPU 配置模式的数据总线管脚与 MSPI 和 SSPI 配置模式的管脚共用。
- [5] MSPI 配置模式的时钟频率存在 ±10% 的误差。

所有与配置相关的管脚如表 6 所示，表中也标注了每种配置模式使用到的管脚及芯片封装过程中的管脚共用情况。

表 6 配置管脚列表

管脚名称	I/O 类型	JTAG	GowinCONFIG					
			AUTO BOOT	I ² C	SSPI	QSSPI	SERIAL	CPU
RECONFIG_N	I	√	√	√	√	√	√	√
JTAGSEL_N	I	√						
TDO	O	√						
TMS	I	√						
TCK	I	√						
TDI	I	√						
READY	I/O	√	√	√	√	√	√	√
DONE	I/O	√	√	√	√	√	√	√
MODE[1:0]	I		√	√	√	√	√	√
SCLK	I				√	√	√	√
CLKHOLD_N/DIN	I				√	√	√	√
WE_N/DOUT	O					√	√	√
D7	I/O							√
D6	I/O							√
D5	I/O							√
D4	I/O							√
FASTRD_N/D3	I/O							√
SI/D2	I/O				√	√		√
SO/D1	I/O				√	√		√
SSPI_CS_N/D0	I/O				√	√		√
SCL	I			√				
SDA	I/O			√				

注！

关于配置管脚复用、配置管脚功能及应用信息请参考 [UG702, GW2AN-18X & 9X 器件编程配置手册](#)。

Arora V FPGA 产品

GW5AT-138/GW5A-138/ GW5AST-138/ GW5AS-138

Arora V 138K FPGA 产品支持 4 种配置接口，每种配置接口支持一种或多种配置模式及总线位宽，如表 7 所示。

表 7 配置模式

配置模式	MODE[2:0] ^[1]	总线位宽	相关说明
Master SERIAL	000	x1	FPGA 作为 Master，通过 DIN 接口从外部读取配置数据进行配置。
MSPI ^[2]	001	x1,x2,x4	FPGA 作为 Master，通过 SPI 接口从外部 Flash（或其他器件）读取配置数据进行配置。
SSPI ^{[2][3]}	010	x1,x4	外部 Host 通过 SPI 接口对 AroraV FPGA 产品进行配置。
Master CPU	100	x8,x16,x32	FPGA 作为 Master，通过 DBUS 接口从外部读取配置数据进行配置。
JTAG	XXX/101 ^[4]		外部 Host 通过 JTAG 接口对 Arora V FPGA 产品进行配置
Slave CPU	110	x8,x16,x32	外部 Host 通过 DBUS 接口对 Arora V FPGA 产品进行配置。
Slave SERIAL	111	x1	外部 Host 通过 DIN 接口对 Arora V FPGA 产品进行配置

注！

- [1] 对于一些 MODE 管脚没有全部封装出来的器件，需要查看 PINOUT 手册确认 MODE 脚状态；
- [2] SSPI 和 MSPI 模式的 SPI 接口是互相独立的；
- [3] Arora V FPGA 产品在程序加载成功后会自动切到 SSPI 模式，如果没有使用 SSPI 模式，要保证 SSPI_HOLDN 有个下拉电阻或者 SSPI_CSN 有个上拉电阻。
- [4] JTAG 配置模式和 MODE[2:0]输入值无关，一直生效；当 MODE 设置为 101 时，只有 JTAG 接口生效。

高云半导体 Arora V FPGA 产品编程配置相关的管脚既能够完成配置功能，又可以设置为普通的 I/O，用户可根据实际使用情况进行选择。用户也可以根据配置管脚的功能对其灵活控制，满足一些特殊需求。高云半导体 Arora V FPGA 产品所有与配置相关的管脚如表 8 及表 9 所示，表中也标注了每种配置模式使用到的管脚及芯片封装过程中的管脚共用情况。

表 8 配置管脚列表 (1 of 2)

管脚名称	Bank	JTAG (Only)	Slave Serial	Master Serial	Master SPI			Slave SPI
					x1	x2	x4	x1
CFGBVS	10	√	√	√	√	√	√	√
MODE[2:0]	10	M[2:0]=101	M[2:0]=111	M[2:0]=000	M[2:0]=001	M[2:0]=001	M[2:0]=001	M[2:0]=010
RECONFIG_N	10	√	√	√	√	√	√	√
READY	10	√	√	√	√	√	√	√
DONE	10	√	√	√	√	√	√	√
TCK	10	TCK	TCK	TCK	TCK	TCK	TCK	TCK
TMS	10	TMS	TMS	TMS	TMS	TMS	TMS	TMS
TDI	10	TDI	TDI	TDI	TDI	TDI	TDI	TDI
TDO	10	TDO	TDO	TDO	TDO	TDO	TDO	TDO
CCLK	10	-	CCLK	CCLK	CCLK	CCLK	CCLK	CCLK
CFGUP	11	√	√	√	√	√	√	√
PUDC_B	3/4 ^[1]	√	√	√	√	√	√	√
EMCCLK	3/4	-	-	EMCCLK	EMCCLK	EMCCLK	EMCCLK	-
CSI_B	3/4	-	-	-	-	-	-	-
DOUT_CSO_B	3/4	-	DOUT	DOUT	-	-	-	-
RDWR_B	3/4	-	-	-	-	-	-	-
MCSN	3/4	-	-	-	MCSN	MCSN	MCSN	-
D00_MOSI	3/4	-	-	-	MOSI	MOSI/D00	MOSI/D00	-
D01_DIN	3/4	-	DIN	DIN	D01	D01	D01	-
D02	3/4	-	-	-	-	-	D02	-
D03	3/4	-	-	-	-	-	D03	-
SSPI_CSN	3/4	-	-	-	-	-	-	SSPI_CSN
D05_SSPI_SI	3/4	-	-	-	-	-	-	SSPI_SI
D06_SSPI_CLK	3/4	-	-	-	-	-	-	SSPI_CLK
D07_SSPI_WPN	3/4	-	-	-	-	-	-	SSPI_WPN
D08_SSPI_SO	3/4	-	-	-	-	-	-	SSPI_SO
SSPI_HOLD	3/4	-	-	-	-	-	-	SSPI_HOLD
D04	3/4	-	-	-	-	-	-	-
D[09-15]	3/4	-	-	-	-	-	-	-
D[16-31]	3/4	-	-	-	-	-	-	-

注！

[1]管脚在 wirebond 封装形式的器件中位于 BANK4，在其他封装形式的器件中位于 BANK3，具体信息需查看 PINOUT 文件。

表 9 配置管脚列表 (2 of 2)

管脚名称	Bank	Master CPU			Slave CPU			Slave SPI
		X8	X16	x1	X8	X16	X32	X4 ^[1]
CFGBVS	10	√	√	√	√	√	√	√
MODE[2:0]	10	M[2:0]=100	M[2:0]=100	M[2:0]=100	M[2:0]=110	M[2:0]=110	M[2:0]=110	M[2:0]=010
RECONFIG_N	10	√	√	√	√	√	√	√
READY	10	√	√	√	√	√	√	√
DONE	10	√	√	√	√	√	√	√
TCK	10	TCK	TCK	TCK	TCK	TCK	TCK	TCK
TMS	10	TMS	TMS	TMS	TMS	TMS	TMS	TMS
TDI	10	TDI	TDI	TDI	TDI	TDI	TDI	TDI
TDO	10	TDO	TDO	TDO	TDO	TDO	TDO	TDO
CCLK	10	CCLK	CCLK	CCLK	CCLK	CCLK	CCLK	CCLK
CFGUP	11	√	√	√	√	√	√	√
PUDC_B	3/4	√	√	√	√	√	√	√
EMCCLK	3/4	EMCCLK	EMCCLK	EMCCLK	-	-	-	-
CSI_B	3/4	CSI_B	CSI_B	CSI_B	CSI_B	CSI_B	CSI_B	-
DOUT_CSO_B	3/4	CSO_B	CSO_B	CSO_B	CSO_B	CSO_B	CSO_B	-
RDWR_B	3/4	RDWR_B	RDWR_B	RDWR_B	RDWR_B	RDWR_B	RDWR_B	-
MCSN	3/4	-	-	-	-	-	-	-
D00_MOSI	3/4	D00	D00	D00	D00	D00	D00	-
D01_DIN	3/4	D01	D01	D01	D01	D01	D01	-
D02	3/4	D02	D02	D02	D02	D02	D02	-
D03	3/4	D03	D03	D03	D03	D03	D03	-
SSPI_CSN	3/4	-	-	-	-	-	-	SSPI_CSN
D05_SSPI_SI	3/4	D05	D05	D05	D05	D05	D05	SSPI_IO0
D06_SSPI_CLK	3/4	D06	D06	D06	D06	D06	D06	SSPI_CLK
D07_SSPI_WPN	3/4	D07	D07	D07	D07	D07	D07	SSPI_IO2
D08_SSPI_SO	3/4	-	D08	D08	D08	D08	D08	SSPI_IO1
SSPI_HOLD	3/4	-	-	-	-	-	-	SSPI_IO3
D04	3/4	-	D04	D04	D04	D04	D04	-
D[09-15]	3/4	-	D[09-15]	D[09-15]	-	D[09-15]	D[09-15]	-
D[16-31]	3/4	-	-	D[16-31]	-	-	D[16-31]	-

注！

[1]Slave SPI x4 模式不支持数据回读。

注！

关于配置管脚复用、配置管脚功能及应用信息请参考 [UG704, Arora V FPGA 产品编程配置手册](#)。

GW5A-25/ GW5AR-25/ GW5AS-25

表 10 配置模式 (MODE [1:0])

配置模式	MODE[1:0] ^[1]	Bus Width	相关说明
JTAG	XX ^[2]	-	外部 Host 通过 JTAG 接口对 Arora V FPGA 产品进行配置
MSPI	01	x1,x2,x4	FPGA 作为 Master, 通过 SPI 接口从外部 Flash (或其他器件) 读取配置数据进行配置
Master SERIAL	01	x1	FPGA 作为 Slave 以前, 通过 DIN 接口从外部读取配置数据进行配置
Slave SERIAL	11	x1	外部 Host 通过 DIN 接口对 Arora V FPGA 产品进行配置
Master CPU	00	x8,x16,x32	FPGA 作为 Slave 以前, 通过 DBUS 接口从外部读取配置数据进行配置
Slave CPU	10		外部 Host 通过 DBUS 接口对 Arora V FPGA 产品进行配置

注!

- [1]对于一些 MODE 管脚没有全部封装出来的器件, 需要查看 PINOUT 手册确认 MODE 脚状态。
- [2] JTAG 配置模式与 MODE[1:0]输入值无关。

表 11 配置模式选择 (MODE [2:0])

配置模式	MODE[2:0] ^[1]	Bus Width	相关说明
JTAG	XXX ^[2]	-	外部 Host 通过 JTAG 接口对 Arora V FPGA 产品进行配置
MSPI	010/011/101	x1,x2,x4	FPGA 作为 Master, 通过 SPI 接口从外部 Flash (或其他器件) 读取配置数据进行配置
Master SERIAL	010/011/101	x1	FPGA 作为 Slave 以前, 通过 DIN 接口从外部读取配置数据进行配置
Slave SERIAL	000/100	x1	外部 Host 通过 DIN 接口对 Arora V FPGA 产品进行配置
Master CPU	001	x8,x16,x32	FPGA 作为 Slave 以前, 通过 DBUS 接口从外部读取配置数据进行配置
Slave CPU	110/111		外部 Host 通过 DBUS 接口对 Arora V FPGA 产品进行配置

注!

- [1]对于一些 MODE 管脚没有全部封装出来的器件, 需要查看 PINOUT 手册确认 MODE 脚状态。
- [2] JTAG 配置模式与 MODE[2:0]输入值无关。

技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com

E-mail：support@gowinsemi.com

版本信息

日期	版本	说明
2023/09/22	1.0	初始版本。

版权所有 © 2023 广东高云半导体科技股份有限公司

GOWIN高云、云源、Gowin以及高云均为广东高云半导体科技股份有限公司注册商标,本手册中提到的其他任何商标,其所有权利属其拥有者所有。未经本公司书面许可,任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部,并不得以任何形式传播。

免责声明

本档并未授予任何知识产权的许可,并未以明示或暗示,或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外,高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保,包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等,均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任,高云半导体保留修改档中任何内容的权利,恕不另行通知。高云半导体不承诺对这些档进行适时的更新。