



Gowin LVDS 7to1 TX RX 参考设计 用户手册

TN727-1.0,2025-03-28

版权所有© 2025 广东高云半导体科技股份有限公司

GOWIN高云、、云源、Gowin、GowinSynthesis以及高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2025/03/28	1.0	初始版本。

目录

目录	i
图目录.....	iii
表目录.....	iv
1 关于本手册	1
1.1 手册内容	1
1.2 相关文档.....	1
1.3 术语、缩略语	2
1.4 技术支持与反馈	2
2 概述.....	3
2.1 概述	3
2.2 主要特征	3
2.3 资源利用	3
3 功能描述.....	5
3.1 系统框图.....	5
3.2 实现框图.....	5
3.2.1 LVDS 7to1 TX	6
3.2.2 LVDS 7to1 RX.....	7
3.3 端口列表.....	7
3.3.1 LVDS 7to1 TX 端口	7
3.3.2 LVDS 7to1 RX 端口	9
3.4 时序说明	10
4 参数配置.....	12
4.1 LVDS 7to1 TX 配置	12
4.2 LVDS 7to1 RX 配置.....	13
5 参考设计.....	15
5.1 设计实例一	15
5.2 设计实例二	16
6 文件交付.....	17

6.1 文档.....	17
6.2 参考设计.....	17

图目录

图 3-1 系统框图	5
图 3-2 实现框图	5
图 3-4 LVDS 7to1 TX IO 端口示意图	7
图 3-5 LVDS 7to1 RX IO 端口示意图	9
图 3-6 视频接口时序示意图	10
图 3-7 单路 LVDS 接口时序图	10
图 3-8 双路 LVDS 接口时序图	11
图 5-1 参考设计实例一基本结构框图	15
图 5-2 参考设计实例二基本结构框图	16

表目录

表 1-1 术语、缩略语	2
表 2-1 Gowin LVDS 7to1 TX RX 概述	3
表 2-2 LVDS 7to1 TX 占用资源	4
表 2-3 LVDS 7to1 RX 占用资源	4
表 3-1 Gowin LVDS 7to1 TX 的端口列表	7
表 3-2 Gowin LVDS 7to1 RX 的端口列表	9
表 6-2 Gowin LVDS 7to1 RX RefDesign 文件夹内容列表	17
表 6-3 Gowin LVDS 7to1 TX RefDesign 文件夹内容列表	17

1 关于本手册

1.1 手册内容

Gowin LVDS 7to1 TX RX 参考设计用户手册主要内容包括产品概述、功能描述、配置参数、参考设计示例等，旨在帮助用户快速了解 Gowin LVDS 7to1 TX RX 参考设计的特点及使用方法。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS100, GW1N 系列 FPGA 产品数据手册](#)
- [DS117, GW1NR 系列 FPGA 产品数据手册](#)
- [DS821, GW1NS 系列 FPGA 产品数据手册](#)
- [DS861, GW1NSR 系列 FPGA 产品数据手册](#)
- [DS881, GW1NSER 系列安全 FPGA 产品数据手册](#)
- [DS891, GW1NRF 系列蓝牙 FPGA 产品数据手册](#)
- [DS102, GW2A 系列 FPGA 产品数据手册](#)
- [DS226, GW2AR 系列 FPGA 产品数据手册](#)
- [DS961, GW2ANR 系列 FPGA 产品数据手册](#)
- [DS976, GW2AN-55 器件数据手册](#)
- [SUG100, Gowin 云源软件用户指南](#)

1.3 术语、缩略语

本手册中出现的相关术语、缩略语及相关释义如表 1-1 所示。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
DE	Data Enable	数据使能
FPGA	Field Programmable Gate Array	现场可编程门阵列
HS	Horizontal Sync	水平同步
JEIDA	Japan Electronic Industry Development Association	日本电子行业开发协会
LVDS	Low-Voltage Differential Signaling	低电压差分信号
VESA	Video Electronics Standards Association	视频电子标准协会
VS	Vertical Sync	垂直同步

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

2.1 概述

LVDS (Low-Voltage Differential Signaling) 7:1 视频接口主要用在 LCD 液晶面板驱动产品中。LVDS 7to1 TX 用于接收并行视频信号，然后转换成 LVDS 信号输出。LVDS 7to1 RX 用于接收 LVDS 信号，然后转换成并行视频信号。

表 2-1 Gowin LVDS 7to1 TX RX 概述

Gowin LVDS 7to1 TX RX	
逻辑资源	请参见表 2-2 和表 2-3。
交付文件	
设计文件	Verilog
参考设计	Verilog
TestBench	Verilog
测试设计流程	
综合软件	GowinSynthesis
应用软件	Gowin Software (V1.9.5.02beta 及以上)

2.2 主要特征

- 支持 VESA 和 JEIDA 标准
- 支持 RGB888 和 RGB666
- 支持 One Channel 和 Two Channel, 4 Lanes/Channel
- 单 lane 数据速率可支持范围为 80Mb/s~700Mb/s

2.3 资源利用

通过 Verilog 语言实现 LVDS 7to1 TX 和 RX。因使用器件的密度、速度和等级不同，其性能和资源利用情况可能不同。以高云 GW1N-4 系列 FPGA 为例，LVDS 7to1 TX 和 RX 资源利用情况如表 2-2 和表 2-3 所示。

表 2-2 LVDS 7to1 TX 占用资源

器件系列	速度等级	器件名称	资源利用	备注
GW1N-4	-6	LUT	1	配置内部 PLL，RGB888，One Channel
		REG	0	
		PLL	1	
		OVIDEO	5	

表 2-3 LVDS 7to1 RX 占用资源

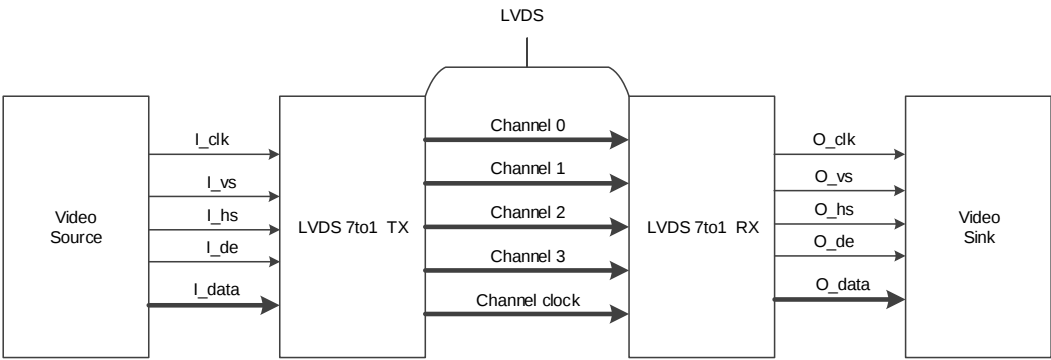
器件系列	速度等级	器件名称	资源利用	备注
GW1N-4	-6	LUT	291	配置内部 PLL，Auto Phase，RGB888，One Channel
		REG	158	
		PLL	1	
		CLKDIV	1	
		IODELAY	4	
		IVIDEO	5	

3 功能描述

3.1 系统框图

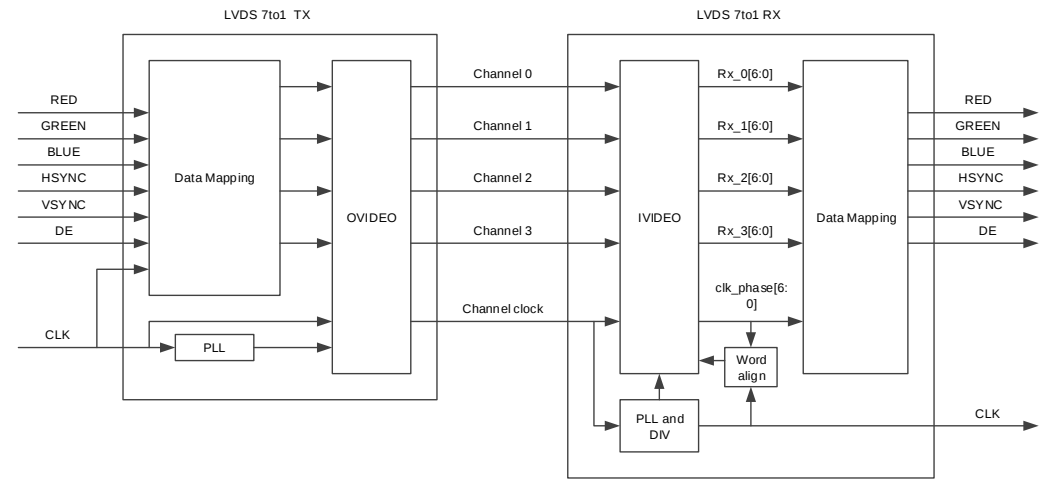
Gowin LVDS 7to1 参考设计包含 LVDS 7to1 TX 和 LVDS 7to1 RX，其系统框图如图 3-1 所示。

图 3-1 系统框图



3.2 实现框图

图 3-2 实现框图



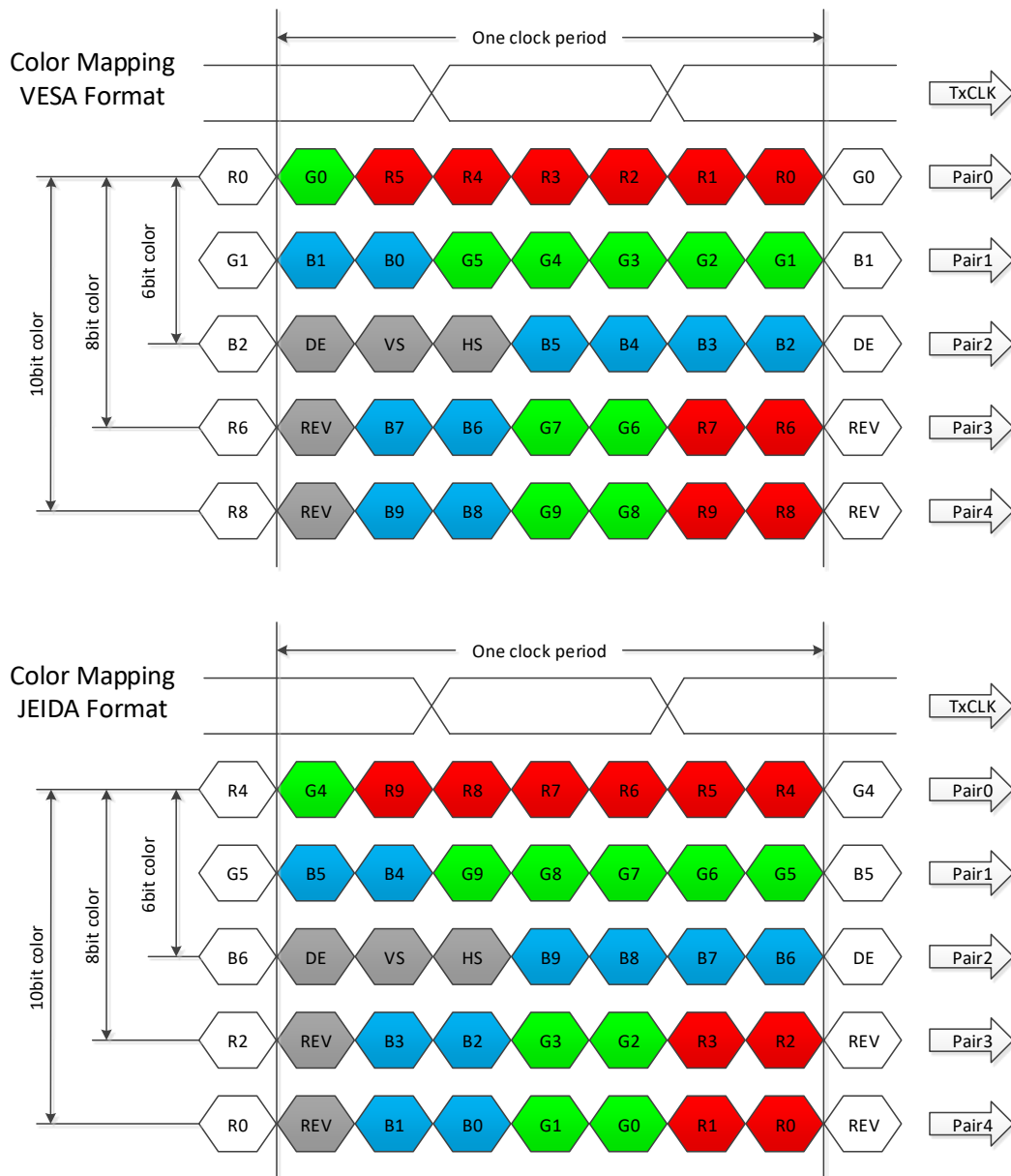
LVDS 7to1 TX 主要包括数据映射模块，串行化模块。LVDS 7to1 RX 主要包括解串行化模块，字对齐模块和数据映射模块。

3.2.1 LVDS 7to1 TX

LVDS 7to1 TX 完成对视频数据的映射和串并转换操作，主要由 Data Mapping 和 OVIDEO 两部分组成。

- Data Mapping 模块：负责将视频 RGB 数据和行场同步信号按照 VESA 或 JEIDA 标准进行映射操作。数据映射标准示意图如图 3-3 所示。

图 3-3 数据映射标准示意图



- OVIDEO 模块：负责将 7bit 并行数据转成串行数据输出。

3.2.2 LVDS 7to1 RX

LVDS 7to1 RX 完成对 LVDS 信号的解串行化和数据映射操作，主要由 IVIDEO，word_align 和 Data Mapping 组成，最终输出 RGB 数据和行场同步信号输出。

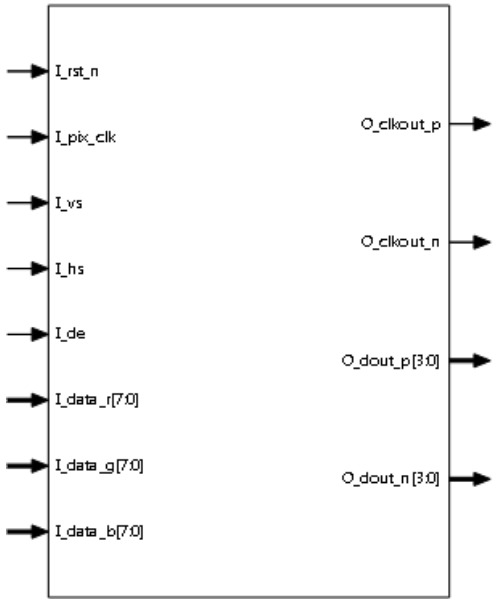
- IVIDEO 模块：负责将 LVDS 串行数据转成 7bit 并行数据输出。
- word_align 模块：负责产生 slip 信号，控制 IVIDEO 位移动，直到 clk_phase[6:0]数据中出现 7'b1100011 或 7'b1100001。
- Data Mapping 模块：负责将各通道 7bit 并行数据重新映射后，转换成 RGB 数据和行场同步信号。

3.3 端口列表

3.3.1 LVDS 7to1 TX 端口

Gowin LVDS 7to1 TX 的 IO 端口如图 3-4 所示。

图 3-4 LVDS 7to1 TX IO 端口示意图



根据配置参数不同，端口会略有不同。

Gowin LVDS 7to1 TX 的 IO 端口详细描述如表 2-3 所示。

表 3-1 Gowin LVDS 7to1 TX 的端口列表

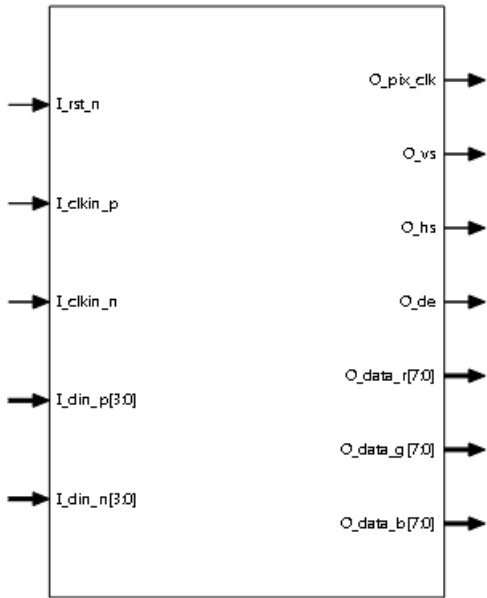
序号	信号名称	方向	描述	备注
1	I_rst_n	I	复位信号，低有效。	所有信号输入输出方向均以 LVDS 7to1 TX 为参考。
2	I_serial_clk	I	使用外部时钟时此信号有效 $I_serial_clk = I_pix_clk * 3.5$	
3	I_pix_clk	I	视频输入像素时钟	
4	I_vs	I	视频输入场同步vs信号	

序号	信号名称	方向	描述	备注
5	I_hs	I	视频输入行同步hs信号	
6	I_de	I	视频输入数据使能de信号	
One Channel				
7	I_data_r	I	视频输入数据R分量	
8	I_data_g	I	视频输入数据G分量	
9	I_data_b	I	视频输入数据B分量	
10	O_clkout_p	O	输出LVDS差分信号时钟正端	
11	O_clkout_n	O	输出LVDS差分信号时钟负端	
12	O_dout_p	O	输出LVDS差分信号数据正端	
13	O_dout_n	O	输出LVDS差分信号数据负端	
Two Channel				
14	I_data_ro	I	视频输入数据奇像素R分量	
15	I_data_go	I	视频输入数据奇像素G分量	
16	I_data_bo	I	视频输入数据奇像素B分量	
17	I_data_re	I	视频输入数据偶像素R分量	
18	I_data_ge	I	视频输入数据偶像素G分量	
19	I_data_be	I	视频输入数据偶像素B分量	
20	O_clkouto_p	O	输出LVDS差分信号时钟奇通道正端	
21	O_clkouto_n	O	输出LVDS差分信号时钟奇通道负端	
22	O_clkoute_p	O	输出LVDS差分信号时钟偶通道正端	
23	O_clkoute_n	O	输出LVDS差分信号时钟偶通道负端	
24	O_douto_p	O	输出LVDS差分信号数据奇通道正端	
25	O_douto_n	O	输出LVDS差分信号数据奇通道负端	
26	O_doute_p	O	输出LVDS差分信号数据偶通道正端	
27	O_doute_n	O	输出LVDS差分信号数据偶通道负端	

3.3.2 LVDS 7to1 RX 端口

Gowin LVDS 7to1 RX 的 IO 端口如图 3-5 所示。

图 3-5 LVDS 7to1 RX IO 端口示意图



根据配置参数不同，端口会略有不同。

Gowin LVDS 7to1 RX 的 IO 端口详细描述如表 3-2 所示。

表 3-2 Gowin LVDS 7to1 RX 的端口列表

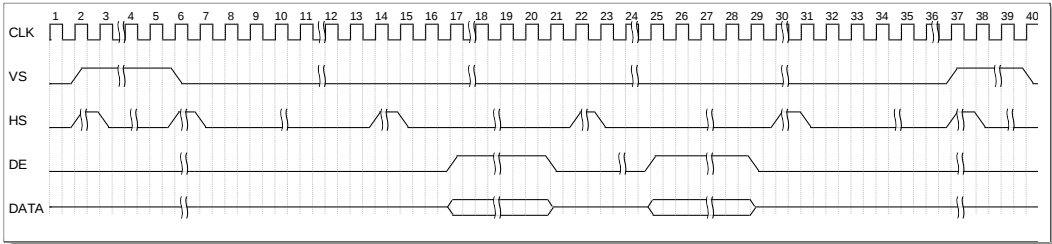
序号	信号名称	方向	描述	备注
1	I_rst_n	I	复位信号，低有效。	所有信号输入输出方向均以 LVDS 7to1 RX 为参考；
2	O_pix_clk	O	视频输出像素时钟	
3	O_vs	O	视频输出场同步 vs 信号	
4	O_hs	O	视频输出行同步 hs 信号	
5	O_de	O	视频输出数据使能 de 信号	
6	O_pllphase	O	自动搜索 PLL 输出时钟相位	
7	O_pllphase_lock	O	自动搜索 PLL 输出时钟相位锁定信号	
8	O_clkpat_lock	O	时钟 pattern 锁定信号	
9	I_clkln_p	I	输入 LVDS 差分信号时钟正端	
10	I_clkln_n	I	输入 LVDS 差分信号时钟负端	
One Channel				
11	I_din_p	I	输入 LVDS 差分信号数据正端	
12	I_din_n	I	输入 LVDS 差分信号数据负端	
13	O_data_r	O	视频输出数据 R 分量	
14	O_data_g	O	视频输出数据 G 分量	
15	O_data_b	O	视频输出数据 B 分量	

序号	信号名称	方向	描述	备注
Two Channel				
16	I_dino_p	I	输入 LVDS 差分信号数据奇通道正端	
17	I_dino_n	I	输入 LVDS 差分信号数据奇通道负端	
18	I_dine_p	I	输入 LVDS 差分信号数据偶通道正端	
19	I_dine_n	I	输入 LVDS 差分信号数据偶通道负端	
20	O_data_ro	O	视频输出数据奇像素 R 分量	
21	O_data_go	O	视频输出数据奇像素 G 分量	
22	O_data_bo	O	视频输出数据奇像素 B 分量	
23	O_data_re	O	视频输出数据偶像素 R 分量	
24	O_data_ge	O	视频输出数据偶像素 G 分量	
25	O_data_be	O	视频输出数据偶像素 B 分量	

3.4 时序说明

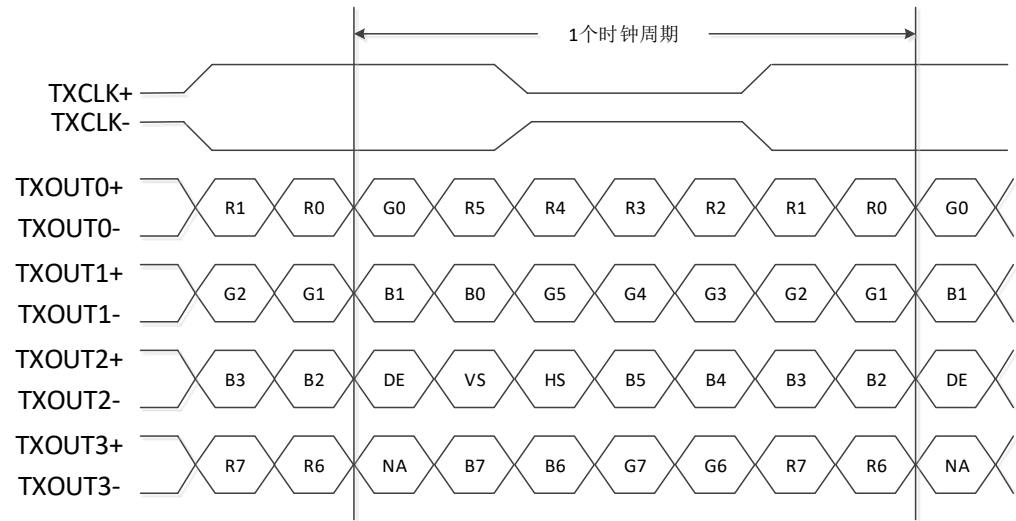
本节介绍 Gowin LVDS 7to1 TX RX 的时序情况。视频接口时序图如图 3-6 所示。

图 3-6 视频接口时序示意图



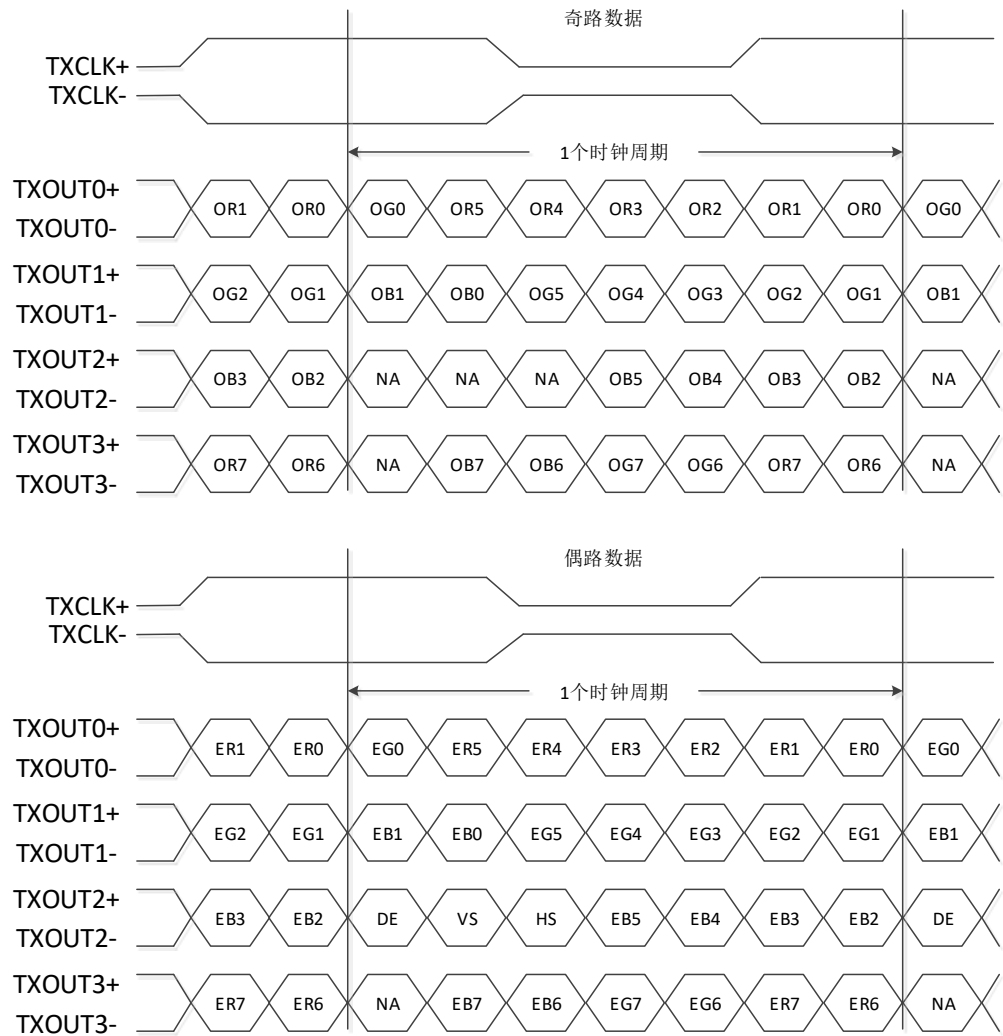
单路 LVDS 接口时序图如图 3-7 所示。

图 3-7 单路 LVDS 接口时序图



双路 LVDS 接口时序图如图 3-8 所示。

图 3-8 双路 LVDS 接口时序图



4 参数配置

用户可以使用宏定义来配置高云 LVDS 7to1 TX 和 RX 参数，参数位于宏定义文件。

4.1 LVDS 7to1 TX 配置

1. LVDS_OBUF 选择：根据 IO 位置可以选择 LVDS_OBUF 类型。
 - 选择 TLVDS 类型，`define USE_TLVDS_OBUF，默认。
 - 选择 ELVDS 类型，`define USE_ELVDS_OBUF。
2. 是否使用外部时钟选择
 - 选择外部时钟，`define TX_USE_EXTERNAL_CLK，默认。
 - 不选择外部时钟，则需要根据器件型号选择 PLL 类型，rPLL 或 PLLVR。
 - rPLL 类型，`define TX_USE_RPLL
 - PLLVR 类型，`define TX_USE_PLLVR
3. 通道选择
 - 选择单通道，`define TX_ONE_CHANNEL，默认。
 - 选择双通道，`define TX_TWO_CHANNEL，如果是双通道，还可选择输出时钟数量。
 - 1 个时钟，`define TX_TWO_CHANNEL_ONE_CLOCK
 - 2 个时钟，`define TX_TWO_CHANNEL_TWO_CLOCK
4. 数据映射方式
 - 选择 VESA 数据映射方式，`define TX_VESA，默认。
 - 选择 JEIDA 数据映射方式，`define TX_JEIDA。
5. 数据格式
 - 选择 RGB888 格式，`define TX_RGB888，默认。
 - 选择 RGB666 格式，`define TX_RGB666。
6. 时钟 pattern 类型

- 选择 1100011 类型, `define TX_CLK_PATTERN_1100011, 默认。
 - 选择 1100001 类型, `define TX_CLK_PATTERN_1100001。
7. 是否使用 CLKDIV 选择
- 选择使用 CLKDIV 3.5 分频, `define RX_USE_CLKDIV_3_5, 默认。
 - 不选择使用 CLKDIV 3.5 分频, 则不使用该宏定义。

4.2 LVDS 7to1 RX 配置

1. PLL 相位搜索模式
 - 自动搜索模式, `define AUTO_PHASE, 默认。
 - 搜索初始相位值, `define AUTO_INIT_PHASE 4'd0, 可选 0 或 8。
 - 如需仿真加快搜索, `define SIM。
 - 手动相位模式, `define MANUAL_PHASE。
 - PLL 输出时钟相位值, `define RX_CLKOUTP_PHASE 4'd3, 范围 0~15
2. PLL 类型: 需要根据器件型号选择 PLL 类型, rPLL 或 PLLVR。
 - rPLL 类型, `define RX_USE_RPLL, 默认。
 - PLLVR 类型, `define RX_USE_PLLVR。
3. 通道选择
 - 选择单通道, `define RX_ONE_CHANNEL, 默认。
 - 数据 0 通道 IODelay 值, `define D0_IODELAY 0, 范围 0~127。
 - 数据 1 通道 IODelay 值, `define D1_IODELAY 0, 范围 0~127。
 - 数据 2 通道 IODelay 值, `define D2_IODELAY 0, 范围 0~127。
 - 数据 3 通道 IODelay 值, `define D3_IODELAY 0, 范围 0~127。
 - 选择双通道, `define RX_TWO_CHANNEL。
 - 奇数据 0 通道 IODelay 值, `define DO0_IODELAY 0, 范围 0~127。
 - 奇数据 1 通道 IODelay 值, `define DO1_IODELAY 0, 范围 0~127。
 - 奇数据 2 通道 IODelay 值, `define DO2_IODELAY 0, 范围 0~127。
 - 奇数据 3 通道 IODelay 值, `define DO3_IODELAY 0, 范围 0~127。
 - 偶数据 0 通道 IODelay 值, `define DE0_IODELAY 0, 范围

0~127。

- 偶数据 1 通道 IODelay 值, `define DE1_IODELAY 0, 范围 0~127。
- 偶数据 2 通道 IODelay 值, `define DE2_IODELAY 0, 范围 0~127。
- 偶数据 3 通道 IODelay 值, `define DE3_IODELAY 0, 范围 0~127。

4. 数据映射方式

- 选择 VESA 数据映射方式, `define RX_VESA, 默认。
- 选择 JEIDA 数据映射方式, `define RX_JEIDA。

5. 数据格式

- 选择 RGB888 格式, `define RX_RGB888, 默认。
- 选择 RGB666 格式, `define RX_RGB666。

6. 时钟 pattern 类型

- 选择 1100011 类型, `define RX_CLK_PATTERN_1100011, 默认。
- 选择 1100001 类型, `define RX_CLK_PATTERN_1100001。

5 参考设计

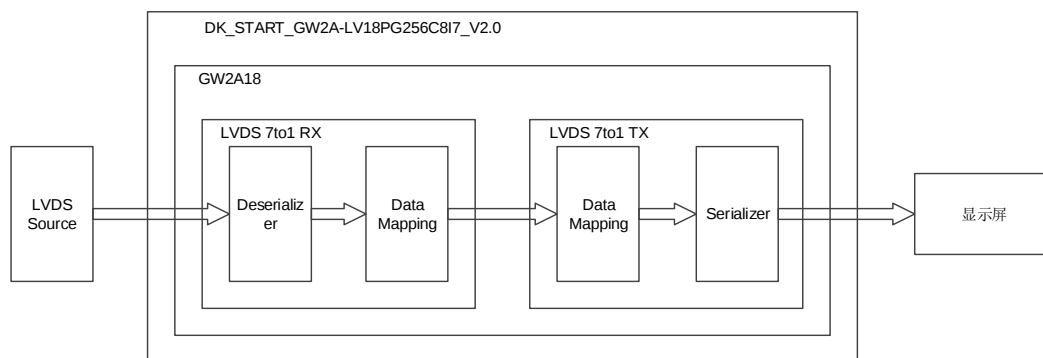
本节主要介绍 LVDS 7to1 TX RX 的参考设计实例的搭建及使用方法。详细信息请参见高云半导体官网给出的 LVDS 7to1 TX RX 相关[参考设计](#)。

5.1 设计实例一

本参考设计以 DK_START_GW2A-LV18PG256C8I7_V2.0 开发板为例，参考设计基本结构框图如图 5-1 所示。

DK_START_GW2A-LV18PG256C8I7_V2.0 开发板相关信息参考官方网站。

图 5-1 参考设计实例一基本结构框图



在参考设计实例一中，包含有 LVDS 7to1RX 和 LVDS 7to1 TX，其步骤如下所示：

1. 通过 LVDS RX 接口接收 LVDS 7:1 格式视频数据，分辨率是 1280x800。
2. 利用 LVDS 7to1 RX 模块，实现 LVDS 信号的解串行化，以及数据映射。
3. 再利用 LVDS 7to1 TX 模块，将并行视频数据进行数据映射，串行化后再转为 LVDS 信号。
4. 然后通过 LVDS TX 接口输出，与显示屏相连，可以在显示屏上显示输入的 LVDS 信号。

当参考设计应用于板级测试时，用户可将信号输出给显示器显示，也可配合在线逻辑分析仪或示波器对数据进行观测。

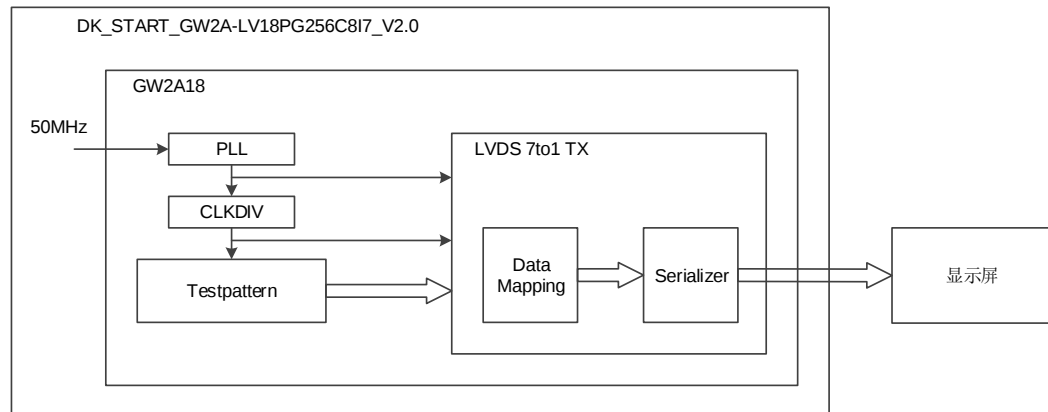
在参考设计提供的仿真工程中，以 bmp 位图作为测试激励源，tb 是仿真

工程顶层模块。可通过仿真后输出的图片作对比。

5.2 设计实例二

本参考设计以 DK_START_GW2A-LV18PG256C8I7_V2.0 开发板为例，参考设计基本结构框图如图 5-2 所示。

图 5-2 参考设计实例二基本结构框图



在参考设计实例二中，只包含有 LVDS 7to1 TX，其步骤如下所示：

1. 由 50MHz 参考时钟产生 LVDS 7to1 TX 所需的像素时钟和串行时钟。
2. 由 Testpattern 模块输出 1280x800 分辨率的视频格式测试数据。
3. 利用 LVDS 7to1 TX 模块，将并行视频数据进行数据映射，串行化后转为 LVDS 信号。
4. 然后通过 LVDS TX 接口输出，与显示屏相连，可以在显示屏上显示测试图。测试图包括彩条图，网格图，灰阶图，纯色图。

在参考设计提供的仿真工程中，以 bmp 位图作为测试激励源，tb 是仿真工程顶层模块。可通过仿真后输出的图片作对比。

6 文件交付

Gowin LVDS 7to1 TX RX 交付文件主要包含三个部分，分别为：文档和参考设计。

6.1 文档

文件夹主要包含用户指南 PDF 文档。

表 6-1 文档列表

名称	描述
TN727, Gowin LVDS 7to1 TX RX 参考设计用户指南	高云 LVDS 7to1 TX RX 参考设计用户手册，即本手册。

6.2 参考设计

Gowin LVDS 7to1 RX RefDesign 文件夹主要包含 Gowin LVDS 7to1 TX 和 RX 的代码文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 6-2 Gowin LVDS 7to1 RX RefDesign 文件夹内容列表

名称	描述
lvds_video_top.v	参考设计的顶层 module
lvds_video.cst	工程物理约束文件
lvds_video.sdc	工程时序约束文件
lvds_7to1_tx	LVDS 7to1 TX 代码文件夹
lvds_7to1_rx	LVDS 7to1 RX 代码文件夹

Gowin LVDS 7to1 TX RefDesign 文件夹主要包含 Gowin LVDS 7to1 TX 的代码文件，用户参考设计，约束文件、顶层文件及工程文件夹等。

表 6-3 Gowin LVDS 7to1 TX RefDesign 文件夹内容列表

名称	描述
lvds_video_top.v	参考设计的顶层 module
lvds_video.cst	工程物理约束文件
lvds_video.sdc	工程时序约束文件

名称	描述
testpattern.v	参考设计文件
lvds_7to1_tx	LVDS 7to1 TX 代码文件夹
gowin_rpll	锁相环工程文件夹

