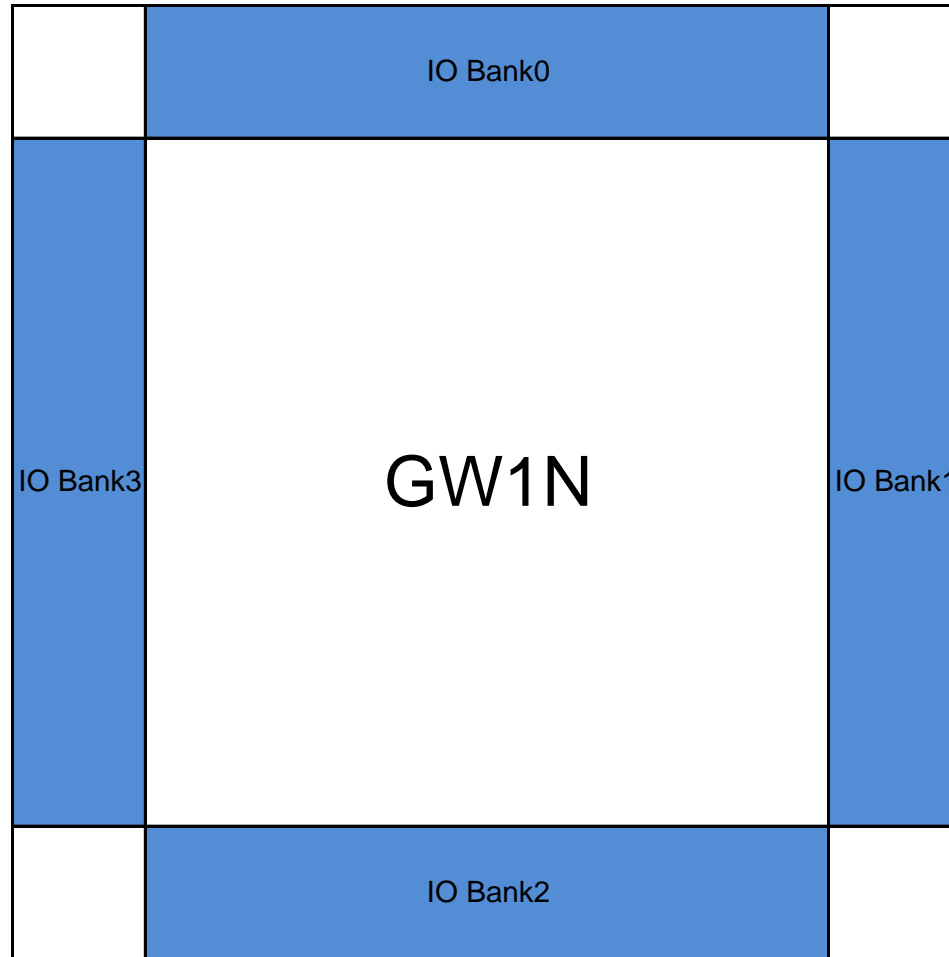


日期	版本	说明
2017/3/20	1.0	初始版本。
2017/4/12	1.01	增加QN48封装信息。
2017/5/31	1.02	删除QN48封装的重复引脚47脚； 修改MO/MI的位置。
2017/9/1	1.03	修改复用引脚。
2018/6/7	1.04	GCLK[n]_[x]、“RPLL_[n]_fb和RPLL_[n]_in分别拆分成GCLKT_[x] GCLKC_[x]、LPLL_T_fb/RPLL_T_fb LPLL_C_fb/RPLL_C_fb和LPLL_T_in/RPLL_T_in LPLL_C_in/RPLL_C_in； 修改描述MODE相关描述，MODE不再作为专用管脚，可以复用为GPIO。
2018/11/14	1.05	删除MBGA160和PBGA204； 增加Power要求。
2019/3/12	1.06	修改VCC UV版本的电源供电范围。
2019/9/18	1.07	新增LQ100X-LV, LQ100X-UV封装信息。
2019/12/23	1.08	修改LQ100X-LV封装的89管脚，从NC改为VCC。
2020/1/2	1.09	修改LQ100X-LV, LQ100X-UV封装名称； 修改LV版本LQ100X封装的89管脚，从VCC改为VCC12OUT。
2020/2/24	1.1	修改LV版本LQ100X封装的89管脚，从VCC12OUT改为NC。 修改UV版本LQ100X封装的89管脚，从NC改为VCC12OUT，并增加89管脚说明。
2021/5/21	1.11	删除LQ100X封装。
2021/10/13	1.2	更新Pin Definitions. 删除QN32、QN48、LQ100、LQ144封装信息。
2022/6/2	1.3	新增QN32、QN48、LQ100、LQ144封装信息。
2022/10/20	1.3.1	更新Pin Definitions中的注释。
2023/5/4	1.3.2	更新Power页。 更新Pin Definition页中CLKHOLD_N的管脚说明。
2023/6/30	1.3.3	优化MODE0、MODE1、MODE2的管脚信息及其管脚定义的描述。

管脚名称	方向	说明
用户I/O管脚		
IO [End][Row/Column Number][A/B]	I/O	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top)
		[Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数
		[A/B]提供差分信号对信息
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外的一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户I/O
D0	I/O	CPU模式下的数据端口D0
D1	I/O	CPU模式下的数据端口D1
D2	I/O	CPU模式下的数据端口D2
D3	I/O	CPU模式下的数据端口D3
D4	I/O	CPU模式下的数据端口D4
D5	I/O	CPU模式下的数据端口D5
D6	I/O	CPU模式下的数据端口D6
D7	I/O	CPU模式下的数据端口D7
WE_N	I	CPU模式下选择D[7: 0]的数据输入输出方向，"0"选择写入，"1"选择读出
DOUT	O	SERIAL模式下的数据输出
DIN	I, 内部弱上拉	SERIAL模式下的数据输入
TMS	I, 内部弱上拉	JTAG模式串行模式输入
TCK	I	JTAG模式串行时钟输入
TDO	O	JTAG模式串行数据输出
TDI	I, 内部弱上拉	JTAG模式串行数据输入
JTAGSEL_N	I, 内部弱上拉	恢复JTAG下载功能信号
RECONFIG_N	I, 内部弱上拉	全局复位GowinCONFIG逻辑信号，低电平有效
FASTRD_N	I	访问SPI FLASH方式选择信号，低电平表示Fast Read模式；高电平表示Read模式
DONE <sup>[1]</sup>	O	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
	I	DONE信号为低电平时，延迟芯片启动，直到DONE信号为高电平
READY <sup>[1]</sup>	I/O	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
MI	I	MSPI模式下MI
MO	O	MSPI模式下MO

管脚名称	方向	说明
MCS_N	O	MSPI模式下的使能信号MCS_N, 低电平有效
MCLK	O	MSPI模式下时钟输出MCLK, 默认频率为 2.5Mhz
SCLK	I	SSPI, SERIAL, CPU模式下的时钟输入
SO	O	SSPI模式下SO
SI	I/O	SSPI模式下SI
SSPI_CS_N	I/O	SSPI模式下的使能信号SSPI_CS_N, 低电平有效, 内部弱上拉
CLKHOLD_N	I, 内部弱上拉	在SSPI模式下, 高电平有效 在CPU模式下, 低电平有效
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚, C(Comp), [x]是全局时钟序号 <sup>[2]</sup>
GCLKT_[x]	I	全局时钟输入管脚, T(True), [x]: 全局时钟序号
LPLL_C_fb/RPLL_C_fb	I	左边/右边PLL反馈输入管脚, C(Comp)
LPLL_T_fb/RPLL_T_fb	I	左边/右边PLL反馈输入管脚, T(True)
LPLL_C_in/RPLL_C_in	I	左边/右边PLL时钟输入管脚, C(Comp)
LPLL_T_in/RPLL_T_in	I	左边/右边PLL时钟输入管脚, T(True)
MODE2	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
MODE1	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
MODE0	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口; 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
<b>其他管脚</b>		
NC	NA	预留未使用
VSS	NA	Ground管脚
VCC	NA	核电压供电管脚
VCCIO#	NA	I/O BANK#的I/O电压供电管脚
VCCX	NA	辅助电压供电管脚
<b>注!</b>		
[1] READY和DONE默认状态为open-drain输出, 内部弱上拉。在配置期间, DONE输出0。		
[2]当输入是单端时,GCLKC_[x]所在管脚不是全局时钟管脚。		



**注!**

- [1]每个Bank还提供一个独立的参考电压（VREF）。
- [2]用户可以选择使用IOB内置的VREF源（等于 $0.5 \cdot V_{CCIO}$ ）。
- [3]用户也可选择外部的VREF输入（使用Bank中任意一个IO管脚作为外部VREF输入）。

注！									
[1]该管脚内部接地。									
管脚名	功能	BANK	配置功能	差分Pair	CS30	QN32	QN48	LQ100	LQ144
IOB10A/GCLKT_5	I/O	2	GCLKT_5	True_of_IOB10B			17	39	56
IOB10B/GCLKC_5	I/O	2	GCLKC_5	Comp_of_IOB10A			18	40	57
IOB11A/GCLKT_4	I/O	2	GCLKT_4	True_of_IOB11B	D3	4	19	41	58
IOB11B/GCLKC_4	I/O	2	GCLKC_4	Comp_of_IOB11A	E3	5	20	42	59
IOB12A	I/O	2		True_of_IOB12B					60
IOB12B	I/O	2		Comp_of_IOB12A				43	61
IOB13A	I/O	2		True_of_IOB13B					62
IOB13B	I/O	2		Comp_of_IOB13A					63
IOB14A	I/O	2		True_of_IOB14B			21	44	64
IOB14B	I/O	2		Comp_of_IOB14A			22	45	65
IOB15A	I/O	2		True_of_IOB15B					66
IOB15B	I/O	2		Comp_of_IOB15A					67
IOB16A	I/O	2		True_of_IOB16B		6	23	46	68
IOB16B	I/O	2		Comp_of_IOB16A			24	47	69
IOB17A	I/O	2		True_of_IOB17B				48	70
IOB17B	I/O	2		Comp_of_IOB17A				49	71
IOB18A	I/O	2		True_of_IOB18B					
IOB18B	I/O	2		Comp_of_IOB18A					
IOB19A	I/O	2		True_of_IOB19B				50	72
IOB19B	I/O	2		Comp_of_IOB19A					75
IOB2A	I/O	2		True_of_IOB2B				27	38
IOB2B	I/O			Comp_of_IOB2A				28	39
IOB3A	I/O	2		True_of_IOB3B			13	29	40
IOB3B	I/O	2		Comp_of_IOB3A			14	30	41
IOB4A	I/O	2		True_of_IOB4B					42
IOB4B	I/O	2		Comp_of_IOB4A					43
IOB5A	I/O	2		True_of_IOB5B				31	44
IOB5B	I/O	2		Comp_of_IOB5A				32	45
IOB6A	I/O	2		True_of_IOB6B					46
IOB6B	I/O	2		Comp_of_IOB6A			15	33	47
IOB7A	I/O	2		True_of_IOB7B			16	34	48

注！  
[1]该管脚内部接地。

管脚名	功能	BANK	配置功能	差分Pair	CS30	QN32	QN48	LQ100	LQ144
I0B7B	I/O	2		Comp_of_I0B7A					49
I0B8A	I/O	2		True_of_I0B8B				35	50
I0B8B	I/O	2		Comp_of_I0B8A				36	51
I0B9A	I/O	2		True_of_I0B9B					52
I0B9B	I/O	2		Comp_of_I0B9A					54
I0L10A	I/O	3		True_of_I0L10B	E4	32		22	32
I0L10B	I/O	3		Comp_of_I0L10A	D4	1		23	34
I0L2A/JTAGSEL_N	I/O	3	JTAGSEL_N	True_of_I0L2B				3	4
I0L2B	I/O	3		Comp_of_I0L2A				5	6
I0L3A	I/O	3		True_of_I0L3B					7
I0L3B	I/O	3		Comp_of_I0L3A					8
I0L4A	I/O	3		True_of_I0L4B					9
I0L4B	I/O	3		Comp_of_I0L4A					10
I0L5A/GCLKT_7	I/O	3	GCLKT_7	True_of_I0L5B	C6			6	11
I0L5B/GCLKC_7	I/O	3	GCLKC_7	Comp_of_I0L5A	C5			7	12
I0L6A/TMS	I/O	3	TMS	True_of_I0L6B	C4	24	3	8	13
I0L6B/TCK	I/O	3	TCK	Comp_of_I0L6A	A5	25	4	9	14
I0L6C/SCLK	I/O	3	SCLK	True_of_I0L6D	C3	26	5	10	15
I0L6D/TDI	I/O	3	TDI	Comp_of_I0L6C	B5	27	6	11	16
I0L6E/TDO	I/O	3	TDO	True_of_I0L6F	B6	28	7	12	18
I0L6F/RECONFIG_N	I/O	3	RECONFIG_N	Comp_of_I0L6E			8	14	20
I0L6G/DONE	I/O	3	DONE	True_of_I0L6H			9	15	21
I0L6H/READY	I/O	3	READY	Comp_of_I0L6G				16	22
I0L6I	I/O	3		True_of_I0L6J					23
I0L6J	I/O	3		Comp_of_I0L6I					24
I0L7A/GCLKT_6	I/O	3	GCLKT_6	True_of_I0L7B	D6	29	10	17	25
I0L7B/GCLKC_6	I/O	3	GCLKC_6	Comp_of_I0L7A	D5	30	11	18	26
I0L8A	I/O	3		True_of_I0L8B				19	27
I0L8B	I/O	3		Comp_of_I0L8A				20	28
I0L9A	I/O	3		True_of_I0L9B					29
I0L9B	I/O	3		Comp_of_I0L9A					30

注！									
[1]该管脚内部接地。									
管脚名	功能	BANK	配置功能	差分Pair	CS30	QN32	QN48	LQ100	LQ144
IOR10A	I/O	1		True_of_IOR10B				55	78
IOR10B	I/O	1		Comp_of_IOR10A				53	76
IOR2A	I/O	1		True_of_IOR2B	A3	17		73	106
IOR2B	I/O	1		Comp_of_IOR2A	B3	16		72	104
IOR3A	I/O	1		True_of_IOR3B					102
IOR3B	I/O	1		Comp_of_IOR3A					101
IOR4A/RPLL_T_fb	I/O	1	RPLL_T_fb	True_of_IOR4B	A4	15			100
IOR4B/RPLL_C_fb	I/O	1	RPLL_C_fb	Comp_of_IOR4A					99
IOR5A/GCLKT_2/RPLL_T_in	I/O	1	GCLKT_2/RPLL_T_in	True_of_IOR5B	B1	14	35	70	98
IOR5B/GCLKC_2/RPLL_C_in	I/O	1	GCLKC_2/RPLL_C_in	Comp_of_IOR5A	B2	13		69	97
IOR6A/MI/D7	I/O	1	MI/D7	True_of_IOR6B			34	68	96
IOR6B/MO/D6	I/O	1	MO/D6	Comp_of_IOR6A			33	67	95
IOR6C/MCS_N/D5	I/O	1	MCS_N/D5	True_of_IOR6D			32	66	94
IOR6D/MCLK/D4	I/O	1	MCLK/D4	Comp_of_IOR6C			31	65	93
IOR6E/FASTRD_N/D3	I/O	1	FASTRD_N/D3	True_of_IOR6F				64	92
IOR6F/SI/D2	I/O	1	SI/D2	Comp_of_IOR6E	E2	12	30	62	90
IOR6G/SO/D1	I/O	1	SO/D1	True_of_IOR6H	D1	11	29	61	88
IOR6H/SSPI_CS_N/D0	I/O	1	SSPI_CS_N/D0	Comp_of_IOR6G	D2	10	28	60	87
IOR6I/DIN/CLKHOLD_N	I/O	1	DIN/CLKHOLD_N	True_of_IOR6J				59	86
IOR6J/DOOUT/WE_N	I/O	1	DOOUT/WE_N	Comp_of_IOR6I				58	85
IOR7A/GCLKT_3	I/O	1	GCLKT_3	True_of_IOR7B	C1	9	27	57	84
IOR7B/GCLKC_3	I/O	1	GCLKC_3	Comp_of_IOR7A	C2	8		56	83
IOR8A	I/O	1		True_of_IOR8B					82
IOR8B	I/O	1		Comp_of_IOR8A					81
IOR9A	I/O	1		True_of_IOR9B					80
IOR9B	I/O	1		Comp_of_IOR9A					79
IOT10A	I/O	0		True_of_IOT10B		22	43	91	130
IOT10B	I/O	0		Comp_of_IOT10A		21	42	90	129
IOT11A	I/O	0		True_of_IOT11B		20		89	128
IOT11B	I/O	0		Comp_of_IOT11A					126
IOT12A	I/O	0		True_of_IOT12B				86	124

注！									
[1]该管脚内部接地。									
管脚名	功能	BANK	配置功能	差分Pair	CS30	QN32	QN48	LQ100	LQ144
IOT12B	I/O	0		Comp_of_IOT12A				85	123
IOT13A	I/O	0		True_of_IOT13B					122
IOT13B	I/O	0		Comp_of_IOT13A					121
IOT14A	I/O	0		True_of_IOT14B			41	84	120
IOT14B	I/O	0		Comp_of_IOT14A			40	83	119
IOT15A	I/O	0		True_of_IOT15B				82	118
IOT15B	I/O	0		Comp_of_IOT15A				81	117
IOT16A	I/O	0		True_of_IOT16B				80	116
IOT16B	I/O	0		Comp_of_IOT16A				79	115
IOT17A	I/O	0		True_of_IOT17B			39	78	114
IOT17B	I/O	0		Comp_of_IOT17A			38	77	113
IOT2A	I/O	0		True_of_IOT2B					3
IOT2B/MODE0	I/O	0	MODE0	Comp_of_IOT2A	B4	23	48	100	144
IOT3A/MODE2	I/O	0	MODE2	True_of_IOT3B	GND <sup>[1]</sup>	GND <sup>[1]</sup>	GND <sup>[1]</sup>	GND <sup>[1]</sup>	GND <sup>[1]</sup>
IOT3B/MODE1	I/O	0	MODE1	Comp_of_IOT3A	GND <sup>[1]</sup>	GND <sup>[1]</sup>	47	GND <sup>[1]</sup>	143
IOT4A	I/O	0		True_of_IOT4B				99	142
IOT4B	I/O	0		Comp_of_IOT4A				98	141
IOT5A	I/O	0		True_of_IOT5B				97	140
IOT5B	I/O	0		Comp_of_IOT5A			46	96	139
IOT6A	I/O	0		True_of_IOT6B					138
IOT6B	I/O	0		Comp_of_IOT6A					137
IOT7A	I/O	0		True_of_IOT7B			45	95	136
IOT7B	I/O	0		Comp_of_IOT7A			44	94	135
IOT8A	I/O	0		True_of_IOT8B					134
IOT8B	I/O	0		Comp_of_IOT8A					133
IOT9A	I/O	0		True_of_IOT9B				93	132
IOT9B	I/O	0		Comp_of_IOT9A				92	131
NC	N/A	N/A							112
NC	N/A	N/A							
NC	N/A	N/A							



注！  
[1]该管脚内部接地。

管脚名	功能	BANK	配置功能	差分Pair	CS30	QN32	QN48	LQ100	LQ144
NC	N/A	N/A							110
NC	N/A	N/A							111
VCC	Power	N/A							
VCC	Power	N/A							
VCC12OUT	Power	N/A							
VCC	Power	N/A						1	1
VCC	Power	N/A				2	12	25	36
VCC	Power	N/A						51	73
VCC	Power	N/A			E6	18	37	75	108
VCCIO0	Power	N/A							
VCCIO0	Power	N/A							
VCCIO0	Power	N/A				19		76	109
VCCIO0	Power	N/A						88	127
VCCIO0/VCCIO3	Power	N/A			A6		1		
VCCIO1	Power	N/A							
VCCIO1	Power	N/A							
VCCIO1	Power	N/A						54	77
VCCIO1	Power	N/A						63	91
VCCIO1	Power	N/A					36	71	103
VCCIO1/VCCIO2	Power	N/A			A1				
VCCIO1/VCCIO2	Power	N/A			E1	7			
VCCIO2	Power	N/A							
VCCIO2	Power	N/A							
VCCIO2	Power	N/A						26	37
VCCIO2	Power	N/A						38	55
VCCIO2	Power	N/A					25		
VCCIO3	Power	N/A							
VCCIO3	Power	N/A							
VCCIO3	Power	N/A						4	5
VCCIO3	Power	N/A						13	19
VCCIO3	Power	N/A				31		21	31

注！  
 [1]该管脚内部接地。

管脚名	功能	BANK	配置功能	差分Pair	CS30	QN32	QN48	LQ100	LQ144
VSS	Ground	N/A							
VSS	Ground	N/A							
VSS	Ground	N/A							
VSS	Ground	N/A							
VSS	Ground	N/A							
VSS	Ground	N/A							
VSS	Ground	N/A							
VSS	Ground	N/A					2	2	2
VSS	Ground	N/A							17
VSS	Ground	N/A							33
VSS	Ground	N/A			E5	3		24	35
VSS	Ground	N/A						37	53
VSS	Ground	N/A					26	52	74
VSS	Ground	N/A							89
VSS	Ground	N/A							105
VSS	Ground	N/A			A2			74	107
VSS	Ground	N/A						87	125

GW1N-1 CS30 封装电源供电要求			
名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCIO0/VCCIO3	I/O Bank电压, VCCIO0/VCCIO3内部短接在一起	1.14V	3.6V
VCCIO1/VCCIO2	I/O Bank电压, VCCIO1/VCCIO2内部短接在一起	1.14V	3.6V
GW1N-1 QN32 封装电源供电要求			
名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCIO0、VCCIO3	I/O Bank电压	1.14V	3.6V
VCCIO1/VCCIO2	I/O Bank电压, VCCIO1/VCCIO2内部短接在一起	1.14V	3.6V
注! epad强烈推荐接地, 但epad非必须接地。			
GW1N-1 QN48 封装电源供电要求			
名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCIO0、VCCIO1、VCCIO2	I/O Bank电压	1.14V	3.6V
注! epad强烈推荐接地, 但epad非必须接地。			
GW1N-1 LQ100 封装电源供电要求			
名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCIO0、VCCIO1、VCCIO2、VCCIO3	I/O Bank电压	1.14V	3.6V
GW1N-1 LQ144 封装电源供电要求			
名称	描述	最小值	最大值
VCC	核电压	1.14V	1.26V
VCCIO0、VCCIO1、VCCIO2、VCCIO3	I/O Bank电压	1.14V	3.6V