



GW5AS 系列 FPGA 产品 封装与管脚手册

UG1106-1.0.3, 2024-07-05

版权所有 © 2024 广东高云半导体科技股份有限公司

 GOWIN高云、Gowin、晨熙、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2023/09/28	1.0	初始版本。
2023/11/30	1.0.1	新增 GW5AS-25 器件 UG256 封装信息。
2024/02/02	1.0.2	● 更新“2.5 I/O BANK 说明”。 ● 更新 GW5AS-138 器件的 IO 数目。 ● 新增“表 2-3 GW5AS-138 器件管脚数目列表”的注释。
2024/07/05	1.0.3	更新电源管脚名称。

目录

- 目录 i
- 图目录 ii
- 表目录 iii
- 1 关于本手册 1**
 - 1.1 手册内容 1
 - 1.2 相关文档 1
 - 1.3 术语、缩略语 1
 - 1.4 技术支持与反馈 2
- 2 概述 3**
 - 2.1 无铅封装 3
 - 2.2 封装和最大用户 I/O 信息 3
 - 2.3 电源管脚 3
 - 2.4 管脚数目 4
 - 2.4.1 GW5AS-138 器件管脚数目 4
 - 2.4.2 GW5AS-25 器件管脚数目 5
 - 2.5 I/O BANK 说明 6
- 3 管脚分布示意图 7**
 - 3.1 GW5AS-138 器件管脚分布示意图 7
 - 3.1.1 UG324A 管脚分布示意图 7
 - 3.2 GW5AS-25 器件管脚分布示意图 8
 - 3.2.1 UG256 管脚分布示意图 8
- 4 封装尺寸 10**
 - 4.1 封装尺寸 UG324A (15mm x 15mm, GW5AS-138) 10
 - 4.2 封装尺寸 U256 (14mm x 14mm, GW5AS-25) 12

图目录

图 3-1 GW5AS-138 器件 UG324A 封装管脚分布示意图（顶视图）	7
图 3-2 GW5AS-25 器件 UG256 封装管脚分布示意图（顶视图）	8
图 4-1 封装尺寸 UG324A	10
图 4-2 推荐 PCB Layout UG324A	11
图 4-3 封装尺寸 UG256.....	12
图 4-4 推荐 PCB Layout UG256.....	13

表目录

表 1-1 术语、缩略语	1
表 2-1 封装和最大用户 I/O 信息、LVDS 对数	3
表 2-2 GW5AS 系列电源管脚	3
表 2-3 GW5AS-138 器件管脚数目列表	4
表 2-4 GW5AS-25 器件管脚数目列表	5
表 3-1 GW5AS-138 器件 UG324A 其他管脚	8
表 3-2 GW5AS-25 器件 UG256 其他管脚	9

1 关于本手册

1.1 手册内容

GW5AS 系列 FPGA 产品封装与管脚手册主要包括高云半导体 GW5AS 系列 FPGA 产品的封装介绍、管脚定义说明、管脚数目列表、管脚分布示意图以及封装尺寸图。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com 可以下载、查看以下相关文档：

- [DS981, Arora V 138K & 75K FPGA 产品数据手册](#)
- [DS1103, Arora V 25K FPGA 产品数据手册](#)
- [UG1107, GW5AS-138 器件 Pinout 手册](#)
- [DS1105, GW5AS-25 器件数据手册](#)
- [UG1115, GW5AS-25 器件 Pinout 手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable IO	高云可编程通用管脚
UG	UBGA	UBGA 封装

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址： www.gowinsemi.com

E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

高云半导体 GW5AS-138 器件是高云半导体晨熙®家族第五代产品，内部资源丰富，具有全新构架且支持 AI 运算的高性能 DSP，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，同时集成硬核处理器 RiscV AE350_SOC、自主研发的 DDR3，提供多种管脚封装形式，适用于低功耗、高性能及兼容性设计等应用场合。

高云半导体同时提供面向市场自主研发的新一代 FPGA 硬件开发环境，支持 GW5AS 系列 FPGA 产品，能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

2.1 无铅封装

GW5AS 系列 FPGA 产品采用无铅工艺封装，绿色环保，符合欧盟的 RoHS 指令。GW5AS 系列 FPGA 产品物质成分信息符合 IPC-1752 标准文件。

2.2 封装和最大用户 I/O 信息

表 2-1 封装和最大用户 I/O 信息、LVDS 对数

封装	间距(mm)	尺寸(mm)	E-pad 尺寸(mm)	GW5AS-25	GW5AS-138
UG324A	0.8	15 x 15	-	-	221 (106)
UG256	0.8	14 x 14	-	144 (68)	-

注！

本手册中 GW5AS 系列 FPGA 产品封装命名采用缩写的方式，详细信息请参考 [1.3 术语、缩略语](#)。

2.3 电源管脚

表 2-2 GW5AS 系列电源管脚

VCCIO0	VCCIO1	VCCIO2	VCCIO3
VCCIO4	VCCIO5	VCCIO6	VCCIO7
VCCIO10	VCC	VCCX	VSS

V_EFUSE	VDD12_MIPi	VDDX_MIPi	VDDX_MIPi
VCC_LDO	-	-	-

2.4 管脚数目

2.4.1 GW5AS-138 器件管脚数目

表 2-3 GW5AS-138 器件管脚数目列表

管脚类型		GW5AS-138
		UG324A
I/O 单端/差分对/LVDS ^[1]	BANK0	0/0/0
	BANK1	0/0/0
	BANK2	50/24/24
	BANK3	0/0/0
	BANK4	50/24/24
	BANK5	50/24/24
	BANK6	50/24/24
	BANK7	10/4/4
	BANK10	12/6/6
	BANK11	0/0/0
最大用户 I/O 总数 ^[2]		221
差分对		106
True LVDS 输出		106
VCCIO2		6
VCCIO4		6
VCCIO5		6
VCCIO6		6
VCCIO7		1
VCC		14
VCC_LDO		1
VCCIO10		1
VCCX/VDDX_MIPi		4
VSS		48
MODE0		1
MODE1		1
MODE2		1
NC		5

注！

- ^[1]单端/差分 I/O 的数目包含 CLK 管脚、下载管脚。
- ^[2] RECONFIG_N 不能复用为 I/O。

2.4.2 GW5AS-25 器件管脚数目

表 2-4 GW5AS-25 器件管脚数目列表

管脚类型		GW5AS-25
		UG256
I/O 单端 / 差分对 /LVDS ^[1]	BANK0	1/0/0
	BANK1	8/4/4
	BANK2	19/9/9
	BANK3	28/14/14
	BANK4	35/17/17
	BANK5	27/13/13
	BANK6	12/6/6
	BANK7	10/5/5
	BANK10	4/2/0
	BANK11	0/0/0
最大用户 I/O 总数		144
差分对		70
True LVDS 输出		68
VCCIO0/VCCIO1/VCCIO10/VCCIO2/VCCIO6/VCCIO7		3
VCCIO3/VCCIO4		2
VCCIO5		2
VDDX_MIPi/VCCX		1
VCC		9
VCC_LDO		1
V_EFUSE		1
VSS		23
MODE0		1
MODE1		1
MODE2		1
NC		0
MCU		30

注！

^[1]单端/差分 I/O 的数目包含 CLK 管脚、下载管脚。

2.5 I/O BANK 说明

GW5AS-25 的 I/O 包括 8 个 GPIO Bank，此外 Bank10 为 JTAG Bank，Bank11 为 Reserved Bank。

详细的 Bank 分布示意图请参考 [DS1103, Arora V 25K FPGA 产品数据手册>2.3 输入输出模块](#)。

GW5AS-138 的 I/O 包括 6 个 GPIO Bank（Bank2~7）及一个配置用 Bank (Bank 10)。

详细的 Bank 分布示意图请参考 [DS981, Arora V 138K & 75K FPGA 产品数据手册>2.3 输入输出模块](#)。

本手册列举了 GW5AS 系列 FPGA 产品每种封装的管脚分布示意图，详细信息请参考第 3 章管脚分布示意图。GW5AS 系列 FPGA 产品的不同 BANK 用不同颜色区分。

用户 I/O、电源、地使用不同的符号和颜色来区分。GW5AS 系列 FPGA 产品管脚示意图中管脚定义如下所示：

- “” 表示 BANK0 中的 I/O。
- “” 表示 BANK1 中的 I/O。
- “” 表示 BANK2 中的 I/O。
- “” 表示 BANK3 中的 I/O。
- “” 表示 BANK4 中的 I/O。
- “” 表示 BANK5 中的 I/O。
- “” 表示 BANK6 中的 I/O。
- “” 表示 BANK7 中的 I/O。
- “” 表示 BANK10 中的 I/O。
- “” 表示 BANK11 中的 I/O。
- “” 表示 MIPI 和 ADC 中的 DIO。
- “” 表示 VCC、VCCX、VCCIO，填充颜色不变。
- “” 表示 VSS，填充颜色不变。
- “” 表示 NC。

3管脚分布示意图

3.1 GW5AS-138 器件管脚分布示意图

3.1.1 UG324A 管脚分布示意图

图 3-1 GW5AS-138 器件 UG324A 封装管脚分布示意图（顶视图）



表 3-1 GW5AS-138 器件 UG324A 其他管脚

VCCIO2	C13,H18,G15,K14,A17,D16
VCCIO4	N13,U15,T12,P16,L17,V18
VCCIO5	K4,V8,T2,N3,U5P6
VCCIO6	D6,F2,G5,A7,J1,C3
VCCIO7	B10
VCCIO10	R9
VCC/VCC	N7,F8,G7,L7,H8,L11,N9,M10,J11,K8,J7,G9,N11,M8
VCC_LDO	H10
VCCX/VDDX_MIPI/VDDX_MIPI	H12,K12,F12,M12
VSS	A12,A2,B15,B5,C18,C8,D11,D1,E14,E4,F17,F11,F9,F7,G12,G10,G8,H13,H11,H7,H3,J16,J12,J8,J6,K11,K7,L12,L8,L2,M15,M11,M9,M7,M5,N18,N12,N10,N8,P1,R14,R4,T17,T7,U10,V13,H9,V3

3.2 GW5AS-25 器件管脚分布示意图

3.2.1 UG256 管脚分布示意图

图 3-2 GW5AS-25 器件 UG256 封装管脚分布示意图（顶视图）

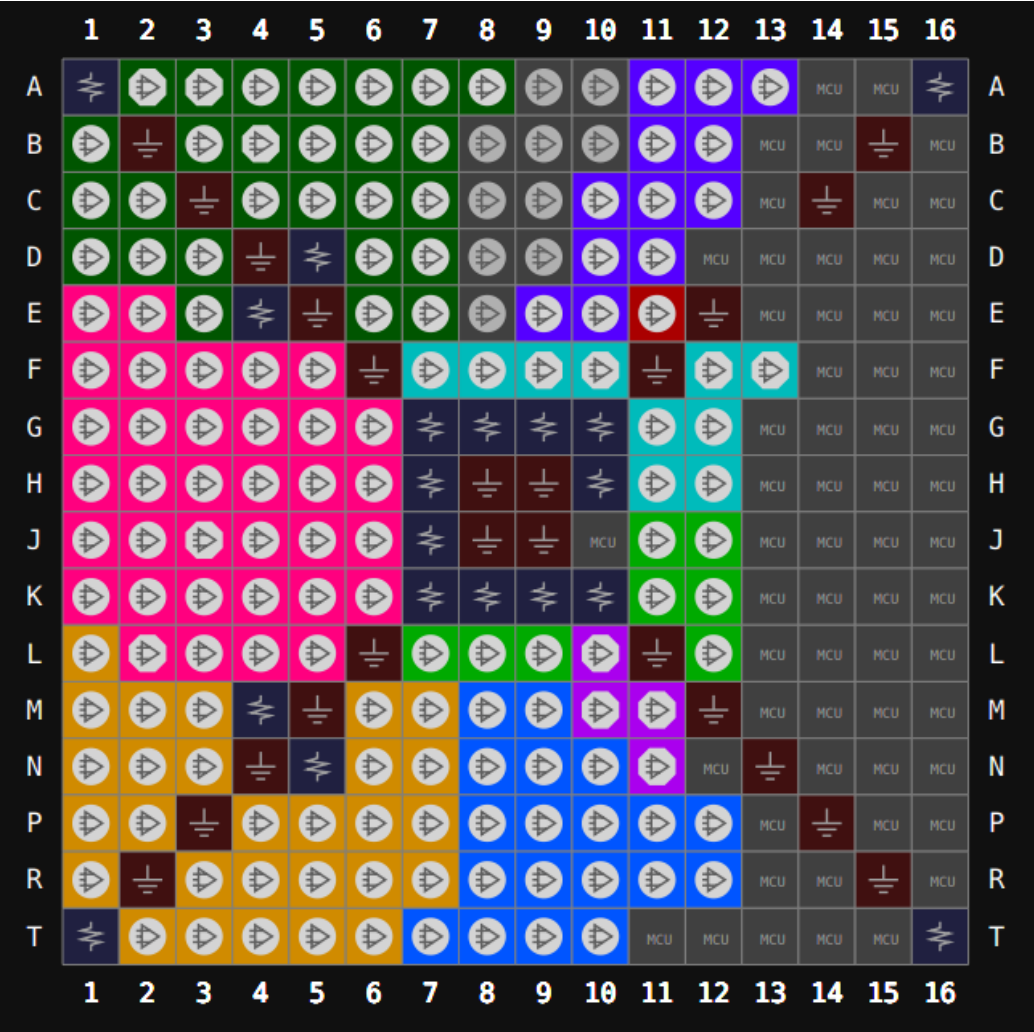


表 3-2 GW5AS-25 器件 UG256 其他管脚

VCCIO0/VCCIO1/VCCIO10/ VCCIO2/VCCIO6/VCCIO7	H10,K9,G9
VCCIO3/VCCIO4	M4,N5
VCCIO5	D5,J7
VDDX_MIPi/VCCX	G8
VCC	G10,A1,G7,T16,T1,K10,K7,A16,E4
VCC_LDO	H7
V_EFUSE	K8
VSS	B15,C3,C14,D4,E5,E12,F6,F11,H8,H9,J8,J9,L6,L11,M5,M12,N4,N13,P3,P14,R2,R15,B2

4封装尺寸

4.1 封装尺寸 UG324A (15mm x 15mm, GW5AS-138)

图 4-1 封装尺寸 UG324A

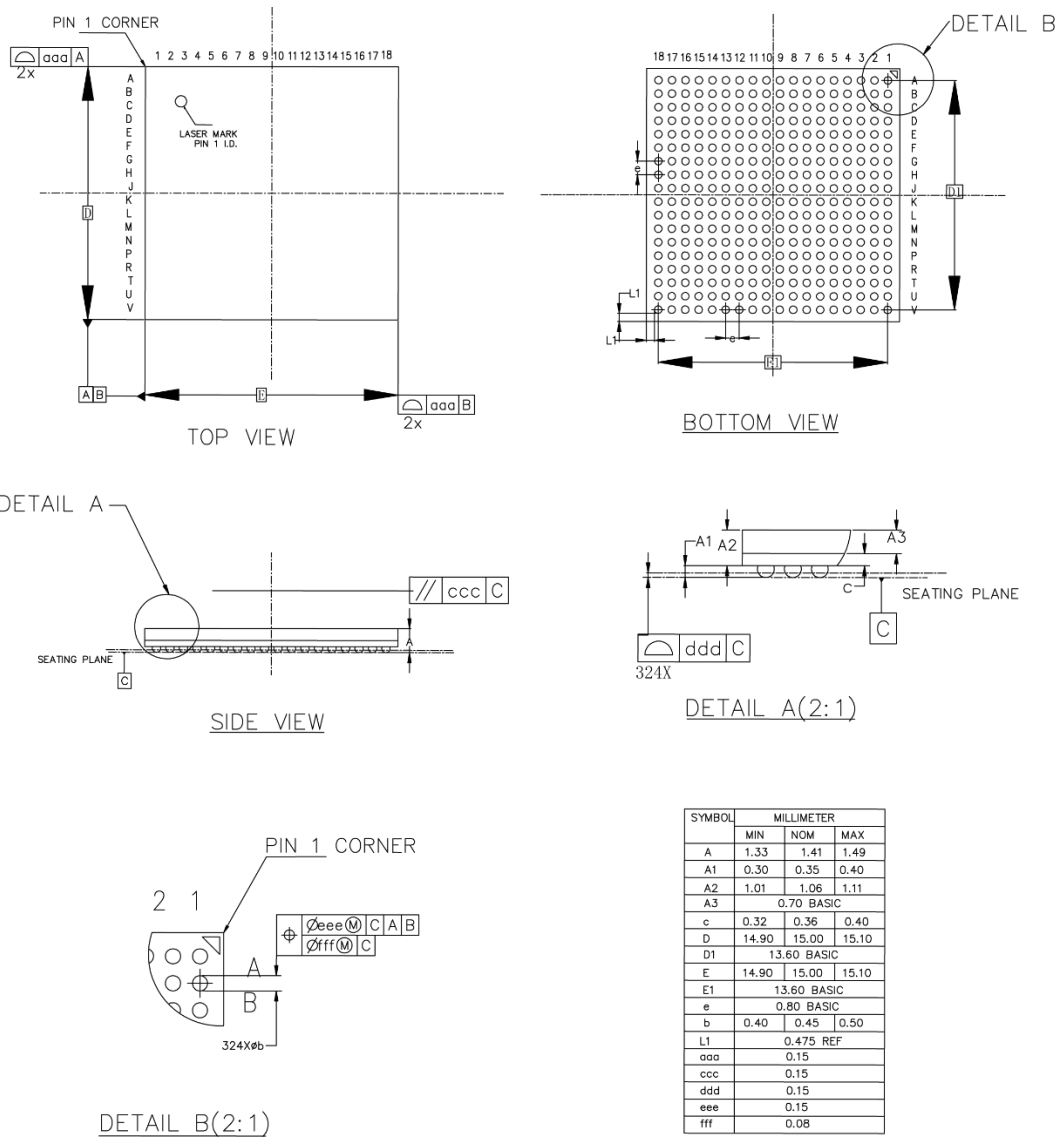
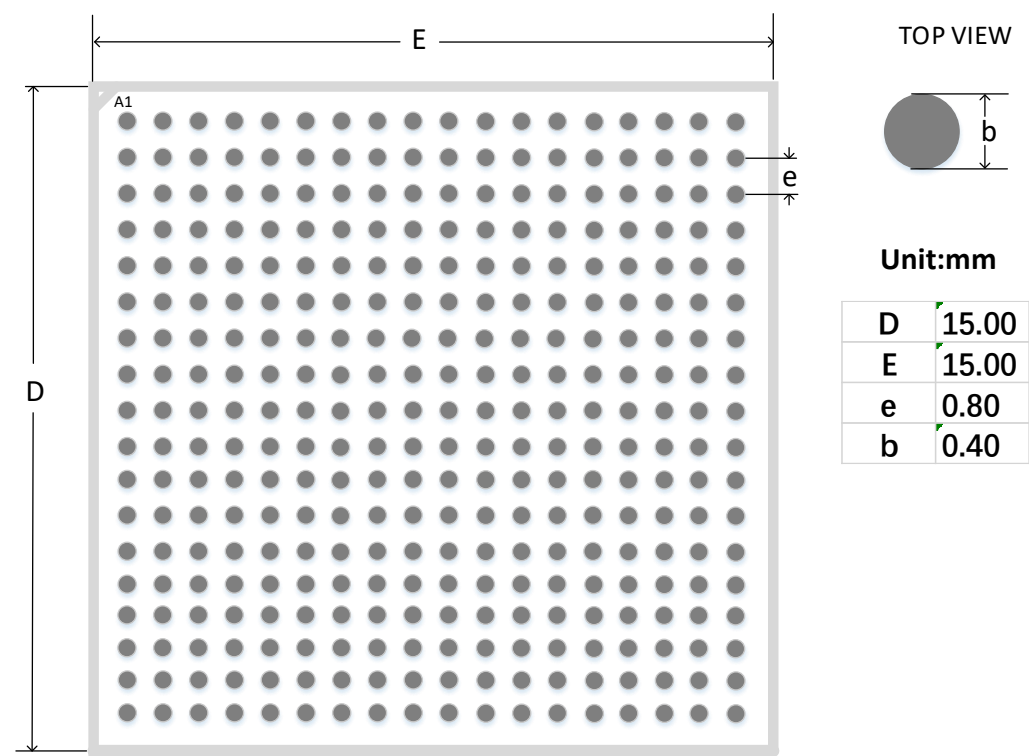
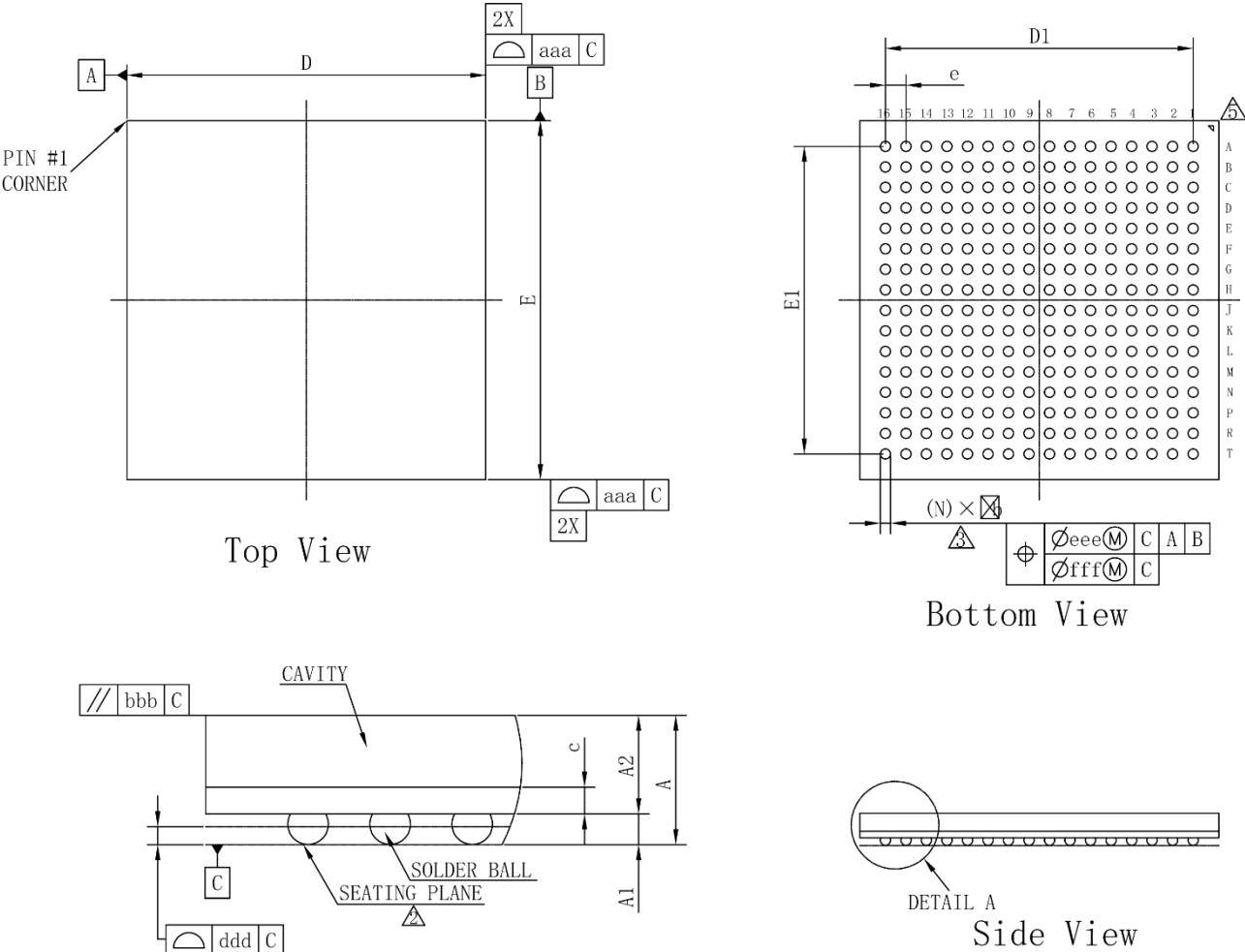


图 4-2 推荐 PCB Layout UG324A



4.2 封装尺寸 U256 (14mm x 14mm, GW5AS-25)

图 4-3 封装尺寸 UG256



symbol	Dimension in mm		
	MIN	NOM	MAX
A	---	---	1.360
A1	0.250	0.300	0.350
A2	0.910	0.960	1.010
c	0.220	0.260	0.300
D	13.900	14.000	14.100
E	13.900	14.000	14.100
D1	---	12.000	---
E1	---	12.000	---
e	---	0.800	---
b	0.350	0.400	0.450
aaa	0.150		
bbb	0.200		
ddd	0.100		
eee	0.150		
fff	0.080		
Ball Diam	0.400		
N	256		
MD/ME	16/16		

图 4-4 推荐 PCB Layout UG256

