

| 日期         | 版本    | 说明                                                                                     |
|------------|-------|----------------------------------------------------------------------------------------|
| 2023/9/8   | 1.0   | 初始版本，支持UG256P封装。                                                                       |
| 2023/11/10 | 1.0.1 | 更新TrueLVDS页的X16信息。<br>删除MCKTEST、ADCINCLK、ADCOTEST管脚的配置信息。                              |
| 2023/12/7  | 1.0.2 | 优化Pin Definitions页的管脚描述。<br>更新UG256P封装所有管脚和电源信息。                                       |
| 2023/12/14 | 1.0.3 | 优化Pin Definitions页的管脚方向描述。                                                             |
| 2024/2/2   | 1.0.4 | 删除X16信息。<br>更新Pin Definitions页中VCC_REG管脚的注释。                                           |
| 2024/4/18  | 1.0.5 | 更新Power页中VCC的电压最大值。                                                                    |
| 2024/5/22  | 1.0.6 | 更新Power页中VCCX的电压最大值。<br>优化Pin Definitions页中MIPI D-PHY的管脚定义描述。<br>删除UG256P封装的SDA和SCL管脚。 |
| 2024/6/7   | 1.0.7 | 更新Power页中VCCIO的电压最小值。                                                                  |
| 2024/7/5   | 1.0.8 | 优化Power页。<br>更新电源管脚名称及说明。                                                              |
| 2025/2/7   | 1.0.9 | 优化Power页。<br>新增Pin List页和TrueLVDS页中GCLKT_[x]A/GCLKT_[x]B/GCLKC_[x]A/GCLKC_[x]B管脚注释。    |
| 2025/3/7   | 1.1   | 更新电源管脚名称。<br>新增Pin Definitions页中ADCINCLK管脚定义。                                          |
| 2026/6/20  | 1.1.1 | 更新Power页中VCCLDO的电压描述。<br>新增Pin Definitions页中DQS/DQ管脚定义。                                |

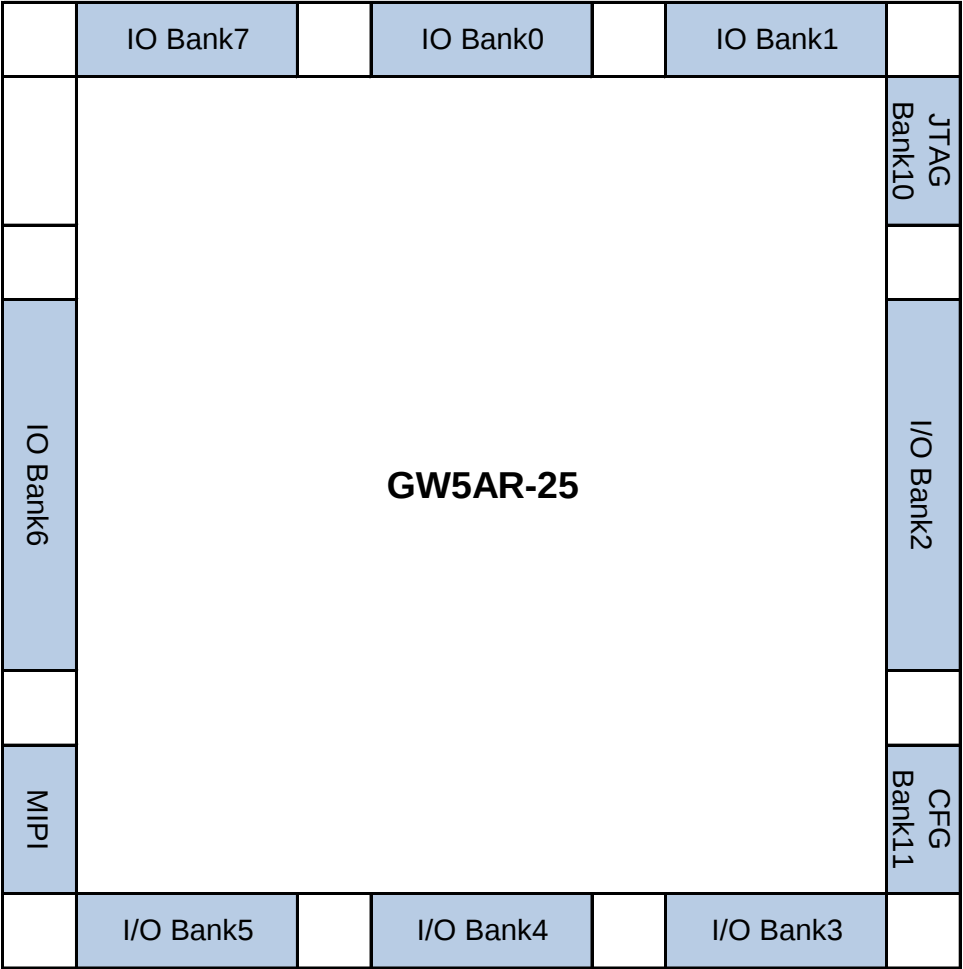
| 管脚名称                                 | 方向                                        | 说明                                                                                                                         |
|--------------------------------------|-------------------------------------------|----------------------------------------------------------------------------------------------------------------------------|
| 用户I/O管脚                              |                                           |                                                                                                                            |
| IO [End][Row/Column Number][A/B]     | I/O/LVDS                                  | [End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top)                                                                     |
|                                      |                                           | [Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数 |
|                                      |                                           | [A/B]提供差分信号对信息                                                                                                             |
|                                      |                                           | 方向为LVDS时表示该管脚只支持真LVDS输出                                                                                                    |
| [pin]_[End][Row/Column Number][A/B]  | I/O                                       | [pin]管脚名称，其他信息同上                                                                                                           |
|                                      |                                           | 有封装管脚的短接IO，按数字大小排序，第一个IO使用管脚的名称，其他短接的使用管脚名称和去掉IO字符位置信息拼接，如IOR1A/IOB14A短接，管脚名为C1，则IOR1A对应C1，IOB14A对应C1_B14A                 |
| 多功能管脚                                |                                           |                                                                                                                            |
| IO [End][Row/Column Number][A/B]/MMM |                                           | 多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外的一种或多种功能。当这些功能不使用的时<br>候，这些管脚可以用作用户I/O                                                        |
| D00~D07                              | I/O，内部弱上拉                                 | CPU模式：数据输入输出端口D00~D07                                                                                                      |
| D08~D15                              | I                                         | CPU模式：数据输入端口D08~D15                                                                                                        |
| MI0                                  | I/O，内部弱上拉                                 | MSPI模式：串行指令和地址输出，以及X2，X4模式下的并行数据bit0的输入管脚，连接外部Flash器件的DQ0/D/SI/IO0管脚                                                       |
| MI1                                  | I/O，内部弱上拉                                 | MSPI模式: X1模式下串行数据输入, X2, X4模式下并行数据bit1的输入管脚, 连接外部Flash器件的DQ1/Q/SO/IO1管脚                                                    |
| MI2                                  | I/O，内部弱上拉                                 | MSPI模式：X4模式下并行数据bit2的输入管脚, 分别连接外部Flash器件的DQ2/W#/WP#/IO2管脚                                                                  |
| MI3                                  | I/O，内部弱上拉                                 | MSPI模式：X4模式下并行数据bit3的输入管脚, 分别连接外部Flash器件的DQ3/HOLD#/IO3管脚                                                                   |
| CCLK                                 | I/O，内部弱上拉                                 | 配置时钟<br>Slave模式：CCLK为输入，需要连接外部时钟源<br>Master模式：CCLK为输出                                                                      |
| EMCCLK                               | I，内部弱上拉                                   | 外部输入时钟信号<br>Master模式：EMCCLK用作FPGA配置逻辑，以及输出CCLK的时钟源<br>Slave模式：EMCCLK对slave模式没有关联                                           |
| MOSI                                 | I/O，内部弱上拉                                 | MSPI模式：串行指令和地址输出，以及X2，X4模式下的并行数据bit0的输入管脚，连接外部Flash器件的DQ0/D/SI/IO0管脚                                                       |
| MISO                                 | I/O，内部弱上拉                                 | MSPI模式: X1模式下串行数据输入, X2, X4模式下并行数据bit1的输入管脚, 连接外部Flash器件的DQ1/Q/SO/IO1管脚                                                    |
| MCS_N                                | O，<br>MODE[1:0]: 内部弱上拉<br>MODE[2:0]: None | MSPI模式：使能信号MCS_N，低电平有效                                                                                                     |

| 管脚名称      | 方向                                        | 说明                                                                                                                                                                                                              |
|-----------|-------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| SO        | O, 内部弱上拉                                  | SSPI模式下SO                                                                                                                                                                                                       |
| SI        | I, 内部弱上拉                                  | SSPI模式下SI                                                                                                                                                                                                       |
| SSIO      | I, 内部弱上拉                                  | QSSPI配置模式: 数据输入管脚                                                                                                                                                                                               |
| SSI1      | I, 内部弱上拉                                  | QSSPI配置模式: 数据输入管脚                                                                                                                                                                                               |
| SSI2      | I,<br>MODE[1:0]: 内部弱上拉<br>MODE[2:0]: None | QSSPI配置模式: 数据输入管脚                                                                                                                                                                                               |
| SSI3      | I, 内部弱上拉                                  | QSSPI配置模式: 数据输入管脚                                                                                                                                                                                               |
| SSPI_CLK  | I, 内部弱上拉                                  | SSPI/QSSPI配置模式: 时钟输入管脚                                                                                                                                                                                          |
| SSPI_CS_N | I, 内部弱上拉                                  | SSPI模式: 使能信号SSPI_CS_N, 低电平有效, 内部弱上拉                                                                                                                                                                             |
| SSPI_WPN  | I,<br>MODE[1:0]: 内部弱上拉<br>MODE[2:0]: None | QSSPI配置模式: 数据输入管脚                                                                                                                                                                                               |
| CLKHOLD_N | I, 内部弱下拉                                  | 在SSPI模式下, 低电平有效                                                                                                                                                                                                 |
| CSI_B     | I, 内部弱上拉                                  | CPU模式: 片选信号低有效<br>Master CPU模式: 连接外部配置controller的片选信号, 也可以直接接地或者串接1KΩ电阻接地<br>Slave CPU模式: 外部配置controller可以通过控制CSI_B信号选择FPGA<br>Master和Slave模式都是由外部controller 发出, 其他模式CSI_B信号没有关联                                |
| CSO_B     | O, 内部弱上拉                                  | 在FPGA级联配置模式(Daisy Chain)用于连接下一级器件<br>SERIAL模式: 输出下一级器件的配置数据<br>Master SPI模式: 输出下一级器件的配置数据<br>CPU模式: 输出下一级器件的片选信号                                                                                                |
| PUDC_B    | I, 内部弱下拉                                  | 配置过程中的弱上拉选择信号管脚:<br>FPGA上电后在配置过程中低电平有效使能内部弱上拉电阻<br>PUDC_B低电平: 除PUDC_B外所有的GPIO 弱上拉<br>PUDC_B高电平: 所有GPIO 高阻<br>PUDC_B不允许在配置过程中悬空                                                                                  |
| RDWR_B    | I, 内部弱下拉                                  | CPU模式: 数据读写控制信号<br>RDWR为高电平时, FPGA输出数据; 为低电平时, 外部控制器将数据写入FPGA<br>Master CPU模式: 可以接外部控制器RDWR信号, 也可以直接或者串接≤1kΩ电阻器连接到GND。<br>Slave CPU模式: 外部控制器RDWR信号<br>CPU模式的低8位专用IO在wakeup后会受RDWR状态影响, CPU模式低8位设置复用fuse不受RDWR影响 |
| GCLKC_[x] | I                                         | GCLKT_[x]的差分对比输入管脚, C(Comp), [x]是时钟序号                                                                                                                                                                           |
| GCLKT_[x] | I                                         | 全局时钟输入管脚, T(True), [x]时钟序号                                                                                                                                                                                      |

| 管脚名称                                    | 方向         | 说明                                                                                                                        |
|-----------------------------------------|------------|---------------------------------------------------------------------------------------------------------------------------|
| GCLKT_[x]A/GCLKT_[x]B                   | I          | GCLKT_[x]A: GCLKC_[x]的默认专用管脚, [x]是时钟序号<br>GCLKT_[x]B: 可配置成GCLKC_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号 |
| GCLKC_[x]A/GCLKC_[x]B                   | I          | GCLKC_[x]A: GCLKT_[x]的默认专用管脚, [x]是时钟序号<br>GCLKC_[x]B: 可配置成GCLKT_[x]的专用差分输入管脚, 在对应的A未作为GCLK专用管脚时, 通过配置实现GCLK管脚功能, [x]是时钟序号 |
| DOUT                                    | O          | SERIAL模式: 数据输出                                                                                                            |
| DIN                                     | I, 内部弱上拉   | SERIAL模式: 数据输入                                                                                                            |
| TMS                                     | I, 内部弱上拉   | JTAG模式: 串行模式输入                                                                                                            |
| TCK                                     | I, 内部弱上拉   | JTAG模式: 串行时钟输入                                                                                                            |
| TDO                                     | O, 内部弱上拉   | JTAG模式: 串行数据输出                                                                                                            |
| TDI                                     | I, 内部弱上拉   | JTAG模式: 串行数据输入                                                                                                            |
| RECONFIG_N                              | I, 内部弱上拉   | 全局复位GowinCONFIG逻辑信号, 低电平有效                                                                                                |
| DONE <sup>[1]</sup>                     | O, 内部弱上拉   | 高电平表示成功完成编程配置<br>低电平表示未完成编程配置或编程配置失败                                                                                      |
|                                         | I, 内部弱上拉   | DONE信号为低电平时, 延迟芯片启动, 直到DONE信号为高电平                                                                                         |
| READY <sup>[1]</sup>                    | I/O, 内部弱上拉 | 高电平表示当前可以对器件进行编程配置<br>低电平表示无法对器件进行编程配置                                                                                    |
| LPLL_C_FB/RPLL_C_FB/TPLL_C_FB/BPLL_C_FB | I          | 左边/右边/上边/下边PLL反馈输入管脚, C(Comp)                                                                                             |
| LPLL_T_FB/RPLL_T_FB                     | I          | 左边/右边/上边/下边PLL反馈输入管脚, T(True)                                                                                             |
| LPLL_C_IN/RPLL_C_IN                     | I          | 左边/右边/上边/下边PLL时钟输入管脚, C(Comp)                                                                                             |
| LPLL_T_IN/RPLL_T_IN/TPLL_T_IN/BPLL_T_IN | I          | 左边/右边/上边/下边PLL时钟输入管脚, T(True)                                                                                             |
| MODE2                                   | I, 内部弱上拉   | GowinCONFIG配置模式选择信号端口: 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地                                                 |
| MODE1                                   | I, 内部弱上拉   | GowinCONFIG配置模式选择信号端口: 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地                                                 |
| MODE0                                   | I, 内部弱上拉   | GowinCONFIG配置模式选择信号端口: 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地                                                 |

| 管脚名称         | 方向  | 说明                                                                     |
|--------------|-----|------------------------------------------------------------------------|
| 其他管脚         |     |                                                                        |
| DQ*          | I   | 默认作为DQS*分组内的DQ信号管脚；可通过软件配置，作为DQS*分组内的DQS数据信号管脚。                        |
| DQS*         | I   | 默认作为DQS*分组内的DQS信号管脚；可通过软件配置，作为DQS*分组内的DQ数据信号管脚。                        |
| DQ1/DQS_01   | I   | 默认作为DQS1分组内的DQ数据信号管脚；可通过软件配置，作为DQS0分组内的DQS信号管脚，也可配置为DQS1分组内的DQS信号管脚。   |
| DQ2/DQS_23   | I   | 默认作为DQS2分组内的DQ数据信号管脚；可通过软件配置，作为DQS2分组内的DQS信号管脚，也可配置为DQS3分组内的DQS信号管脚。   |
| DQ5/DQS_45   | I   | 默认作为DQS5分组内的DQ数据信号管脚；可通过软件配置，作为DQS4分组内的DQS信号管脚，也可配置为DQS5分组内的DQS信号管脚。   |
| DQ6/DQS_67   | I   | 默认作为DQS6分组内的DQ数据信号管脚；可通过软件配置，作为DQS6分组内的DQS信号管脚，也可配置为DQS7分组内的DQS信号管脚。   |
| DQ10/DQS_910 | I   | 默认作为DQS10分组内的DQ数据信号管脚；可通过软件配置，作为DQS9分组内的DQS信号管脚，也可配置为DQS10分组内的DQS信号管脚。 |
| VSS          | NA  | Ground管脚                                                               |
| VCC          | NA  | 核电源供电管脚                                                                |
| VCCIO#       | NA  | I/O BANK#的I/O电源供电管脚                                                    |
| VCCX         | NA  | 辅助电源供电管脚                                                               |
| VCCLDO       | NA  | 为PLL和SRAM提供电压的内部LDO模块的电源供电管脚                                           |
| VEFUSE       | NA  | eFuse写操作电源供电管脚                                                         |
| VDD12M       | NA  | MIPI模块LP模式电源供电管脚                                                       |
| VDDXM        | NA  | MIPI模块辅助电源供电管脚                                                         |
| VDDAM        | NA  | MIPI模块内部模拟电路电源供电管脚                                                     |
| VDDDM        | NA  | MIPI模块内部数字电路电源供电管脚                                                     |
| NC           | NA  | 预留未使用                                                                  |
| ADCINCLK     | I   | ADC时钟输入管脚                                                              |
| ADCVN        | DIO | SENSOR差分模拟信号输入管脚                                                       |
| ADCVP        | DIO | SENSOR差分模拟信号输入管脚                                                       |
| M0_CKN       | DIO | MIPI_DPHY的时钟通道差分输入输出管脚                                                 |
| M0_CKP       | DIO | MIPI_DPHY的时钟通道差分输入输出管脚                                                 |
| M0_D0N       | DIO | MIPI_DPHY的数据通道0差分输入输出管脚                                                |
| M0_D0P       | DIO | MIPI_DPHY的数据通道0差分输入输出管脚                                                |
| M0_D1N       | DIO | MIPI_DPHY的数据通道1差分输入输出管脚                                                |
| M0_D1P       | DIO | MIPI_DPHY的数据通道1差分输入输出管脚                                                |

| 管脚名称                                                        | 方向  | 说明                      |
|-------------------------------------------------------------|-----|-------------------------|
| M0_D2N                                                      | DIO | MIPI_DPHY的数据通道2差分输入输出管脚 |
| M0_D2P                                                      | DIO | MIPI_DPHY的数据通道2差分输入输出管脚 |
| M0_D3N                                                      | DIO | MIPI_DPHY的数据通道3差分输入输出管脚 |
| M0_D3P                                                      | DIO | MIPI_DPHY的数据通道3差分输入输出管脚 |
| 注！<br>[1] READY和DONE默认状态为open-drain输出, 内部弱上拉。在配置期间，DONE输出0。 |     |                         |



注！

[1]每个Bank还提供一个独立的参考电压（VREF）。

[2]用户可选择使用IOB内置的VREF源（0.6V、0.75V、0.9V、1.25V、1.5V，以及基于VCCIO的比例电压（36%,50%,64%））。

[3]用户也可选择外部的VREF输入（使用Bank中任意一个IO管脚作为外部VREF输入）。

| 名称                                                                                                                                                          | 描述                                           | 最小值    | 最大值    |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------|--------|--------|
| <b>FPGA Logic</b>                                                                                                                                           |                                              |        |        |
| $V_{CC}$                                                                                                                                                    | 核电压, LV                                      | 0.87V  | 1.03V  |
|                                                                                                                                                             | 核电压, EV                                      | 1.14V  | 1.8V   |
| $V_{CCIO}$                                                                                                                                                  | I/O Bank电源电压                                 | 1.14V  | 3.465V |
| $V_{CCIO1}$                                                                                                                                                 | I/O Bank1电源电压, 与PSRAM接口相连, VCCIO1提供PSRAM工作电压 | 1.71V  | 1.89V  |
| $V_{CCX}$                                                                                                                                                   | 辅助电压                                         | 2.375V | 3.465V |
| $V_{CCLDO}^{[1]}$                                                                                                                                           | 为SRAM提供电压的内部LDO模块的电源电压                       | 1.14V  | 3.3V   |
| $V_{EFUSE}^{[2]}$                                                                                                                                           | eFuse写入所需电压                                  | 1.62V  | 1.98V  |
| <b>MIPI</b>                                                                                                                                                 |                                              |        |        |
| $V_{DDAM}$                                                                                                                                                  | MIPI模块模拟电路供电电压                               | 0.87V  | 1V     |
| $V_{DDDM}$                                                                                                                                                  | MIPI模块数字电路供电电压                               | 0.87V  | 1V     |
| $V_{DDXM}$                                                                                                                                                  | MIPI模块模拟辅助供电电压                               | 2.375V | 3.465V |
| $V_{DD12M}$                                                                                                                                                 | MIPI模块LP模式供电电压                               | 1.14V  | 1.32V  |
| <b>PSRAM</b>                                                                                                                                                |                                              |        |        |
| $V_{DDP}$                                                                                                                                                   | PSRAM供电电压                                    | 1.71V  | 1.89V  |
| $V_{DDQP}$                                                                                                                                                  | PSRAM数据总线的供电电压                               | 1.71V  | 1.89V  |
| <b>注!</b><br><sup>[1]</sup> $V_{CCLDO}$ 电压越大, 功耗越高。<br><sup>[2]</sup> 当不需要写eFuse的时候, 这个电源可以接GND或floating。<br>若某些封装或者PCB上多个电源短接, 需要取所有短接电源范围的交集,同时满足多个电源的需求。 |                                              |        |        |

注！

<sup>[1]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。

GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

| 管脚名称                                                           | 功能  | BANK | DQS  | 配置功能                                    | 差分Pair         | LVDS | UG256P |
|----------------------------------------------------------------|-----|------|------|-----------------------------------------|----------------|------|--------|
| IOB10A/D03/SSPI_CS_N                                           | I/O | 5    | none | D03/SSPI_CS_N                           | True_of_IOB10B | True | D3     |
| IOB10B/D04/SI/SSI0                                             | I/O | 5    | none | D04/SI/SSI0                             | Comp_of_IOB10A | True | D2     |
| IOB12A/GCLKT_10B <sup>[1]</sup> /D07/SSPI_WPN/SSI2/LPLL1_T_IN1 | I/O | 5    | none | GCLKT_10B/D07/SSPI_WPN/SSI2/LPLL1_T_IN1 | True_of_IOB12B | True | E1     |
| IOB12B/GCLKC_10B <sup>[1]</sup> /RDWR_B/LPLL1_C_IN1            | I/O | 5    | none | GCLKC_10B/RDWR_B/LPLL1_C_IN1            | Comp_of_IOB12A | True | D1     |
| IOB14A/SSPI_CLK                                                | I/O | 5    | none | SSPI_CLK                                | True_of_IOB14B | True | F2     |
| IOB14B/CLKHOLD_N/SSI3                                          | I/O | 5    | none | CLKHOLD_N/SSI3                          | Comp_of_IOB14A | True | F1     |
| IOB16A                                                         | I/O | 5    | none |                                         | True_of_IOB16B | True | F5     |
| IOB16B                                                         | I/O | 5    | none |                                         | Comp_of_IOB16A | True | E5     |
| IOB18A                                                         | I/O | 5    | none |                                         | True_of_IOB18B | True | F4     |
| IOB18B                                                         | I/O | 5    | none |                                         | Comp_of_IOB18A | True | F3     |
| IOB1A/RECONFIG_N                                               | I/O | 5    | none | RECONFIG_N                              |                | none | A2     |
| IOB22A                                                         | I/O | 5    | none |                                         | True_of_IOB22B | True | G5     |
| IOB22B                                                         | I/O | 5    | none |                                         | Comp_of_IOB22A | True | H5     |
| IOB24A                                                         | I/O | 5    | none |                                         | True_of_IOB24B | True | G2     |
| IOB24B                                                         | I/O | 5    | none |                                         | Comp_of_IOB24A | True | G1     |
| IOB26A/GCLKT_9B <sup>[1]</sup>                                 | I/O | 5    | none | GCLKT_9B                                | True_of_IOB26B | True | H2     |
| IOB26B/GCLKC_9B <sup>[1]</sup>                                 | I/O | 5    | none | GCLKC_9B                                | Comp_of_IOB26A | True | H1     |
| IOB29A/GCLKT_11A <sup>[1]</sup>                                | I/O | 4    | none | GCLKT_11A                               | True_of_IOB29B | True | H4     |
| IOB29B/GCLKC_11A <sup>[1]</sup>                                | I/O | 4    | none | GCLKC_11A                               | Comp_of_IOB29A | True | H3     |
| IOB2A                                                          | I/O | 5    | none |                                         | True_of_IOB2B  | True | F6     |
| IOB2B                                                          | I/O | 5    | none |                                         | Comp_of_IOB2A  | True | E6     |
| IOB31A/GCLKT_10A <sup>[1]</sup> /D14/BPLL_T_FB0                | I/O | 4    | none | GCLKT_10A/D14/BPLL_T_FB0                | True_of_IOB31B | True | J2     |
| IOB31B/GCLKC_10A <sup>[1]</sup> /D15/BPLL_C_FB0                | I/O | 4    | none | GCLKC_10A/D15/BPLL_C_FB0                | Comp_of_IOB31A | True | J1     |
| IOB33A/GCLKT_9A <sup>[1]</sup> /D13/BPLL_T_IN1                 | I/O | 4    | none | GCLKT_9A/D13/BPLL_T_IN1                 | True_of_IOB33B | True | J4     |
| IOB33B/GCLKC_9A <sup>[1]</sup> /EMCCLK/BPLL_C_IN1              | I/O | 4    | none | GCLKC_9A/EMCCLK/BPLL_C_IN1              | Comp_of_IOB33A | True | J3     |
| IOB35A/GCLKT_8                                                 | I/O | 4    | none | GCLKT_8                                 | True_of_IOB35B | True | K2     |

注！

<sup>[1]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

| 管脚名称                                                | 功能  | BANK | DQS      | 配置功能                         | 差分Pair         | LVDS | UG256P |
|-----------------------------------------------------|-----|------|----------|------------------------------|----------------|------|--------|
| IOB35B/GCLKC_8                                      | I/O | 4    | none     | GCLKC_8                      | Comp_of_IOB35A | True | K1     |
| IOB37A/READY                                        | I/O | 4    | none     | READY                        | True_of_IOB37B | True | L2     |
| IOB37B/MCS_N/CSO_B                                  | I/O | 4    | none     | MCS_N/CSO_B                  | Comp_of_IOB37A | True | L1     |
| IOB4A/D08/LPLL1_T_FB0                               | I/O | 5    | none     | D08/LPLL1_T_FB0              | True_of_IOB4B  | True | C1     |
| IOB4B/D09/LPLL1_C_FB0                               | I/O | 5    | none     | D09/LPLL1_C_FB0              | Comp_of_IOB4A  | True | B1     |
| IOB50A/D11                                          | I/O | 4    | none     | D11                          | True_of_IOB50B | True | M2     |
| IOB50B/D12                                          | I/O | 4    | none     | D12                          | Comp_of_IOB50A | True | M1     |
| IOB52A/MODE1                                        | I/O | 4    | none     | MODE1                        | True_of_IOB52B | True | N2     |
| IOB52B/D10                                          | I/O | 4    | none     | D10                          | Comp_of_IOB52A | True | N1     |
| IOB54A/GCLKT_11B <sup>[1]</sup> /D01/MI2/BPLL_T_FB1 | I/O | 4    | none     | GCLKT_11B/D01/MI2/BPLL_T_FB1 | True_of_IOB54B | True | P2     |
| IOB54B/GCLKC_11B <sup>[1]</sup> /D02/MI3/BPLL_C_FB1 | I/O | 4    | none     | GCLKC_11B/D02/MI3/BPLL_C_FB1 | Comp_of_IOB54A | True | P1     |
| IOB58A/D00/DIN/MISO/MI1                             | I/O | 4    | none     | D00/DIN/MISO/MI1             | True_of_IOB58B | True | N3     |
| IOB58B/MOSI/MI0/CSI_B                               | I/O | 4    | none     | MOSI/MI0/CSI_B               | Comp_of_IOB58A | True | P3     |
| IOB62A/CCLK                                         | I/O | 4    | none     | CCLK                         | True_of_IOB62B | True | L4     |
| IOB62B/MODE0                                        | I/O | 4    | none     | MODE0                        | Comp_of_IOB62A | True | L3     |
| IOB64A/DONE                                         | I/O | 4    | none     | DONE                         |                | none | R1     |
| IOB65A                                              | I/O | 3    | none     |                              | True_of_IOB65B | True | M6     |
| IOB65B/DOUT                                         | I/O | 3    | none     | DOUT                         | Comp_of_IOB65A | True | N5     |
| IOB6A                                               | I/O | 5    | none     |                              | True_of_IOB6B  | True | D5     |
| IOB6B                                               | I/O | 5    | none     |                              | Comp_of_IOB6A  | True | D4     |
| IOB81A                                              | I/O | 3    | DQ4      |                              | True_of_IOB81B | True | J6     |
| IOB81B                                              | I/O | 3    | DQ4      |                              | Comp_of_IOB81A | True | J5     |
| IOB83A                                              | I/O | 3    | DQ4      |                              | True_of_IOB83B | True | K6     |
| IOB83B                                              | I/O | 3    | DQ4      |                              | Comp_of_IOB83A | True | K5     |
| IOB85A                                              | I/O | 3    | DQS4/DQ4 |                              | True_of_IOB85B | True | K8     |
| IOB85B                                              | I/O | 3    | DQS4/DQ4 |                              | Comp_of_IOB85A | True | L8     |
| IOB87A                                              | I/O | 3    | DQ4      |                              | True_of_IOB87B | True | M7     |

注！

<sup>[1]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。

GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

| 管脚名称                           | 功能  | BANK | DQS        | 配置功能               | 差分Pair         | LVDS | UG256P |
|--------------------------------|-----|------|------------|--------------------|----------------|------|--------|
| IOB87B                         | I/O | 3    | DQ4        |                    | Comp_of_IOB87A | True | M8     |
| IOB89A/GCLKT_7/BPLL_T_IN0      | I/O | 3    | DQ4        | GCLKT_7/BPLL_T_IN0 | True_of_IOB89B | True | L6     |
| IOB89B/GCLKC_7/BPLL_C_IN0      | I/O | 3    | DQ4        | GCLKC_7/BPLL_C_IN0 | Comp_of_IOB89A | True | L7     |
| IOB8A/D05/SO/SSI1              | I/O | 5    | none       | D05/SO/SSI1        | True_of_IOB8B  | True | C3     |
| IOB8B/D06                      | I/O | 5    | none       | D06                | Comp_of_IOB8A  | True | C2     |
| IOB91A/GCLKT_6A <sup>[1]</sup> | I/O | 3    | DQ4        | GCLKT_6A           | True_of_IOB91B | True | R3     |
| IOB91B/GCLKC_6A <sup>[1]</sup> | I/O | 3    | DQ4        | GCLKC_6A           | Comp_of_IOB91A | True | R4     |
| IOL12A                         | I/O | 6    | DQ7        |                    | True_of_IOL12B | True | C8     |
| IOL12B                         | I/O | 6    | DQ7        |                    | Comp_of_IOL12A | True | D8     |
| IOL14A/LPLL1_T_IN0             | I/O | 6    | DQ7        | LPLL1_T_IN0        | True_of_IOL14B | True | C6     |
| IOL14B/LPLL1_C_IN0             | I/O | 6    | DQ7        | LPLL1_C_IN0        | Comp_of_IOL14A | True | D6     |
| IOL16A                         | I/O | 6    | DQ6/DQS_67 |                    | True_of_IOL16B | True | B13    |
| IOL16B                         | I/O | 6    | DQ6/DQS_67 |                    | Comp_of_IOL16A | True | A13    |
| IOL18A                         | I/O | 6    | DQ6        |                    | True_of_IOL18B | True | B11    |
| IOL18B                         | I/O | 6    | DQ6        |                    | Comp_of_IOL18A | True | B12    |
| IOL21A                         | I/O | 6    | DQS6/DQ6   |                    | True_of_IOL21B | True | A11    |
| IOL21B                         | I/O | 6    | DQS6/DQ6   |                    | Comp_of_IOL21A | True | A12    |
| IOL23A                         | I/O | 6    | DQ6        |                    | True_of_IOL23B | True | B10    |
| IOL23B                         | I/O | 6    | DQ6        |                    | Comp_of_IOL23A | True | A10    |
| IOL25A                         | I/O | 6    | DQ6        |                    | True_of_IOL25B | True | B9     |
| IOL25B                         | I/O | 6    | DQ6        |                    | Comp_of_IOL25A | True | A9     |
| IOL27A                         | I/O | 6    | DQ6        |                    | True_of_IOL27B | True | A8     |
| IOL27B                         | I/O | 6    | DQ6        |                    | Comp_of_IOL27A | True | B8     |
| IOL29A                         | I/O | 6    | none       |                    | True_of_IOL29B | True | E8     |
| IOL29B                         | I/O | 6    | none       |                    | Comp_of_IOL29A | True | F8     |
| IOL31A                         | I/O | 6    | none       |                    | True_of_IOL31B | True | E7     |
| IOL31B                         | I/O | 6    | none       |                    | Comp_of_IOL31A | True | F7     |

注！

[1] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

| 管脚名称                                   | 功能  | BANK | DQS        | 配置功能                             | 差分Pair         | LVDS | UG256P |
|----------------------------------------|-----|------|------------|----------------------------------|----------------|------|--------|
| IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0 | I/O | 6    | DQ7        | GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0 | True_of_IOL3B  | True | A15    |
| IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0 | I/O | 6    | DQ7        | GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0 | Comp_of_IOL3A  | True | B16    |
| IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1 | I/O | 6    | DQ7        | GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1 | True_of_IOL5B  | True | B14    |
| IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1 | I/O | 6    | DQ7        | GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1 | Comp_of_IOL5A  | True | A14    |
| IOL7A                                  | I/O | 6    | DQ7        |                                  | True_of_IOL7B  | True | D11    |
| IOL7B                                  | I/O | 6    | DQ7        |                                  | Comp_of_IOL7A  | True | C11    |
| IOL9A                                  | I/O | 6    | DQS7/DQ7   |                                  | True_of_IOL9B  | True | C9     |
| IOL9B                                  | I/O | 6    | DQS7/DQ7   |                                  | Comp_of_IOL9A  | True | D9     |
| IOR12A                                 | I/O | 2    | DQS2/DQ2   |                                  | True_of_IOR12B | True | T10    |
| IOR12B/ADCINCLK                        | I/O | 2    | DQS2/DQ2   | ADCINCLK                         | Comp_of_IOR12A | True | T11    |
| IOR14A                                 | I/O | 2    | DQ2        |                                  | True_of_IOR14B | True | R9     |
| IOR14B                                 | I/O | 2    | DQ2        |                                  | Comp_of_IOR14A | True | R10    |
| IOR16A                                 | I/O | 2    | DQ2        |                                  | True_of_IOR16B | True | T9     |
| IOR16B                                 | I/O | 2    | DQ2        |                                  | Comp_of_IOR16A | True | T8     |
| IOR18A                                 | I/O | 2    | DQ2/DQS_23 |                                  | True_of_IOR18B | True | N9     |
| IOR18B                                 | I/O | 2    | DQ2/DQS_23 |                                  | Comp_of_IOR18A | True | P9     |
| IOR1A/TCK                              | I/O | 10   | none       | TCK                              |                | none | R13    |
| IOR1B/TDI                              | I/O | 10   | none       | TDI                              |                | none | R14    |
| IOR20A                                 | I/O | 2    | DQ3        |                                  | True_of_IOR20B | True | N8     |
| IOR20B                                 | I/O | 2    | DQ3        |                                  | Comp_of_IOR20A | True | P8     |
| IOR22A                                 | I/O | 2    | DQ3        |                                  | True_of_IOR22B | True | R8     |
| IOR22B                                 | I/O | 2    | DQ3        |                                  | Comp_of_IOR22A | True | R7     |
| IOR24A                                 | I/O | 2    | DQ3        |                                  | True_of_IOR24B | True | N6     |
| IOR24B                                 | I/O | 2    | DQ3        |                                  | Comp_of_IOR24A | True | P6     |

注！

[1] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

| 管脚名称                                   | 功能  | BANK | DQS      | 配置功能                            | 差分Pair         | LVDS | UG256P |
|----------------------------------------|-----|------|----------|---------------------------------|----------------|------|--------|
| IOR26A                                 | I/O | 2    | DQS3/DQ3 |                                 | True_of_IOR26B | True | T7     |
| IOR26B                                 | I/O | 2    | DQS3/DQ3 |                                 | Comp_of_IOR26A | True | T6     |
| IOR29A                                 | I/O | 2    | DQ3      |                                 | True_of_IOR29B | True | R6     |
| IOR29B                                 | I/O | 2    | DQ3      |                                 | Comp_of_IOR29A | True | R5     |
| IOR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1 | I/O | 2    | DQ3      | GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1 | True_of_IOR31B | True | T5     |
| IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1 | I/O | 2    | DQ3      | GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1 | Comp_of_IOR31A | True | T4     |
| IOR33A/GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0 | I/O | 2    | none     | GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0 | True_of_IOR33B | True | T3     |
| IOR33B/GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0 | I/O | 2    | none     | GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0 | Comp_of_IOR33A | True | T2     |
| IOR3A/TMS                              | I/O | 10   | none     | TMS                             |                | none | T14    |
| IOR3B/TDO                              | I/O | 10   | none     | TDO                             |                | none | T15    |
| IOR5A                                  | I/O | 2    | none     |                                 | True_of_IOR5B  | True | N11    |
| IOR5B                                  | I/O | 2    | none     |                                 | Comp_of_IOR5A  | True | P11    |
| IOR7A                                  | I/O | 2    | DQ2      |                                 | True_of_IOR7B  | True | T12    |
| IOR7B                                  | I/O | 2    | DQ2      |                                 | Comp_of_IOR7A  | True | T13    |
| IOR9A                                  | I/O | 2    | DQ2      |                                 | True_of_IOR9B  | True | R11    |
| IOR9B                                  | I/O | 2    | DQ2      |                                 | Comp_of_IOR9A  | True | R12    |
| IOT11A                                 | I/O | 7    | none     |                                 | True_of_IOT11B | True | D14    |
| IOT11B                                 | I/O | 7    | none     |                                 | Comp_of_IOT11A | True | C14    |
| IOT13A                                 | I/O | 7    | none     |                                 | True_of_IOT13B | True | G11    |
| IOT13B                                 | I/O | 7    | none     |                                 | Comp_of_IOT13A | True | F11    |
| IOT15A                                 | I/O | 7    | none     |                                 | True_of_IOT15B | True | E15    |
| IOT15B                                 | I/O | 7    | none     |                                 | Comp_of_IOT15A | True | E16    |
| IOT17A                                 | I/O | 7    | none     |                                 | True_of_IOT17B | True | F13    |
| IOT17B                                 | I/O | 7    | none     |                                 | Comp_of_IOT17A | True | F14    |

注！

<sup>[1]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。

GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

| 管脚名称                       | 功能  | BANK | DQS  | 配置功能                 | 差分Pair         | LVDS | UG256P |
|----------------------------|-----|------|------|----------------------|----------------|------|--------|
| IOT19A                     | I/O | 7    | none |                      | True_of_IOT19B | True | F15    |
| IOT19B                     | I/O | 7    | none |                      | Comp_of_IOT19A | True | F16    |
| IOT1A/GCLKT_15/LPLL0_T_IN0 | I/O | 7    | none | GCLKT_15/LPLL0_T_IN0 | True_of_IOT1B  | True | C15    |
| IOT1B/GCLKC_15/LPLL0_C_IN0 | I/O | 7    | none | GCLKC_15/LPLL0_C_IN0 | Comp_of_IOT1A  | True | C16    |
| IOT21A                     | I/O | 7    | none |                      | True_of_IOT21B | True | G15    |
| IOT21B                     | I/O | 7    | none |                      | Comp_of_IOT21A | True | G16    |
| IOT23A                     | I/O | 7    | none |                      | True_of_IOT23B | True | H14    |
| IOT23B                     | I/O | 7    | none |                      | Comp_of_IOT23A | True | J14    |
| IOT25A                     | I/O | 7    | none |                      | True_of_IOT25B | True | J15    |
| IOT25B                     | I/O | 7    | none |                      | Comp_of_IOT25A | True | J16    |
| IOT27A                     | I/O | 7    | none |                      | True_of_IOT27B | True | J12    |
| IOT27B                     | I/O | 7    | none |                      | Comp_of_IOT27A | True | J13    |
| IOT29A/PUDC_B              | I/O | 0    | none | PUDC_B               | True_of_IOT29B | True | K15    |
| IOT29B                     | I/O | 0    | none |                      | Comp_of_IOT29A | True | K16    |
| IOT31A                     | I/O | 0    | none |                      | True_of_IOT31B | True | J11    |
| IOT31B                     | I/O | 0    | none |                      | Comp_of_IOT31A | True | K11    |
| IOT33A                     | I/O | 0    | none |                      | True_of_IOT33B | True | K10    |
| IOT33B                     | I/O | 0    | none |                      | Comp_of_IOT33A | True | K9     |
| IOT35A                     | I/O | 0    | none |                      | True_of_IOT35B | True | K12    |
| IOT35B                     | I/O | 0    | none |                      | Comp_of_IOT35A | True | L12    |
| IOT37A                     | I/O | 0    | none |                      | True_of_IOT37B | True | L13    |
| IOT37B                     | I/O | 0    | none |                      | Comp_of_IOT37A | True | L14    |
| IOT39A                     | I/O | 0    | none |                      | True_of_IOT39B | True | L15    |
| IOT39B                     | I/O | 0    | none |                      | Comp_of_IOT39A | True | L16    |
| IOT3A/GCLKT_16             | I/O | 7    | none | GCLKT_16             | True_of_IOT3B  | True | D15    |
| IOT3B/GCLKC_16             | I/O | 7    | none | GCLKC_16             | Comp_of_IOT3A  | True | D16    |
| IOT41A                     | I/O | 0    | none |                      | True_of_IOT41B | True | L10    |
| IOT41B                     | I/O | 0    | none |                      | Comp_of_IOT41A | True | L9     |
| IOT43A                     | I/O | 0    | none |                      | True_of_IOT43B | True | L11    |

注！

[1] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

| 管脚名称                                 | 功能  | BANK | DQS  | 配置功能                          | 差分Pair         | LVDS | UG256P |
|--------------------------------------|-----|------|------|-------------------------------|----------------|------|--------|
| IOT43B                               | I/O | 0    | none |                               | Comp_of_IOT43A | True | M11    |
| IOT45A                               | I/O | 0    | none |                               | True_of_IOT45B | True | M10    |
| IOT45B                               | I/O | 0    | none |                               | Comp_of_IOT45A | True | M9     |
| IOT48A                               | I/O | 0    | none |                               | True_of_IOT48B | True | M12    |
| IOT48B                               | I/O | 0    | none |                               | Comp_of_IOT48A | True | N12    |
| IOT50A                               | I/O | 0    | none |                               | True_of_IOT50B | True | M15    |
| IOT50B                               | I/O | 0    | none |                               | Comp_of_IOT50A | True | M16    |
| IOT52A                               | I/O | 0    | none |                               | True_of_IOT52B | True | N13    |
| IOT52B                               | I/O | 0    | none |                               | Comp_of_IOT52A | True | N14    |
| IOT54A                               | I/O | 0    | none |                               | True_of_IOT54B | True | P14    |
| IOT54B                               | I/O | 0    | none |                               | Comp_of_IOT54A | True | P15    |
| IOT56A/GCLKT_0/TPLL_T_IN1/TPLL_T_FB1 | I/O | 0    | none | GCLKT_0/TPLL_T_IN1/TPLL_T_FB1 | True_of_IOT56B | True | N15    |
| IOT56B/GCLKC_0/TPLL_C_IN1/TPLL_C_FB1 | I/O | 0    | none | GCLKC_0/TPLL_C_IN1/TPLL_C_FB1 | Comp_of_IOT56A | True | N16    |
| IOT58A/GCLKT_1/TPLL_T_IN2/TPLL_T_FB0 | I/O | 0    | none | GCLKT_1/TPLL_T_IN2/TPLL_T_FB0 | True_of_IOT58B | True | P16    |
| IOT58B/GCLKC_1/TPLL_C_IN2/TPLL_C_FB0 | I/O | 0    | none | GCLKC_1/TPLL_C_IN2/TPLL_C_FB0 | Comp_of_IOT58A | True | R16    |
| IOT5A                                | I/O | 7    | none |                               | True_of_IOT5B  | True | E10    |
| IOT5B                                | I/O | 7    | none |                               | Comp_of_IOT5A  | True | F10    |
| IOT7A                                | I/O | 7    | none |                               | True_of_IOT7B  | True | F9     |
| IOT7B                                | I/O | 7    | none |                               | Comp_of_IOT7A  | True | E9     |
| IOT9A                                | I/O | 7    | none |                               | True_of_IOT9B  | True | E11    |
| IOT9B                                | I/O | 7    | none |                               | Comp_of_IOT9A  | True | D12    |
| M0_CKN                               | DIO | MIPI | none |                               |                | none | B5     |
| M0_CKP                               | DIO | MIPI | none |                               |                | none | A5     |
| M0_D0N                               | DIO | MIPI | none |                               |                | none | B7     |
| M0_D0P                               | DIO | MIPI | none |                               |                | none | A7     |

注！

<sup>[1]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。

GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

| 管脚名称                      | 功能    | BANK | DQS  | 配置功能 | 差分Pair | LVDS | UG256P |
|---------------------------|-------|------|------|------|--------|------|--------|
| M0_D1N                    | DIO   | MIPI | none |      |        | none | B6     |
| M0_D1P                    | DIO   | MIPI | none |      |        | none | A6     |
| M0_D2N                    | DIO   | MIPI | none |      |        | none | B4     |
| M0_D2P                    | DIO   | MIPI | none |      |        | none | A4     |
| M0_D3N                    | DIO   | MIPI | none |      |        | none | B3     |
| M0_D3P                    | DIO   | MIPI | none |      |        | none | A3     |
| VDD12M                    | Power | N/A  |      |      |        |      | G9     |
| VDDAM_VDDDM               | Power | N/A  |      |      |        |      | G6     |
| VCCIO10_VCCX_VCCLDO_VDDXM | Power | N/A  |      |      |        |      | L5     |
| VCCIO10_VCCX_VCCLDO_VDDXM | Power | N/A  |      |      |        |      | F12    |
| VCC                       | Power | N/A  |      |      |        |      | D13    |
| VCC                       | Power | N/A  |      |      |        |      | H6     |
| VCC                       | Power | N/A  |      |      |        |      | G10    |
| VCC                       | Power | N/A  |      |      |        |      | G7     |
| VCC                       | Power | N/A  |      |      |        |      | H11    |
| VCC                       | Power | N/A  |      |      |        |      | K7     |
| VCC                       | Power | N/A  |      |      |        |      | G8     |
| VCC                       | Power | N/A  |      |      |        |      | N4     |
| VCCIO0                    | Power | N/A  |      |      |        |      | M14    |
| VCCIO0                    | Power | N/A  |      |      |        |      | K14    |
| VCCIO1                    | Power | N/A  |      |      |        |      | P10    |
| VCCIO1                    | Power | N/A  |      |      |        |      | P13    |
| VCCIO1                    | Power | N/A  |      |      |        |      | T16    |
| VCCIO2                    | Power | N/A  |      |      |        |      | T1     |
| VCCIO2                    | Power | N/A  |      |      |        |      | P4     |
| VCCIO2                    | Power | N/A  |      |      |        |      | P7     |
| VCCIO3                    | Power | N/A  |      |      |        |      | M3     |
| VCCIO3                    | Power | N/A  |      |      |        |      | K3     |

注！  
[1] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

| 管脚名称   | 功能     | BANK | DQS | 配置功能 | 差分Pair | LVDS | UG256P |
|--------|--------|------|-----|------|--------|------|--------|
| VCCIO4 | Power  | N/A  |     |      |        |      | G3     |
| VCCIO4 | Power  | N/A  |     |      |        |      | E3     |
| VCCIO5 | Power  | N/A  |     |      |        |      | A1     |
| VCCIO5 | Power  | N/A  |     |      |        |      | C4     |
| VCCIO5 | Power  | N/A  |     |      |        |      | C7     |
| VCCIO6 | Power  | N/A  |     |      |        |      | C10    |
| VCCIO6 | Power  | N/A  |     |      |        |      | A16    |
| VCCIO6 | Power  | N/A  |     |      |        |      | C13    |
| VCCIO7 | Power  | N/A  |     |      |        |      | E14    |
| VCCIO7 | Power  | N/A  |     |      |        |      | H13    |
| VCCIO7 | Power  | N/A  |     |      |        |      | G14    |
| VCCIO7 | Power  | N/A  |     |      |        |      | H12    |
| VEFUSE | Power  | N/A  |     |      |        |      | M5     |
| VSS    | Ground | N/A  |     |      |        |      | B2     |
| VSS    | Ground | N/A  |     |      |        |      | B15    |
| VSS    | Ground | N/A  |     |      |        |      | C5     |
| VSS    | Ground | N/A  |     |      |        |      | C12    |
| VSS    | Ground | N/A  |     |      |        |      | D7     |
| VSS    | Ground | N/A  |     |      |        |      | D10    |
| VSS    | Ground | N/A  |     |      |        |      | E2     |
| VSS    | Ground | N/A  |     |      |        |      | E4     |
| VSS    | Ground | N/A  |     |      |        |      | E12    |
| VSS    | Ground | N/A  |     |      |        |      | E13    |
| VSS    | Ground | N/A  |     |      |        |      | G4     |
| VSS    | Ground | N/A  |     |      |        |      | G12    |
| VSS    | Ground | N/A  |     |      |        |      | G13    |
| VSS    | Ground | N/A  |     |      |        |      | H7     |
| VSS    | Ground | N/A  |     |      |        |      | H8     |
| VSS    | Ground | N/A  |     |      |        |      | H9     |

| 注！<br>[1] GCLKT_[x]A: GCLKC_[x]的默认专用管脚，[x]是时钟序号。<br>GCLKT_[x]B: 可配置成GCLKC_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。<br>GCLKC_[x]A: GCLKT_[x]的默认专用管脚，[x]是时钟序号。<br>GCLKC_[x]B: 可配置成GCLKT_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。 |        |      |     |      |        |      |        |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------|------|-----|------|--------|------|--------|
| 管脚名称                                                                                                                                                                                                                                                         | 功能     | BANK | DQS | 配置功能 | 差分Pair | LVDS | UG256P |
| VSS                                                                                                                                                                                                                                                          | Ground | N/A  |     |      |        |      | H10    |
| VSS                                                                                                                                                                                                                                                          | Ground | N/A  |     |      |        |      | H15    |
| VSS                                                                                                                                                                                                                                                          | Ground | N/A  |     |      |        |      | H16    |
| VSS                                                                                                                                                                                                                                                          | Ground | N/A  |     |      |        |      | J7     |
| VSS                                                                                                                                                                                                                                                          | Ground | N/A  |     |      |        |      | J8     |
| VSS                                                                                                                                                                                                                                                          | Ground | N/A  |     |      |        |      | J9     |
| VSS                                                                                                                                                                                                                                                          | Ground | N/A  |     |      |        |      | J10    |
| VSS                                                                                                                                                                                                                                                          | Ground | N/A  |     |      |        |      | K4     |
| VSS                                                                                                                                                                                                                                                          | Ground | N/A  |     |      |        |      | K13    |
| VSS                                                                                                                                                                                                                                                          | Ground | N/A  |     |      |        |      | M4     |
| VSS                                                                                                                                                                                                                                                          | Ground | N/A  |     |      |        |      | M13    |
| VSS                                                                                                                                                                                                                                                          | Ground | N/A  |     |      |        |      | N7     |
| VSS                                                                                                                                                                                                                                                          | Ground | N/A  |     |      |        |      | N10    |
| VSS                                                                                                                                                                                                                                                          | Ground | N/A  |     |      |        |      | P5     |
| VSS                                                                                                                                                                                                                                                          | Ground | N/A  |     |      |        |      | P12    |
| VSS                                                                                                                                                                                                                                                          | Ground | N/A  |     |      |        |      | R2     |
| VSS                                                                                                                                                                                                                                                          | Ground | N/A  |     |      |        |      | R15    |

注！

[1] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

| 管脚名称                        | 功能  | BANK | DQS  | 配置功能                 | 差分Pair         | LVDS | UG256P |
|-----------------------------|-----|------|------|----------------------|----------------|------|--------|
| <b>BANK7 True LVDS Pair</b> |     |      |      |                      |                |      |        |
| IOT11A                      | I/O | 7    | none |                      | True_of_IOT11B | True | D14    |
| IOT11B                      | I/O | 7    | none |                      | Comp_of_IOT11A | True | C14    |
| IOT13A                      | I/O | 7    | none |                      | True_of_IOT13B | True | G11    |
| IOT13B                      | I/O | 7    | none |                      | Comp_of_IOT13A | True | F11    |
| IOT15A                      | I/O | 7    | none |                      | True_of_IOT15B | True | E15    |
| IOT15B                      | I/O | 7    | none |                      | Comp_of_IOT15A | True | E16    |
| IOT17A                      | I/O | 7    | none |                      | True_of_IOT17B | True | F13    |
| IOT17B                      | I/O | 7    | none |                      | Comp_of_IOT17A | True | F14    |
| IOT19A                      | I/O | 7    | none |                      | True_of_IOT19B | True | F15    |
| IOT19B                      | I/O | 7    | none |                      | Comp_of_IOT19A | True | F16    |
| IOT1A/GCLKT_15/LPLL0_T_IN0  | I/O | 7    | none | GCLKT_15/LPLL0_T_IN0 | True_of_IOT1B  | True | C15    |
| IOT1B/GCLKC_15/LPLL0_C_IN0  | I/O | 7    | none | GCLKC_15/LPLL0_C_IN0 | Comp_of_IOT1A  | True | C16    |
| IOT21A                      | I/O | 7    | none |                      | True_of_IOT21B | True | G15    |
| IOT21B                      | I/O | 7    | none |                      | Comp_of_IOT21A | True | G16    |
| IOT23A                      | I/O | 7    | none |                      | True_of_IOT23B | True | H14    |
| IOT23B                      | I/O | 7    | none |                      | Comp_of_IOT23A | True | J14    |
| IOT25A                      | I/O | 7    | none |                      | True_of_IOT25B | True | J15    |
| IOT25B                      | I/O | 7    | none |                      | Comp_of_IOT25A | True | J16    |
| IOT27A                      | I/O | 7    | none |                      | True_of_IOT27B | True | J12    |
| IOT27B                      | I/O | 7    | none |                      | Comp_of_IOT27A | True | J13    |
| IOT3A/GCLKT_16              | I/O | 7    | none | GCLKT_16             | True_of_IOT3B  | True | D15    |
| IOT3B/GCLKC_16              | I/O | 7    | none | GCLKC_16             | Comp_of_IOT3A  | True | D16    |
| IOT5A                       | I/O | 7    | none |                      | True_of_IOT5B  | True | E10    |
| IOT5B                       | I/O | 7    | none |                      | Comp_of_IOT5A  | True | F10    |
| IOT7A                       | I/O | 7    | none |                      | True_of_IOT7B  | True | F9     |
| IOT7B                       | I/O | 7    | none |                      | Comp_of_IOT7A  | True | E9     |
| IOT9A                       | I/O | 7    | none |                      | True_of_IOT9B  | True | E11    |
| IOT9B                       | I/O | 7    | none |                      | Comp_of_IOT9A  | True | D12    |

注！

[1] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

| 管脚名称                                   | 功能  | BANK | DQS        | 配置功能                             | 差分Pair         | LVDS | UG256P |
|----------------------------------------|-----|------|------------|----------------------------------|----------------|------|--------|
| <b>BANK6 True LVDS Pair</b>            |     |      |            |                                  |                |      |        |
| IOL12A                                 | I/O | 6    | DQ7        |                                  | True_of_IOL12B | True | C8     |
| IOL12B                                 | I/O | 6    | DQ7        |                                  | Comp_of_IOL12A | True | D8     |
| IOL14A/LPLL1_T_IN0                     | I/O | 6    | DQ7        | LPLL1_T_IN0                      | True_of_IOL14B | True | C6     |
| IOL14B/LPLL1_C_IN0                     | I/O | 6    | DQ7        | LPLL1_C_IN0                      | Comp_of_IOL14A | True | D6     |
| IOL16A                                 | I/O | 6    | DQ6/DQS_67 |                                  | True_of_IOL16B | True | B13    |
| IOL16B                                 | I/O | 6    | DQ6/DQS_67 |                                  | Comp_of_IOL16A | True | A13    |
| IOL18A                                 | I/O | 6    | DQ6        |                                  | True_of_IOL18B | True | B11    |
| IOL18B                                 | I/O | 6    | DQ6        |                                  | Comp_of_IOL18A | True | B12    |
| IOL21A                                 | I/O | 6    | DQS6/DQ6   |                                  | True_of_IOL21B | True | A11    |
| IOL21B                                 | I/O | 6    | DQS6/DQ6   |                                  | Comp_of_IOL21A | True | A12    |
| IOL23A                                 | I/O | 6    | DQ6        |                                  | True_of_IOL23B | True | B10    |
| IOL23B                                 | I/O | 6    | DQ6        |                                  | Comp_of_IOL23A | True | A10    |
| IOL25A                                 | I/O | 6    | DQ6        |                                  | True_of_IOL25B | True | B9     |
| IOL25B                                 | I/O | 6    | DQ6        |                                  | Comp_of_IOL25A | True | A9     |
| IOL27A                                 | I/O | 6    | DQ6        |                                  | True_of_IOL27B | True | A8     |
| IOL27B                                 | I/O | 6    | DQ6        |                                  | Comp_of_IOL27A | True | B8     |
| IOL29A                                 | I/O | 6    | none       |                                  | True_of_IOL29B | True | E8     |
| IOL29B                                 | I/O | 6    | none       |                                  | Comp_of_IOL29A | True | F8     |
| IOL31A                                 | I/O | 6    | none       |                                  | True_of_IOL31B | True | E7     |
| IOL31B                                 | I/O | 6    | none       |                                  | Comp_of_IOL31A | True | F7     |
| IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0 | I/O | 6    | DQ7        | GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0 | True_of_IOL3B  | True | A15    |
| IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0 | I/O | 6    | DQ7        | GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0 | Comp_of_IOL3A  | True | B16    |
| IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1 | I/O | 6    | DQ7        | GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1 | True_of_IOL5B  | True | B14    |

注！

<sup>[1]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。

GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

| 管脚名称                                                           | 功能  | BANK | DQS      | 配置功能                                    | 差分Pair         | LVDS | UG256P |
|----------------------------------------------------------------|-----|------|----------|-----------------------------------------|----------------|------|--------|
| IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1                         | I/O | 6    | DQ7      | GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1        | Comp_of_IOL5A  | True | A14    |
| IOL7A                                                          | I/O | 6    | DQ7      |                                         | True_of_IOL7B  | True | D11    |
| IOL7B                                                          | I/O | 6    | DQ7      |                                         | Comp_of_IOL7A  | True | C11    |
| IOL9A                                                          | I/O | 6    | DQS7/DQ7 |                                         | True_of_IOL9B  | True | C9     |
| IOL9B                                                          | I/O | 6    | DQS7/DQ7 |                                         | Comp_of_IOL9A  | True | D9     |
| <b>BANK5 True LVDS Pair</b>                                    |     |      |          |                                         |                |      |        |
| IOB10A/D03/SSPI_CS_N                                           | I/O | 5    | none     | D03/SSPI_CS_N                           | True_of_IOB10B | True | D3     |
| IOB10B/D04/SI/SSI0                                             | I/O | 5    | none     | D04/SI/SSI0                             | Comp_of_IOB10A | True | D2     |
| IOB12A/GCLKT_10B <sup>[1]</sup> /D07/SSPI_WPN/SSI2/LPLL1_T_IN1 | I/O | 5    | none     | GCLKT_10B/D07/SSPI_WPN/SSI2/LPLL1_T_IN1 | True_of_IOB12B | True | E1     |
| IOB12B/GCLKC_10B <sup>[1]</sup> /RDWR_B/LPLL1_C_IN1            | I/O | 5    | none     | GCLKC_10B/RDWR_B/LPLL1_C_IN1            | Comp_of_IOB12A | True | D1     |
| IOB14A/SSPI_CLK                                                | I/O | 5    | none     | SSPI_CLK                                | True_of_IOB14B | True | F2     |
| IOB14B/CLKHOLD_N/SSI3                                          | I/O | 5    | none     | CLKHOLD_N/SSI3                          | Comp_of_IOB14A | True | F1     |
| IOB16A                                                         | I/O | 5    | none     |                                         | True_of_IOB16B | True | F5     |
| IOB16B                                                         | I/O | 5    | none     |                                         | Comp_of_IOB16A | True | E5     |
| IOB18A                                                         | I/O | 5    | none     |                                         | True_of_IOB18B | True | F4     |
| IOB18B                                                         | I/O | 5    | none     |                                         | Comp_of_IOB18A | True | F3     |
| IOB22A                                                         | I/O | 5    | none     |                                         | True_of_IOB22B | True | G5     |
| IOB22B                                                         | I/O | 5    | none     |                                         | Comp_of_IOB22A | True | H5     |
| IOB24A                                                         | I/O | 5    | none     |                                         | True_of_IOB24B | True | G2     |
| IOB24B                                                         | I/O | 5    | none     |                                         | Comp_of_IOB24A | True | G1     |
| IOB26A/GCLKT_9B <sup>[1]</sup>                                 | I/O | 5    | none     | GCLKT_9B                                | True_of_IOB26B | True | H2     |
| IOB26B/GCLKC_9B <sup>[1]</sup>                                 | I/O | 5    | none     | GCLKC_9B                                | Comp_of_IOB26A | True | H1     |
| IOB2A                                                          | I/O | 5    | none     |                                         | True_of_IOB2B  | True | F6     |
| IOB2B                                                          | I/O | 5    | none     |                                         | Comp_of_IOB2A  | True | E6     |
| IOB4A/D08/LPLL1_T_FB0                                          | I/O | 5    | none     | D08/LPLL1_T_FB0                         | True_of_IOB4B  | True | C1     |

注！

<sup>[1]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

| 管脚名称                                                | 功能  | BANK | DQS  | 配置功能                         | 差分Pair         | LVDS | UG256P |
|-----------------------------------------------------|-----|------|------|------------------------------|----------------|------|--------|
| IOB4B/D09/LPLL1_C_FB0                               | I/O | 5    | none | D09/LPLL1_C_FB0              | Comp_of_IOB4A  | True | B1     |
| IOB6A                                               | I/O | 5    | none |                              | True_of_IOB6B  | True | D5     |
| IOB6B                                               | I/O | 5    | none |                              | Comp_of_IOB6A  | True | D4     |
| IOB8A/D05/SO/SSI1                                   | I/O | 5    | none | D05/SO/SSI1                  | True_of_IOB8B  | True | C3     |
| IOB8B/D06                                           | I/O | 5    | none | D06                          | Comp_of_IOB8A  | True | C2     |
| <b>BANK4 True LVDS Pair</b>                         |     |      |      |                              |                |      |        |
| IOB29A/GCLKT_11A <sup>[1]</sup>                     | I/O | 4    | none | GCLKT_11A                    | True_of_IOB29B | True | H4     |
| IOB29B/GCLKC_11A <sup>[1]</sup>                     | I/O | 4    | none | GCLKC_11A                    | Comp_of_IOB29A | True | H3     |
| IOB31A/GCLKT_10A <sup>[1]</sup> /D14/BPLL_T_FB0     | I/O | 4    | none | GCLKT_10A/D14/BPLL_T_FB0     | True_of_IOB31B | True | J2     |
| IOB31B/GCLKC_10A <sup>[1]</sup> /D15/BPLL_C_FB0     | I/O | 4    | none | GCLKC_10A/D15/BPLL_C_FB0     | Comp_of_IOB31A | True | J1     |
| IOB33A/GCLKT_9A <sup>[1]</sup> /D13/BPLL_T_IN1      | I/O | 4    | none | GCLKT_9A/D13/BPLL_T_IN1      | True_of_IOB33B | True | J4     |
| IOB33B/GCLKC_9A <sup>[1]</sup> /EMCCLK/BPLL_C_IN1   | I/O | 4    | none | GCLKC_9A/EMCCLK/BPLL_C_IN1   | Comp_of_IOB33A | True | J3     |
| IOB35A/GCLKT_8                                      | I/O | 4    | none | GCLKT_8                      | True_of_IOB35B | True | K2     |
| IOB35B/GCLKC_8                                      | I/O | 4    | none | GCLKC_8                      | Comp_of_IOB35A | True | K1     |
| IOB37A/READY                                        | I/O | 4    | none | READY                        | True_of_IOB37B | True | L2     |
| IOB37B/MCS_N/CSO_B                                  | I/O | 4    | none | MCS_N/CSO_B                  | Comp_of_IOB37A | True | L1     |
| IOB50A/D11                                          | I/O | 4    | none | D11                          | True_of_IOB50B | True | M2     |
| IOB50B/D12                                          | I/O | 4    | none | D12                          | Comp_of_IOB50A | True | M1     |
| IOB52A/MODE1                                        | I/O | 4    | none | MODE1                        | True_of_IOB52B | True | N2     |
| IOB52B/D10                                          | I/O | 4    | none | D10                          | Comp_of_IOB52A | True | N1     |
| IOB54A/GCLKT_11B <sup>[1]</sup> /D01/MI2/BPLL_T_FB1 | I/O | 4    | none | GCLKT_11B/D01/MI2/BPLL_T_FB1 | True_of_IOB54B | True | P2     |
| IOB54B/GCLKC_11B <sup>[1]</sup> /D02/MI3/BPLL_C_FB1 | I/O | 4    | none | GCLKC_11B/D02/MI3/BPLL_C_FB1 | Comp_of_IOB54A | True | P1     |

注！

<sup>[1]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

| 管脚名称                           | 功能  | BANK | DQS        | 配置功能               | 差分Pair         | LVDS | UG256P |
|--------------------------------|-----|------|------------|--------------------|----------------|------|--------|
| IOB58A/D00/DIN/MISO/MI1        | I/O | 4    | none       | D00/DIN/MISO/MI1   | True_of_IOB58B | True | N3     |
| IOB58B/MOSI/MI0/CSI_B          | I/O | 4    | none       | MOSI/MI0/CSI_B     | Comp_of_IOB58A | True | P3     |
| IOB62A/CCLK                    | I/O | 4    | none       | CCLK               | True_of_IOB62B | True | L4     |
| IOB62B/MODE0                   | I/O | 4    | none       | MODE0              | Comp_of_IOB62A | True | L3     |
| <b>BANK3 True LVDS Pair</b>    |     |      |            |                    |                |      |        |
| IOB65A                         | I/O | 3    | none       |                    | True_of_IOB65B | True | M6     |
| IOB65B/DOUT                    | I/O | 3    | none       | DOUT               | Comp_of_IOB65A | True | N5     |
| IOB81A                         | I/O | 3    | DQ4        |                    | True_of_IOB81B | True | J6     |
| IOB81B                         | I/O | 3    | DQ4        |                    | Comp_of_IOB81A | True | J5     |
| IOB83A                         | I/O | 3    | DQ4        |                    | True_of_IOB83B | True | K6     |
| IOB83B                         | I/O | 3    | DQ4        |                    | Comp_of_IOB83A | True | K5     |
| IOB85A                         | I/O | 3    | DQS4/DQ4   |                    | True_of_IOB85B | True | K8     |
| IOB85B                         | I/O | 3    | DQS4/DQ4   |                    | Comp_of_IOB85A | True | L8     |
| IOB87A                         | I/O | 3    | DQ4        |                    | True_of_IOB87B | True | M7     |
| IOB87B                         | I/O | 3    | DQ4        |                    | Comp_of_IOB87A | True | M8     |
| IOB89A/GCLKT_7/BPLL_T_IN0      | I/O | 3    | DQ4        | GCLKT_7/BPLL_T_IN0 | True_of_IOB89B | True | L6     |
| IOB89B/GCLKC_7/BPLL_C_IN0      | I/O | 3    | DQ4        | GCLKC_7/BPLL_C_IN0 | Comp_of_IOB89A | True | L7     |
| IOB91A/GCLKT_6A <sup>[1]</sup> | I/O | 3    | DQ4        | GCLKT_6A           | True_of_IOB91B | True | R3     |
| IOB91B/GCLKC_6A <sup>[1]</sup> | I/O | 3    | DQ4        | GCLKC_6A           | Comp_of_IOB91A | True | R4     |
| <b>BANK2 True LVDS Pair</b>    |     |      |            |                    |                |      |        |
| IOR12A                         | I/O | 2    | DQS2/DQ2   |                    | True_of_IOR12B | True | T10    |
| IOR12B/ADCINCLK                | I/O | 2    | DQS2/DQ2   | ADCINCLK           | Comp_of_IOR12A | True | T11    |
| IOR14A                         | I/O | 2    | DQ2        |                    | True_of_IOR14B | True | R9     |
| IOR14B                         | I/O | 2    | DQ2        |                    | Comp_of_IOR14A | True | R10    |
| IOR16A                         | I/O | 2    | DQ2        |                    | True_of_IOR16B | True | T9     |
| IOR16B                         | I/O | 2    | DQ2        |                    | Comp_of_IOR16A | True | T8     |
| IOR18A                         | I/O | 2    | DQ2/DQS_23 |                    | True_of_IOR18B | True | N9     |
| IOR18B                         | I/O | 2    | DQ2/DQS_23 |                    | Comp_of_IOR18A | True | P9     |

注！

<sup>[1]</sup> GCLKT\_<sub>[x]</sub>A: GCLKC\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。

GCLKT\_<sub>[x]</sub>B: 可配置成GCLKC\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>A: GCLKT\_<sub>[x]</sub>的默认专用管脚，<sub>[x]</sub>是时钟序号。

GCLKC\_<sub>[x]</sub>B: 可配置成GCLKT\_<sub>[x]</sub>的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，<sub>[x]</sub>是时钟序号。

| 管脚名称                                   | 功能  | BANK | DQS      | 配置功能                            | 差分Pair         | LVDS | UG256P |
|----------------------------------------|-----|------|----------|---------------------------------|----------------|------|--------|
| IOR20A                                 | I/O | 2    | DQ3      |                                 | True_of_IOR20B | True | N8     |
| IOR20B                                 | I/O | 2    | DQ3      |                                 | Comp_of_IOR20A | True | P8     |
| IOR22A                                 | I/O | 2    | DQ3      |                                 | True_of_IOR22B | True | R8     |
| IOR22B                                 | I/O | 2    | DQ3      |                                 | Comp_of_IOR22A | True | R7     |
| IOR24A                                 | I/O | 2    | DQ3      |                                 | True_of_IOR24B | True | N6     |
| IOR24B                                 | I/O | 2    | DQ3      |                                 | Comp_of_IOR24A | True | P6     |
| IOR26A                                 | I/O | 2    | DQS3/DQ3 |                                 | True_of_IOR26B | True | T7     |
| IOR26B                                 | I/O | 2    | DQS3/DQ3 |                                 | Comp_of_IOR26A | True | T6     |
| IOR29A                                 | I/O | 2    | DQ3      |                                 | True_of_IOR29B | True | R6     |
| IOR29B                                 | I/O | 2    | DQ3      |                                 | Comp_of_IOR29A | True | R5     |
| IOR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1 | I/O | 2    | DQ3      | GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1 | True_of_IOR31B | True | T5     |
| IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1 | I/O | 2    | DQ3      | GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1 | Comp_of_IOR31A | True | T4     |
| IOR33A/GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0 | I/O | 2    | none     | GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0 | True_of_IOR33B | True | T3     |
| IOR33B/GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0 | I/O | 2    | none     | GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0 | Comp_of_IOR33A | True | T2     |
| IOR5A                                  | I/O | 2    | none     |                                 | True_of_IOR5B  | True | N11    |
| IOR5B                                  | I/O | 2    | none     |                                 | Comp_of_IOR5A  | True | P11    |
| IOR7A                                  | I/O | 2    | DQ2      |                                 | True_of_IOR7B  | True | T12    |
| IOR7B                                  | I/O | 2    | DQ2      |                                 | Comp_of_IOR7A  | True | T13    |
| IOR9A                                  | I/O | 2    | DQ2      |                                 | True_of_IOR9B  | True | R11    |
| IOR9B                                  | I/O | 2    | DQ2      |                                 | Comp_of_IOR9A  | True | R12    |

注！

<sup>[1]</sup> GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。

GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。

GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

| 管脚名称                                 | 功能  | BANK | DQS  | 配置功能                          | 差分Pair         | LVDS | UG256P |
|--------------------------------------|-----|------|------|-------------------------------|----------------|------|--------|
| <b>BANK0 True LVDS Pair</b>          |     |      |      |                               |                |      |        |
| IOT29A/PUDC_B                        | I/O | 0    | none | PUDC_B                        | True_of_IOT29B | True | K15    |
| IOT29B                               | I/O | 0    | none |                               | Comp_of_IOT29A | True | K16    |
| IOT31A                               | I/O | 0    | none |                               | True_of_IOT31B | True | J11    |
| IOT31B                               | I/O | 0    | none |                               | Comp_of_IOT31A | True | K11    |
| IOT33A                               | I/O | 0    | none |                               | True_of_IOT33B | True | K10    |
| IOT33B                               | I/O | 0    | none |                               | Comp_of_IOT33A | True | K9     |
| IOT35A                               | I/O | 0    | none |                               | True_of_IOT35B | True | K12    |
| IOT35B                               | I/O | 0    | none |                               | Comp_of_IOT35A | True | L12    |
| IOT37A                               | I/O | 0    | none |                               | True_of_IOT37B | True | L13    |
| IOT37B                               | I/O | 0    | none |                               | Comp_of_IOT37A | True | L14    |
| IOT39A                               | I/O | 0    | none |                               | True_of_IOT39B | True | L15    |
| IOT39B                               | I/O | 0    | none |                               | Comp_of_IOT39A | True | L16    |
| IOT41A                               | I/O | 0    | none |                               | True_of_IOT41B | True | L10    |
| IOT41B                               | I/O | 0    | none |                               | Comp_of_IOT41A | True | L9     |
| IOT43A                               | I/O | 0    | none |                               | True_of_IOT43B | True | L11    |
| IOT43B                               | I/O | 0    | none |                               | Comp_of_IOT43A | True | M11    |
| IOT45A                               | I/O | 0    | none |                               | True_of_IOT45B | True | M10    |
| IOT45B                               | I/O | 0    | none |                               | Comp_of_IOT45A | True | M9     |
| IOT48A                               | I/O | 0    | none |                               | True_of_IOT48B | True | M12    |
| IOT48B                               | I/O | 0    | none |                               | Comp_of_IOT48A | True | N12    |
| IOT50A                               | I/O | 0    | none |                               | True_of_IOT50B | True | M15    |
| IOT50B                               | I/O | 0    | none |                               | Comp_of_IOT50A | True | M16    |
| IOT52A                               | I/O | 0    | none |                               | True_of_IOT52B | True | N13    |
| IOT52B                               | I/O | 0    | none |                               | Comp_of_IOT52A | True | N14    |
| IOT54A                               | I/O | 0    | none |                               | True_of_IOT54B | True | P14    |
| IOT54B                               | I/O | 0    | none |                               | Comp_of_IOT54A | True | P15    |
| IOT56A/GCLKT_0/TPLL_T_IN1/TPLL_T_FB1 | I/O | 0    | none | GCLKT_0/TPLL_T_IN1/TPLL_T_FB1 | True_of_IOT56B | True | N15    |

注！  
[1] GCLKT\_[x]A: GCLKC\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKT\_[x]B: 可配置成GCLKC\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。  
GCLKC\_[x]A: GCLKT\_[x]的默认专用管脚，[x]是时钟序号。  
GCLKC\_[x]B: 可配置成GCLKT\_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

| 管脚名称                                 | 功能  | BANK | DQS  | 配置功能                          | 差分Pair         | LVDS | UG256P |
|--------------------------------------|-----|------|------|-------------------------------|----------------|------|--------|
| IOT56B/GCLKC_0/TPLL_C_IN1/TPLL_C_FB1 | I/O | 0    | none | GCLKC_0/TPLL_C_IN1/TPLL_C_FB1 | Comp_of_IOT56A | True | N16    |
| IOT58A/GCLKT_1/TPLL_T_IN2/TPLL_T_FB0 | I/O | 0    | none | GCLKT_1/TPLL_T_IN2/TPLL_T_FB0 | True_of_IOT58B | True | P16    |
| IOT58B/GCLKC_1/TPLL_C_IN2/TPLL_C_FB0 | I/O | 0    | none | GCLKC_1/TPLL_C_IN2/TPLL_C_FB0 | Comp_of_IOT58A | True | R16    |