

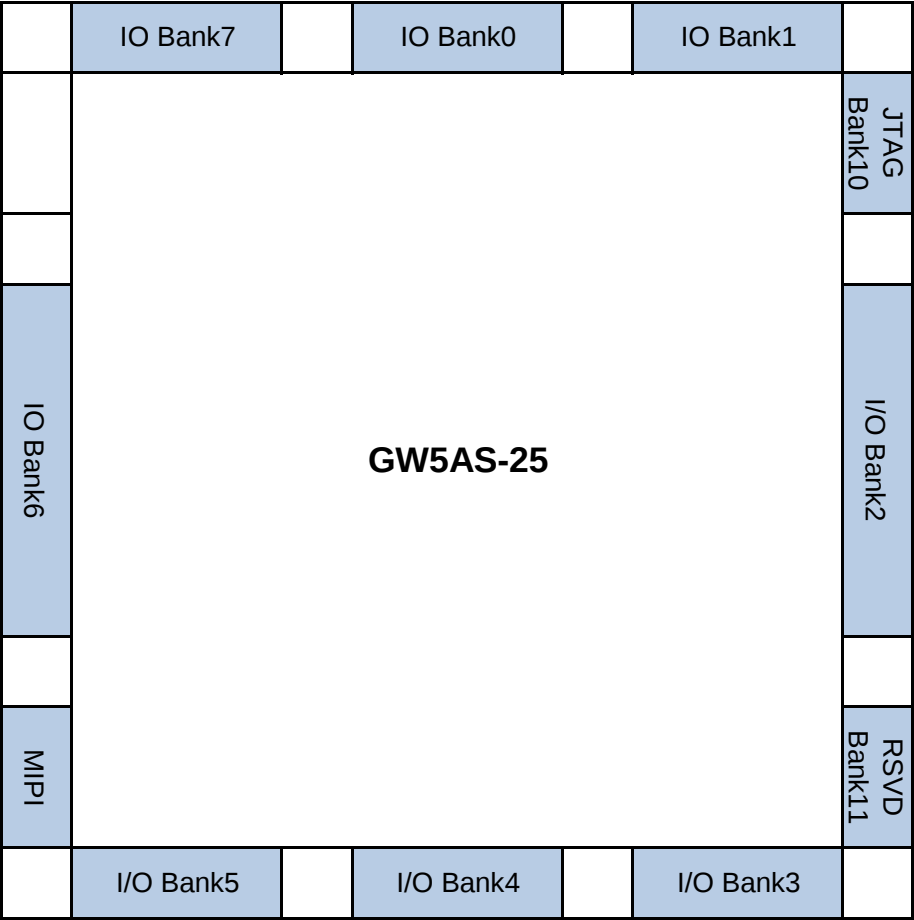
日期	版本	说明
2023/11/30	1.0	初始版本，支持UG256封装。
2023/12/14	1.0.1	优化Pin Definitions页的管脚描述。
2024/2/2	1.0.2	删除X16信息。 更新Pin Definitions页中VCC_REG管脚的注释。
2024/4/11	1.0.3	新增Pin List页内嵌管脚。
2024/6/7	1.0.4	更新Power页中VCCIO的电压最小值。 优化Pin Definitions页中MIPI D-PHY的管脚定义描述。 删除UG256封装的SDA和SCL管脚。
2024/7/5	1.0.5	优化Power页。 更新电源管脚名称及说明。
2024/9/6	1.0.6	优化Power页。
2024/9/26	1.0.7	更新Power页VCCIO电压最小值。
2024/11/15	1.0.8	更新UG256封装的IOB4A/D08管脚名称为IOB4A/D04。
2024/12/30	1.0.9	更新UG256封装IOB31B、IOB33A和IOB33B的配置功能。
2025/2/7	1.1	新增Pin List页和TrueLVDS页中GCLKT_[x]A/GCLKT_[x]B/GCLKC_[x]A/GCLKC_[x]B管脚注释。
2025/3/7	1.1.1	更新电源管脚名称。

管脚名称	方向	说明
用户I/O管脚		
IO [End][Row/Column Number][A/B]	I/O/LVDS	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top)
		[Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数
		[A/B]提供差分信号对信息
		方向为LVDS时表示该管脚只支持真LVDS输出
[pin]_[End][Row/Column Number][A/B]	I/O	[pin]管脚名称，其他信息同上
		有封装管脚的短接IO，按数字大小排序，第一个IO使用管脚的名称，其他短接的使用管脚名称和去掉IO字符位置信息拼接，如IOR1A/IOB14A短接，管脚名为C1，则IOR1A对应C1，IOB14A对应
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外的一种或多种功能。当这些功能不使用的 时候，这些管脚可以用作用户I/O
MI0	I/O，内部弱上拉	MSPI模式：串行指令和地址输出，以及X2，X4模式下的并行数据bit0的输入管脚，连接外部Flash器 件的DQ0/D/SI/IO0管脚
MI1	I/O，内部弱上拉	MSPI模式: X1模式下串行数据输入, X2, X4模式下并行数据bit1的输入管脚, 连接外部Flash器件的 DQ1/Q/SO/IO1管脚
MI2	I/O，内部弱上拉	MSPI模式：X4模式下并行数据bit2的输入管脚, 分别连接外部Flash器件的DQ2/W#/WP#/IO2管脚
MI3	I/O，内部弱上拉	MSPI模式：X4模式下并行数据bit3的输入管脚, 分别连接外部Flash器件的DQ3/HOLD#/IO3管脚
D00~D07	I/O，内部弱上拉	CPU模式：数据输入输出端口D00~D07
D08~D15	I	CPU模式：数据输入端口D08~D15
CCLK	I/O，内部弱上拉	配置时钟
		Slave模式：CCLK为输入，需要连接外部时钟源 Master模式：CCLK为输出
EMCCLK	I，内部弱上拉	外部输入时钟信号
		Master模式：EMCCLK用作FPGA配置逻辑，以及输出CCLK的时钟源 Slave模式：EMCCLK对slave模式没有关联
MOSI	I/O，内部弱上拉	MSPI模式：串行指令和地址输出，以及X2，X4模式下的并行数据bit0的输入管脚，连接外部Flash器 件的DQ0/D/SI/IO0管脚
MISO	I/O，内部弱上拉	MSPI模式: X1模式下串行数据输入, X2, X4模式下并行数据bit1的输入管脚, 连接外部Flash器件的 DQ1/Q/SO/IO1管脚
MCS_N	O, MODE[1:0]: 内部弱上拉 MODE[2:0]: None	MSPI模式：使能信号MCS_N，低电平有效

管脚名称	方向	说明
SO	O, 内部弱上拉	SSPI模式下SO
SI	I, 内部弱上拉	SSPI模式下SI
SSI0	I, 内部弱上拉	QSSPI配置模式: 数据输入管脚
SSI1	I, 内部弱上拉	QSSPI配置模式: 数据输入管脚
SSI2	I, MODE[1:0]: 内部弱上拉 MODE[2:0]: None	QSSPI配置模式: 数据输入管脚
SSI3	I, 内部弱上拉	QSSPI配置模式: 数据输入管脚
SSPI_CLK	I, 内部弱上拉	SSPI/QSSPI配置模式: 时钟输入管脚
SSPI_CS_N	I, 内部弱上拉	SSPI模式: 使能信号SSPI_CS_N, 低电平有效, 内部弱上拉
SSPI_WPN	I, MODE[1:0]: 内部弱上拉 MODE[2:0]: None	QSSPI配置模式: 数据输入管脚
CLKHOLD_N	I, 内部弱下拉	在SSPI模式下, 低电平有效
CSI_B	I, 内部弱上拉	CPU模式: 片选信号低有效 Master CPU模式: 连接外部配置controller的片选信号, 也可以直接接地或者串接1KΩ电阻接地 Slave CPU模式: 外部配置controller可以通过控制CSI_B信号选择FPGA Master和Slave模式都是由外部controller 发出, 其他模式CSI_B信号没有关联
CSO_B	O, 内部弱上拉	在FPGA级联配置模式(Daisy Chain)用于连接下一级器件 SERIAL模式: 输出下一级器件的配置数据 Master SPI模式: 输出下一级器件的配置数据 CPU模式: 输出下一级器件的片选信号
PUDC_B	I, 内部弱下拉	配置过程中的弱上拉选择信号管脚: FPGA上电后在配置过程中低电平有效使能内部弱上拉电阻 PUDC_B低电平: 除PUDC_B外所有的GPIO 弱上拉 PUDC_B高电平: 所有GPIO 高阻 PUDC_B 不允许在配置过程中悬空
RDWR_B	I, 内部弱下拉	CPU模式: 数据读写控制信号 RDWR为高电平时, FPGA输出数据; 为低电平时, 外部控制器将数据写入FPGA Master CPU模式: 可以接外部控制器RDWR信号, 也可以直接或者串接≤1kΩ电阻器连接到GND。 Slave CPU模式: 外部控制器RDWR信号 CPU模式的低8位专用IO在wakeup后会受RDWR状态影响, CPU模式低8位设置复用fuse不受RDWR
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚, C(Comp), [x]是时钟序号

管脚名称	方向	说明
GCLKT_[x]	I	全局时钟输入管脚，T(True)，[x]时钟序号
GCLKT_[x]A/GCLKT_[x]B	I	GCLKT_[x]A: GCLKC_[x]的默认专用管脚，[x]是时钟序号 GCLKT_[x]B: 可配置成GCLKC_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号
GCLKC_[x]A/GCLKC_[x]B	I	GCLKC_[x]A: GCLKT_[x]的默认专用管脚，[x]是时钟序号 GCLKC_[x]B: 可配置成GCLKT_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号
DOUT	O	SERIAL模式: 数据输出
DIN	I, 内部弱上拉	SERIAL模式: 数据输入
TMS	I, 内部弱上拉	JTAG模式: 串行模式输入
TCK	I, 内部弱上拉	JTAG模式: 串行时钟输入
TDO	O, 内部弱上拉	JTAG模式: 串行数据输出
TDI	I, 内部弱上拉	JTAG模式: 串行数据输入
RECONFIG_N	I, 内部弱上拉	全局复位GowinCONFIG逻辑信号，低电平有效
DONE ^[1]	O, 内部弱上拉	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
	I, 内部弱上拉	DONE信号为低电平时，延迟芯片启动，直到DONE信号为高电平
READY ^[1]	I/O, 内部弱上拉	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
LPLL_C_FB/RPLL_C_FB/TPLL_C_FB/BPLL_C_FB	I	左边/右边/上边/下边PLL反馈输入管脚，C(Comp)
LPLL_T_FB/RPLL_T_FB	I	左边/右边/上边/下边PLL反馈输入管脚，T(True)
LPLL_C_IN/RPLL_C_IN	I	左边/右边/上边/下边PLL时钟输入管脚，C(Comp)
LPLL_T_IN/RPLL_T_IN/TPLL_T_IN/BPLL_T_IN	I	左边/右边/上边/下边PLL时钟输入管脚，T(True)
MODE2	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口: 若该管脚标记为“VCCIO”，表示该管脚内接电源; 若该管脚标记为“GND”，表示该管脚内部接地
MODE1	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口: 若该管脚标记为“VCCIO”，表示该管脚内接电源; 若该管脚标记为“GND”，表示该管脚内部接地
MODE0	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口: 若该管脚标记为“VCCIO”，表示该管脚内接电源; 若该管脚标记为“GND”，表示该管脚内部接地

管脚名称	方向	说明
其他管脚		
VSS	NA	Ground管脚
VCC	NA	核电源供电管脚
VCCIO#	NA	I/O BANK#的I/O电源供电管脚
VCCX	NA	辅助电源供电管脚
VCCLDO	NA	为PLL和SRAM提供电压的内部LDO模块的电源供电管脚
VEFUSE	NA	eFuse写操作电源供电管脚
VDDXM	NA	MIPI模块辅助电源供电管脚
GND	NA	MCU模块接地管脚
VCCMCU	NA	MCU模块核电源管脚
VCCIOMCU	NA	MCU模块VCCIO电源供电管脚
VBATMCU	NA	MCU模块备用电源供电管脚
NC	NA	预留未使用
ADCVN	DIO	SENSOR差分模拟信号输入管脚
ADCVP	DIO	SENSOR差分模拟信号输入管脚
M0_CKN	DIO	MIPI_DPHY的时钟通道差分输入输出管脚
M0_CKP	DIO	MIPI_DPHY的时钟通道差分输入输出管脚
M0_D0N	DIO	MIPI_DPHY的数据通道0差分输入输出管脚
M0_D0P	DIO	MIPI_DPHY的数据通道0差分输入输出管脚
M0_D1N	DIO	MIPI_DPHY的数据通道1差分输入输出管脚
M0_D1P	DIO	MIPI_DPHY的数据通道1差分输入输出管脚
M0_D2N	DIO	MIPI_DPHY的数据通道2差分输入输出管脚
M0_D2P	DIO	MIPI_DPHY的数据通道2差分输入输出管脚
M0_D3N	DIO	MIPI_DPHY的数据通道3差分输入输出管脚
M0_D3P	DIO	MIPI_DPHY的数据通道3差分输入输出管脚
注！		
[1] READY和DONE默认状态为open-drain输出, 内部弱上拉。在配置期间, DONE输出0。		



注！

- [1]每个Bank还提供一个独立的参考电压（VREF）。
- [2]用户可选择使用IOB内置的VREF源（0.6V、0.75V、0.9V、1.25V、1.5V，以及基于VCCIO的比例电压（36%,50%,64%））。
- [3]用户也可选择外部的VREF输入（使用Bank中任意一个IO管脚作为外部VREF输入）。
- [4]RSVD Bank11有1个I/O，可作为备用管脚，支持单端输入输出，由VCCX供电。

名称	描述	最小值	最大值
FPGA Logic			
V_{CC}	核电压, LV	0.87V	1.03V
	核电压, EV	1.14V	1.8V
V_{CCIO}	I/O Bank电源电压	1.14V	3.465V
V_{CCX}	辅助电压	2.375V	3.465V
$V_{CCLDO}^{[1]}$	为PLL, SRAM提供电压的内部LDO模块的电源电压	1.14V	3.3V
$V_{EFUSE}^{[2]}$	eFuse写入所需电压	1.62V	1.98V
MIPI			
V_{DDAM}	MIPI模块模拟电路供电电压	0.87V	1V
V_{DDDM}	MIPI模块数字电路供电电压	0.87V	1V
V_{DDXM}	MIPI模块模拟辅助供电电压	2.375V	3.465V
V_{DD12M}	MIPI 模块LP模式供电电压	1.14V	1.32V
MCU			
V_{CCMCU}	MCU模块核电压	2.6V	3.3V
$V_{CCIO MCU}$	MCU模块VCCIO供电电压	2.6V	3.3V
	MCU模块VCCIO供电电压 (时钟频率288MHz)	3.0V	3.3V
V_{BATMCU}	MCU模块备用电源供电电压	1.62V	3.6V
注! ^[1] V_{CCLDO} 电压越大, 功耗越高。 ^[2] 当不需要写eFuse的时候, 这个电源可以接GND或floating。 若某些封装或者PCB上多个电源短接, 需要取所有短接电源范围的交集,同时满足多个电源的需求。			

注！

^[1] 该管脚为内部管脚。

^[2] EV版本。

^[3] GCLKT_[x]A: GCLKC_[x]的默认专用管脚，[x]是时钟序号。

GCLKT_[x]B: 可配置成GCLKC_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC_[x]A: GCLKT_[x]的默认专用管脚，[x]是时钟序号。

GCLKC_[x]B: 可配置成GCLKT_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG256 ^[2]
IOB10A/D06/SSPI_CS_N	I/O	5	none	D06/SSPI_CS_N	True_of_IOB10B	True	A3
IOB10B/D05/SI/SSI0	I/O	5	none	D05/SI/SSI0	Comp_of_IOB10A	True	A2
IOB12A/GCLKT_10B ^[3] /D07/SSPI_WPN/SI2/LPLL1_T_IN1	I/O	5	none	GCLKT_10B/D07/SSPI_WPN/SI2/LPLL1_T_IN1	True_of_IOB12B	True	B3
IOB12B/GCLKC_10B ^[3] /RDWR_B/LPLL1_C_IN1	I/O	5	none	GCLKC_10B/RDWR_B/LPLL1_C_IN1	Comp_of_IOB12A	True	C4
IOB14A/SSPI_CLK	I/O	5	none	SSPI_CLK	True_of_IOB14B	True	C5
IOB14B/CLKHOLD_N/SSI3	I/O	5	none	CLKHOLD_N/SSI3	Comp_of_IOB14A	True	C6
IOB16A	I/O	5	none		True_of_IOB16B	True	C7
IOB16B	I/O	5	none		Comp_of_IOB16A	True	D7
IOB18A	I/O	5	none		True_of_IOB18B	True	C2
IOB18B	I/O	5	none		Comp_of_IOB18A	True	D3
IOB1A	I/O	5				none	A8
IOB20A	I/O	5	none		True_of_IOB20B	True	B1
IOB20B	I/O	5	none		Comp_of_IOB20A	True	C1
IOB22A	I/O	5	none		True_of_IOB22B	True	D2
IOB22B	I/O	5	none		Comp_of_IOB22A	True	D1
IOB24A	I/O	5	none		True_of_IOB24B	True	D6
IOB24B	I/O	5	none		Comp_of_IOB24A	True	E7
IOB26A/GCLKT_12	I/O	5	none	GCLKT_12	True_of_IOB26B	True	E6
IOB26B/GCLKC_12	I/O	5	none	GCLKC_12	Comp_of_IOB26A	True	E3
IOB29A/GCLKT_11A ^[3]	I/O	4	none	GCLKT_11A	True_of_IOB29B	True	E2
IOB29B/GCLKC_11A ^[3]	I/O	4	none	GCLKC_11A	Comp_of_IOB29A	True	E1
IOB2A	I/O	5	none		True_of_IOB2B	True	A7
IOB2B	I/O	5	none		Comp_of_IOB2A	True	B7
IOB31A/GCLKT_10A ^[3] /D14/BPLL_T_FB0	I/O	4	none	GCLKT_10A/D14/BPLL_T_FB0	True_of_IOB31B	True	F1

注！

^[1] 该管脚为内部管脚。

^[2] EV版本。

^[3] GCLKT__[x]A: GCLKC__[x]的默认专用管脚，_[x]是时钟序号。

GCLKT__[x]B: 可配置成GCLKC__[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，_[x]是时钟序号。

GCLKC__[x]A: GCLKT__[x]的默认专用管脚，_[x]是时钟序号。

GCLKC__[x]B: 可配置成GCLKT__[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，_[x]是时钟序号。

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG256 ^[2]
IOB31B/GCLKC_10A ^[3] /D01/MOSI/MIO/BPLL_C_FB0	I/O	4	none	GCLKC_10A/D01/MOSI/MIO/BPLL_C_FB0	Comp_of_IOB31A	True	F2
IOB33A/GCLKT_9A ^[3] /D13/MCSN/BPLL_T_IN1	I/O	4	none	GCLKT_9A/D13/MCSN/BPLL_T_IN1	True_of_IOB33B	True	F3
IOB33B/GCLKC_9A ^[3] /BPLL_C_IN1	I/O	4	none	GCLKC_9A/BPLL_C_IN1	Comp_of_IOB33A	True	F4
IOB35A/GCLKT_8	I/O	4	none	GCLKT_8	True_of_IOB35B	True	F5
IOB35B/GCLKC_8	I/O	4	none	GCLKC_8	Comp_of_IOB35A	True	G4
IOB37A/D08	I/O	4	none	D08	True_of_IOB37B	True	G3
IOB37B	I/O	4	none		Comp_of_IOB37A	True	G2
IOB39A	I/O	4	none		True_of_IOB39B	True	G1
IOB39B	I/O	4	none		Comp_of_IOB39A	True	H1
IOB41A	I/O	4	none		True_of_IOB41B	True	H2
IOB41B	I/O	4	none		Comp_of_IOB41A	True	H3
IOB43A	I/O	4	none		True_of_IOB43B	True	H4
IOB43B	I/O	4	none		Comp_of_IOB43A	True	G5
IOB45A	I/O	4	none		True_of_IOB45B	True	G6
IOB45B	I/O	4	none		Comp_of_IOB45A	True	H5
IOB48A	I/O	4	none		True_of_IOB48B	True	H6
IOB48B	I/O	4	none		Comp_of_IOB48A	True	J6
IOB4A/D04/LPLL1_T_FB0	I/O	5	none	D04/LPLL1_T_FB0	True_of_IOB4B	True	A6
IOB4B/D09/LPLL1_C_FB0	I/O	5	none	D09/LPLL1_C_FB0	Comp_of_IOB4A	True	B6
IOB50A/D11	I/O	4	none	D11	True_of_IOB50B	True	J1
IOB50B/D12	I/O	4	none	D12	Comp_of_IOB50A	True	J2
IOB52A/RECONFIG_N	I/O	4	none	RECONFIG_N	True_of_IOB52B	True	J3
IOB52B	I/O	4	none		Comp_of_IOB52A	True	J4

注！

[1] 该管脚为内部管脚。

[2] EV版本。

[3] GCLKT_[x]A: GCLKC_[x]的默认专用管脚，[x]是时钟序号。

GCLKT_[x]B: 可配置成GCLKC_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC_[x]A: GCLKT_[x]的默认专用管脚，[x]是时钟序号。

GCLKC_[x]B: 可配置成GCLKT_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG256 ^[2]
IOB54A/GCLKT_11B ^[3] /D01/MI2/BPLL_T_FB1	I/O	4	none	GCLKT_11B/D01/MI2/BPLL_T_FB1	True_of_IOB54B	True	J5
IOB54B/GCLKC_11B ^[3] /D02/MI3/BPLL_C_FB1	I/O	4	none	GCLKC_11B/D02/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	K5
IOB56A	I/O	4	none		True_of_IOB56B	True	K2
IOB56B	I/O	4	none		Comp_of_IOB56A	True	K1
IOB58A/D00/DIN/MISO/MI1	I/O	4	none	D00/DIN/MISO/MI1	True_of_IOB58B	True	K4
IOB58B/RDWR_B	I/O	4	none	RDWR_B	Comp_of_IOB58A	True	K3
IOB60A	I/O	4	none		True_of_IOB60B	True	K6
IOB60B	I/O	4	none		Comp_of_IOB60A	True	L5
IOB62A/CCLK	I/O	4	none	CCLK	True_of_IOB62B	True	L4
IOB62B/CSI_B	I/O	4	none	CSI_B	Comp_of_IOB62A	True	L3
IOB64A/READY	I/O	4		READY		none	L2
IOB65A	I/O	3	none		True_of_IOB65B	True	M1
IOB65B	I/O	3	none		Comp_of_IOB65A	True	L1
IOB67A	I/O	3	none		True_of_IOB67B	True	M3
IOB67B	I/O	3	none		Comp_of_IOB67A	True	M2
IOB69A	I/O	3	DQ5		True_of_IOB69B	True	M6
IOB69B	I/O	3	DQ5		Comp_of_IOB69A	True	M7
IOB6A	I/O	5	none		True_of_IOB6B	True	A4
IOB6B	I/O	5	none		Comp_of_IOB6A	True	A5
IOB71A	I/O	3	DQ5		True_of_IOB71B	True	N7
IOB71B	I/O	3	DQ5		Comp_of_IOB71A	True	N6
IOB73A	I/O	3	DQ5		True_of_IOB73B	True	N3
IOB73B	I/O	3	DQ5		Comp_of_IOB73A	True	N2
IOB75A/GCLKT_6B ^[3]	I/O	3	DQS5/DQ5	GCLKT_6B	True_of_IOB75B	True	N1

注！

^[1] 该管脚为内部管脚。

^[2] EV版本。

^[3] GCLKT_[x]A: GCLKC_[x]的默认专用管脚，[x]是时钟序号。

GCLKT_[x]B: 可配置成GCLKC_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC_[x]A: GCLKT_[x]的默认专用管脚，[x]是时钟序号。

GCLKC_[x]B: 可配置成GCLKT_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG256 ^[2]
IOB75B/GCLKC_6B ^[3]	I/O	3	DQS5/DQ5	GCLKC_6B	Comp_of_IOB75A	True	P1
IOB77A	I/O	3	DQ5		True_of_IOB77B	True	P2
IOB77B	I/O	3	DQ5		Comp_of_IOB77A	True	R1
IOB79A	I/O	3	DQ5/DQS_45		True_of_IOB79B	True	P5
IOB79B	I/O	3	DQ5/DQS_45		Comp_of_IOB79A	True	P6
IOB81A	I/O	3	DQ4		True_of_IOB81B	True	P7
IOB81B	I/O	3	DQ4		Comp_of_IOB81A	True	R7
IOB83A	I/O	3	DQ4		True_of_IOB83B	True	R6
IOB83B	I/O	3	DQ4		Comp_of_IOB83A	True	R5
IOB85A	I/O	3	DQS4/DQ4		True_of_IOB85B	True	R4
IOB85B	I/O	3	DQS4/DQ4		Comp_of_IOB85A	True	P4
IOB87A	I/O	3	DQ4		True_of_IOB87B	True	R3
IOB87B	I/O	3	DQ4		Comp_of_IOB87A	True	T3
IOB89A/GCLKT_7/BPLL_T_IN0	I/O	3	DQ4	GCLKT_7/BPLL_T_IN0	True_of_IOB89B	True	T2
IOB89B/GCLKC_7/BPLL_C_IN0	I/O	3	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_IOB89A	True	T4
IOB8A/D03/SO/SSI1	I/O	5	none	D03/SO/SSI1	True_of_IOB8B	True	B4
IOB8B/D02	I/O	5	none	D02	Comp_of_IOB8A	True	B5
IOB91A/GCLKT_6A ^[3]	I/O	3	DQ4	GCLKT_6A	True_of_IOB91B	True	T5
IOB91B/GCLKC_6A ^[3]	I/O	3	DQ4	GCLKC_6A	Comp_of_IOB91A	True	T6
IOL12A	I/O	6	DQ7		True_of_IOL12B	True	A11
IOL12B	I/O	6	DQ7		Comp_of_IOL12A	True	B11
IOL14A/LPLL1_T_IN0	I/O	6	DQ7	LPLL1_T_IN0	True_of_IOL14B	True	C10
IOL14B/LPLL1_C_IN0	I/O	6	DQ7	LPLL1_C_IN0	Comp_of_IOL14A	True	D10
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	DQ7	GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	True_of_IOL3B	True	E9

注！

^[1] 该管脚为内部管脚。

^[2] EV版本。

^[3] GCLKT_[x]A: GCLKC_[x]的默认专用管脚，[x]是时钟序号。

GCLKT_[x]B: 可配置成GCLKC_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC_[x]A: GCLKT_[x]的默认专用管脚，[x]是时钟序号。

GCLKC_[x]B: 可配置成GCLKT_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG256 ^[2]
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	DQ7	GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	Comp_of_IOL3A	True	E10
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	DQ7	GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	True_of_IOL5B	True	C11
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	D11
IOL7A	I/O	6	DQ7		True_of_IOL7B	True	B12
IOL7B	I/O	6	DQ7		Comp_of_IOL7A	True	C12
IOL9A	I/O	6	DQS7/DQ7		True_of_IOL9B	True	A12
IOL9B	I/O	6	DQS7/DQ7		Comp_of_IOL9A	True	A13
IOL16A	I/O	6	DQ6/DQS_67		True_of_IOL16B	True	P2-103 ^[1]
IOL16B	I/O	6	DQ6/DQS_67		Comp_of_IOL16A	True	P2-102 ^[1]
IOL18A	I/O	6	DQ6		True_of_IOL18B	True	P2-101 ^[1]
IOL18B	I/O	6	DQ6		Comp_of_IOL18A	True	P2-100 ^[1]
IOL21A	I/O	6	DQS6/DQ6		True_of_IOL21B	True	P2-99 ^[1]
IOL21B	I/O	6	DQS6/DQ6		Comp_of_IOL21A	True	P2-34 ^[1]
IOL23A	I/O	6	DQ6		True_of_IOL23B	True	P2-92 ^[1]
IOL23B	I/O	6	DQ6		Comp_of_IOL23A	True	P2-81 ^[1]
IOL25A	I/O	6	DQ6		True_of_IOL25B	True	P2-79 ^[1]
IOL25B	I/O	6	DQ6		Comp_of_IOL25A	True	P2-78 ^[1]
IOL27A	I/O	6	DQ6		True_of_IOL27B	True	P2-76 ^[1]
IOL27B	I/O	6	DQ6		Comp_of_IOL27A	True	P2-75 ^[1]
IOL29A	I/O	6	none		True_of_IOL29B	True	P2-68 ^[1]
IOL29B	I/O	6	none		Comp_of_IOL29A	True	P2-51 ^[1]
IOL31A	I/O	6	none		True_of_IOL31B	True	P2-50 ^[1]

注！

[1] 该管脚为内部管脚。

[2] EV版本。

[3] GCLKT_[x]A: GCLKC_[x]的默认专用管脚，[x]是时钟序号。

GCLKT_[x]B: 可配置成GCLKC_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC_[x]A: GCLKT_[x]的默认专用管脚，[x]是时钟序号。

GCLKC_[x]B: 可配置成GCLKT_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG256 ^[2]
IOL31B	I/O	6	none		Comp_of_IOL31A	True	P2-47 ^[1]
IOR12A	I/O	2	DQS2/DQ2		True_of_IOR12B	True	P2-176 ^[1]
IOR12B	I/O	2	DQS2/DQ2		Comp_of_IOR12A	True	P2-180 ^[1]
IOR14A	I/O	2	DQ2		True_of_IOR14B	True	P2-181 ^[1]
IOR14B	I/O	2	DQ2		Comp_of_IOR14A	True	M9
IOR16A	I/O	2	DQ2		True_of_IOR16B	True	N8
IOR16B	I/O	2	DQ2		Comp_of_IOR16A	True	M8
IOR18A	I/O	2	DQ2/DQS_23		True_of_IOR18B	True	N9
IOR18B	I/O	2	DQ2/DQS_23		Comp_of_IOR18A	True	N10
IOR1A/TCK	I/O	10	none	TCK		none	L10
IOR1B/TDI	I/O	10	none	TDI		none	M10
IOR20A	I/O	2	DQ3		True_of_IOR20B	True	R12
IOR20B	I/O	2	DQ3		Comp_of_IOR20A	True	P12
IOR22A	I/O	2	DQ3		True_of_IOR22B	True	P10
IOR22B	I/O	2	DQ3		Comp_of_IOR22A	True	P11
IOR24A/RPLL1B_T_IN0	I/O	2	DQ3	RPLL1B_T_IN0	True_of_IOR24B	True	R10
IOR24B	I/O	2	DQ3		Comp_of_IOR24A	True	R11
IOR26A	I/O	2	DQS3/DQ3		True_of_IOR26B	True	P8
IOR26B	I/O	2	DQS3/DQ3		Comp_of_IOR26A	True	P9
IOR29A	I/O	2	DQ3		True_of_IOR29B	True	R8
IOR29B	I/O	2	DQ3		Comp_of_IOR29A	True	R9
IOR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	I/O	2	DQ3	GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	True_of_IOR31B	True	T10
IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	I/O	2	DQ3	GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	Comp_of_IOR31A	True	T9
IOR33A/GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	I/O	2	none	GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	True_of_IOR33B	True	T8

注！

^[1] 该管脚为内部管脚。

^[2] EV版本。

^[3] GCLKT_[x]A: GCLKC_[x]的默认专用管脚，[x]是时钟序号。

GCLKT_[x]B: 可配置成GCLKC_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC_[x]A: GCLKT_[x]的默认专用管脚，[x]是时钟序号。

GCLKC_[x]B: 可配置成GCLKT_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG256 ^[2]
IOR33B/GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	I/O	2	none	GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	Comp_of_IOR33A	True	T7
IOR3A/TMS	I/O	10	none	TMS		none	M11
IOR3B/TDO	I/O	10	none	TDO		none	N11
IOR5B	I/O	2	none		Comp_of_IOR5A	True	P2-153 ^[1]
IOR7B	I/O	2	DQ2		Comp_of_IOR7A	True	P2-164 ^[1]
IOR9A	I/O	2	DQ2		True_of_IOR9B	True	P2-165 ^[1]
IOR9B	I/O	2	DQ2		Comp_of_IOR9A	True	P2-166 ^[1]
IOT19A/EMCCLK	I/O	7	none	EMCCLK	True_of_IOT19B	True	F7
IOT19B/CSO_B	I/O	7	none	CSO_B	Comp_of_IOT19A	True	F8
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	G12
IOT1B/GCLKC_15/LPLL0_C_IN0	I/O	7	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	G11
IOT23A	I/O	7	none		True_of_IOT23B	True	P2-107 ^[1]
IOT23B	I/O	7	none		Comp_of_IOT23A	True	P2-119 ^[1]
IOT25A/MODE0	I/O	7	none	MODE0	True_of_IOT25B	True	F9
IOT25B/MODE1	I/O	7	none	MODE1	Comp_of_IOT25A	True	F10
IOT27A/MODE2	I/O	7	none	MODE2	True_of_IOT27B	True	F12
IOT27B/DONE	I/O	7	none	DONE	Comp_of_IOT27A	True	F13
IOT29A/PUDC_B	I/O	0	none	PUDC_B	True_of_IOT29B	True	E11
IOT3A/GCLKT_16	I/O	7	none	GCLKT_16	True_of_IOT3B	True	H12
IOT3B/GCLKC_16/LPLL0_C_FB0	I/O	7	none	GCLKC_16/LPLL0_C_FB0	Comp_of_IOT3A	True	H11
IOT63A/GCLKT_3/RPLL0_T_IN0	I/O	1	DQ0	GCLKT_3/RPLL0_T_IN0	True_of_IOT63B	True	P2-152 ^[1]
IOT63B/GCLKC_3	I/O	1	DQ0	GCLKC_3	Comp_of_IOT63A	True	P2-159 ^[1]
IOT74A	I/O	1	DQ1/DQS_01		True_of_IOT74B	True	J11
IOT74B	I/O	1	DQ1/DQS_01		Comp_of_IOT74A	True	J12
IOT76A	I/O	1	DQ1		True_of_IOT76B	True	K12

注！
[1] 该管脚为内部管脚。
[2] EV版本。
[3] GCLKT_[x]A: GCLKC_[x]的默认专用管脚，[x]是时钟序号。
GCLKT_[x]B: 可配置成GCLKC_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。
GCLKC_[x]A: GCLKT_[x]的默认专用管脚，[x]是时钟序号。
GCLKC_[x]B: 可配置成GCLKT_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG256 ^[2]
IOT76B	I/O	1	DQ1		Comp_of_IOT76A	True	K11
IOT78B	I/O	1	DQ1			none	P2-6 ^[1]
IOT80A	I/O	1	DQS1/DQ1		True_of_IOT80B	True	P2-5 ^[1]
IOT80B	I/O	1	DQS1/DQ1		Comp_of_IOT80A	True	P2-4 ^[1]
IOT83A	I/O	1	DQ1		True_of_IOT83B	True	P2-3 ^[1]
IOT83B	I/O	1	DQ1		Comp_of_IOT83A	True	P2-2 ^[1]
IOT85A	I/O	1	DQ1		True_of_IOT85B	True	P2-145 ^[1]
IOT85B	I/O	1	DQ1		Comp_of_IOT85A	True	P2-146 ^[1]
IOT89A/RPLL0_T_FB1	I/O	1	none	RPLL0_T_FB1	True_of_IOT89B	True	L12
IOT89B/RPLL0_C_FB1	I/O	1	none	RPLL0_C_FB1	Comp_of_IOT89A	True	L9
IOT91A/RPLL0_T_IN1/RPLL0_T_FB0	I/O	1	none	RPLL0_T_IN1/RPLL0_T_FB0	True_of_IOT91B	True	L8
IOT91B/RPLL0_C_IN1/RPLL0_C_FB0	I/O	1	none	RPLL0_C_IN1/RPLL0_C_FB0	Comp_of_IOT91A	True	L7
M0_CKN	DIO	MIPI				none	B9
M0_CKP	DIO	MIPI				none	A9
M0_D0N	DIO	MIPI				none	A10
M0_D0P	DIO	MIPI				none	B10
M0_D1N	DIO	MIPI				none	D9
M0_D1P	DIO	MIPI				none	C9
M0_D2N	DIO	MIPI				none	E8
M0_D2P	DIO	MIPI				none	D8
M0_D3N	DIO	MIPI				none	C8
M0_D3P	DIO	MIPI				none	B8
GND	MCU						D13
VCC_MCU	MCU						D12
VCCIO_MCU	MCU						J10
VCCIO_MCU	MCU						M13

注！
[1] 该管脚为内部管脚。
[2] EV版本。
[3] GCLKT_*x*A: GCLKC_*x*的默认专用管脚，*x*是时钟序号。
GCLKT_*x*B: 可配置成GCLKC_*x*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*x*是时钟序号。
GCLKC_*x*A: GCLKT_*x*的默认专用管脚，*x*是时钟序号。
GCLKC_*x*B: 可配置成GCLKT_*x*的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，*x*是时钟序号。

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG256 ^[2]
VBAT_MCU	MCU						N12
X_BOOT0	MCU						R16
X_NRST	MCU						J16
X_PA0	MCU						E16
X_PA1	MCU						E15
X_PA10	MCU						T13
X_PA11/USB_DM1	MCU						T14
X_PA12/USB_DP1	MCU						T15
X_PA13	MCU						K15
X_PA14	MCU						L14
X_PA15	MCU						L15
X_PA2	MCU						D16
X_PA6	MCU						C16
X_PA7	MCU						D15
X_PA8	MCU						T11
X_PA9	MCU						T12
X_PB0	MCU						E14
X_PB1	MCU						D14
X_PB10	MCU						A14
X_PB11	MCU						G13
X_PB13	MCU						G15
X_PB14/USB_DM2	MCU						H14
X_PB15/USB_DP2	MCU						H15
X_PB2	MCU						A15
X_PB3	MCU						N14
X_PB4	MCU						R14

注！
[1] 该管脚为内部管脚。
[2] EV版本。
[3] GCLKT_[x]A: GCLKC_[x]的默认专用管脚，[x]是时钟序号。
GCLKT_[x]B: 可配置成GCLKC_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。
GCLKC_[x]A: GCLKT_[x]的默认专用管脚，[x]是时钟序号。
GCLKC_[x]B: 可配置成GCLKT_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG256 ^[2]
X_PB5	MCU						N15
X_PB6	MCU						P15
X_PB8	MCU						P16
X_PB9	MCU						N16
X_PC0	MCU						F16
X_PC1	MCU						F15
X_PC10	MCU						M14
X_PC13	MCU						M16
X_PC14/X_OSC32_IN	MCU						L16
X_PC15/X_OSC32_OUT	MCU						K16
X_PC3	MCU						F14
X_PC4	MCU						B16
X_PC5	MCU						C15
X_PC8	MCU						J15
X_PC9	MCU						J14
X_PD0	MCU						K13
X_PD1	MCU						L13
X_PD15	MCU						J13
X_PD2	MCU						M15
X_PD5	MCU						P13
X_PD7	MCU						R13
X_PD8	MCU						H13
X_PE10	MCU						C13
X_PE8	MCU						B14
X_PE9	MCU						B13
X_PH0/X_OSC_IN	MCU						H16

注！
[1] 该管脚为内部管脚。
[2] EV版本。
[3] GCLKT__[x]A: GCLKC__[x]的默认专用管脚，[x]是时钟序号。
GCLKT__[x]B: 可配置成GCLKC__[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。
GCLKC__[x]A: GCLKT__[x]的默认专用管脚，[x]是时钟序号。
GCLKC__[x]B: 可配置成GCLKT__[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG256 ^[2]
X_PH1/X_OSC_OUT	MCU						G16
X_PH2	MCU						K14
X_PH3	MCU						G14
X_VREF_P3/X_VREF_P2/X_VREF_P1	MCU						E13
VDD12M	Power	N/A					E4
VCCX_VDDXM	Power	N/A					G8
VCC	Power	N/A					G7
VCC	Power	N/A					T1
VCC	Power	N/A					K7
VCC	Power	N/A					G10
VCC	Power	N/A					K10
VCC	Power	N/A					T16
VCC	Power	N/A					A16
VCC	Power	N/A					A1
VCCLDO	Power	N/A					H7
VCCIO0_1_2_6_7_10	Power	N/A					K9
VCCIO0_1_2_6_7_10	Power	N/A					H10
VCCIO0_1_2_6_7_10	Power	N/A					G9
VCCIO3_4	Power	N/A					M4
VCCIO3_4	Power	N/A					N5
VCCIO5	Power	N/A					D5
VCCIO5	Power	N/A					J7
VEFUSE	Power	N/A					K8
VSS	Ground	N/A					B15
VSS	Ground	N/A					C3
VSS	Ground	N/A					C14
VSS	Ground	N/A					D4

注！

[1] 该管脚为内部管脚。

[2] EV版本。

[3] GCLKT__[x]A: GCLKC__[x]的默认专用管脚，[x]是时钟序号。
GCLKT__[x]B: 可配置成GCLKC__[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。
GCLKC__[x]A: GCLKT__[x]的默认专用管脚，[x]是时钟序号。
GCLKC__[x]B: 可配置成GCLKT__[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG256 ^[2]
VSS	Ground	N/A					E5
VSS	Ground	N/A					E12
VSS	Ground	N/A					F6
VSS	Ground	N/A					F11
VSS	Ground	N/A					H8
VSS	Ground	N/A					H9
VSS	Ground	N/A					J8
VSS	Ground	N/A					J9
VSS	Ground	N/A					L6
VSS	Ground	N/A					L11
VSS	Ground	N/A					M5
VSS	Ground	N/A					M12
VSS	Ground	N/A					N4
VSS	Ground	N/A					N13
VSS	Ground	N/A					P3
VSS	Ground	N/A					P14
VSS	Ground	N/A					R2
VSS	Ground	N/A					R15
VSS	Ground	N/A					B2

注！

[1] GCLKT_[x]A: GCLKC_[x]的默认专用管脚，[x]是时钟序号。

GCLKT_[x]B: 可配置成GCLKC_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC_[x]A: GCLKT_[x]的默认专用管脚，[x]是时钟序号。

GCLKC_[x]B: 可配置成GCLKT_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG256
BANK7 True LVDS Pair							
IOT19A/EMCCLK	I/O	7	none	EMCCLK	True_of_IOT19B	True	F7
IOT19B/CSO_B	I/O	7	none	CSO_B	Comp_of_IOT19A	True	F8
IOT1A/GCLKT_15/LPLL0_T_IN0	I/O	7	none	GCLKT_15/LPLL0_T_IN0	True_of_IOT1B	True	G12
IOT1B/GCLKC_15/LPLL0_C_IN0	I/O	7	none	GCLKC_15/LPLL0_C_IN0	Comp_of_IOT1A	True	G11
IOT25A/MODE0	I/O	7	none	MODE0	True_of_IOT25B	True	F9
IOT25B/MODE1	I/O	7	none	MODE1	Comp_of_IOT25A	True	F10
IOT27A/MODE2	I/O	7	none	MODE2	True_of_IOT27B	True	F12
IOT27B/DONE	I/O	7	none	DONE	Comp_of_IOT27A	True	F13
IOT3A/GCLKT_16	I/O	7	none	GCLKT_16	True_of_IOT3B	True	H12
IOT3B/GCLKC_16/LPLL0_C_FB0	I/O	7	none	GCLKC_16/LPLL0_C_FB0	Comp_of_IOT3A	True	H11
BANK6 True LVDS Pair							
IOL12A	I/O	6	DQ7		True_of_IOL12B	True	A11
IOL12B	I/O	6	DQ7		Comp_of_IOL12A	True	B11
IOL14A/LPLL1_T_IN0	I/O	6	DQ7	LPLL1_T_IN0	True_of_IOL14B	True	C10
IOL14B/LPLL1_C_IN0	I/O	6	DQ7	LPLL1_C_IN0	Comp_of_IOL14A	True	D10
IOL3A/GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	I/O	6	DQ7	GCLKT_14/LPLL0_T_IN2/LPLL0_T_FB0	True_of_IOL3B	True	E9
IOL3B/GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	I/O	6	DQ7	GCLKC_14/LPLL0_C_IN2/LPLL0_C_FB0	Comp_of_IOL3A	True	E10
IOL5A/GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	I/O	6	DQ7	GCLKT_13/LPLL0_T_IN1/LPLL0_T_FB1	True_of_IOL5B	True	C11
IOL5B/GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	I/O	6	DQ7	GCLKC_13/LPLL0_C_IN1/LPLL0_C_FB1	Comp_of_IOL5A	True	D11
IOL7A	I/O	6	DQ7		True_of_IOL7B	True	B12
IOL7B	I/O	6	DQ7		Comp_of_IOL7A	True	C12
IOL9A	I/O	6	DQS7/DQ7		True_of_IOL9B	True	A12
IOL9B	I/O	6	DQS7/DQ7		Comp_of_IOL9A	True	A13

注！

^[1] GCLKT_[x]A: GCLKC_[x]的默认专用管脚，[x]是时钟序号。

GCLKT_[x]B: 可配置成GCLKC_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC_[x]A: GCLKT_[x]的默认专用管脚，[x]是时钟序号。

GCLKC_[x]B: 可配置成GCLKT_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG256
BANK5 True LVDS Pair							
IOB10A/D06/SSPI_CS_N	I/O	5	none	D06/SSPI_CS_N	True_of_IOB10B	True	A3
IOB10B/D05/SI/SSI0	I/O	5	none	D05/SI/SSI0	Comp_of_IOB10A	True	A2
IOB12A/GCLKT_10B ^[1] /D07/SSPI_WPN/SI2/LPLL1_T_IN1	I/O	5	none	GCLKT_10B/D07/SSPI_WPN/SI2/LPLL1_T_IN1	True_of_IOB12B	True	B3
IOB12B/GCLKC_10B ^[1] /RDWR_B/LPLL1_C_IN1	I/O	5	none	GCLKC_10B/RDWR_B/LPLL1_C_IN1	Comp_of_IOB12A	True	C4
IOB14A/SSPI_CLK	I/O	5	none	SSPI_CLK	True_of_IOB14B	True	C5
IOB14B/CLKHOLD_N/SSI3	I/O	5	none	CLKHOLD_N/SSI3	Comp_of_IOB14A	True	C6
IOB16A	I/O	5	none		True_of_IOB16B	True	C7
IOB16B	I/O	5	none		Comp_of_IOB16A	True	D7
IOB18A	I/O	5	none		True_of_IOB18B	True	C2
IOB18B	I/O	5	none		Comp_of_IOB18A	True	D3
IOB20A	I/O	5	none		True_of_IOB20B	True	B1
IOB20B	I/O	5	none		Comp_of_IOB20A	True	C1
IOB22A	I/O	5	none		True_of_IOB22B	True	D2
IOB22B	I/O	5	none		Comp_of_IOB22A	True	D1
IOB24A	I/O	5	none		True_of_IOB24B	True	D6
IOB24B	I/O	5	none		Comp_of_IOB24A	True	E7
IOB26A/GCLKT_12	I/O	5	none	GCLKT_12	True_of_IOB26B	True	E6
IOB26B/GCLKC_12	I/O	5	none	GCLKC_12	Comp_of_IOB26A	True	E3
IOB2A	I/O	5	none		True_of_IOB2B	True	A7
IOB2B	I/O	5	none		Comp_of_IOB2A	True	B7
IOB4A/D04/LPLL1_T_FB0	I/O	5	none	D04/LPLL1_T_FB0	True_of_IOB4B	True	A6
IOB4B/D09/LPLL1_C_FB0	I/O	5	none	D09/LPLL1_C_FB0	Comp_of_IOB4A	True	B6
IOB6A	I/O	5	none		True_of_IOB6B	True	A4
IOB6B	I/O	5	none		Comp_of_IOB6A	True	A5
IOB8A/D03/SO/SSI1	I/O	5	none	D03/SO/SSI1	True_of_IOB8B	True	B4

注！

^[1] GCLKT_[x]A: GCLKC_[x]的默认专用管脚，[x]是时钟序号。

GCLKT_[x]B: 可配置成GCLKC_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC_[x]A: GCLKT_[x]的默认专用管脚，[x]是时钟序号。

GCLKC_[x]B: 可配置成GCLKT_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG256
IOB8B/D02	I/O	5	none	D02	Comp_of_IOB8A	True	B5
BANK4 True LVDS Pair							
IOB29A/GCLKT_11A ^[1]	I/O	4	none	GCLKT_11A	True_of_IOB29B	True	E2
IOB29B/GCLKC_11A ^[1]	I/O	4	none	GCLKC_11A	Comp_of_IOB29A	True	E1
IOB31A/GCLKT_10A ^[1] /D14/BPLL_T_FB0	I/O	4	none	GCLKT_10A/D14/BPLL_T_FB0	True_of_IOB31B	True	F1
IOB31B/GCLKC_10A ^[1] /D01/MOSI/MIO/BPLL_C_FB0	I/O	4	none	GCLKC_10A/D01/MOSI/MIO/BPLL_C_FB0	Comp_of_IOB31A	True	F2
IOB33A/GCLKT_9A ^[1] /D13/MCSN/BPLL_T_IN1	I/O	4	none	GCLKT_9A/D13/MCSN/BPLL_T_IN1	True_of_IOB33B	True	F3
IOB33B/GCLKC_9A ^[1] /BPLL_C_IN1	I/O	4	none	GCLKC_9A/BPLL_C_IN1	Comp_of_IOB33A	True	F4
IOB35A/GCLKT_8	I/O	4	none	GCLKT_8	True_of_IOB35B	True	F5
IOB35B/GCLKC_8	I/O	4	none	GCLKC_8	Comp_of_IOB35A	True	G4
IOB37A/D08	I/O	4	none	D08	True_of_IOB37B	True	G3
IOB37B	I/O	4	none		Comp_of_IOB37A	True	G2
IOB39A	I/O	4	none		True_of_IOB39B	True	G1
IOB39B	I/O	4	none		Comp_of_IOB39A	True	H1
IOB41A	I/O	4	none		True_of_IOB41B	True	H2
IOB41B	I/O	4	none		Comp_of_IOB41A	True	H3
IOB43A	I/O	4	none		True_of_IOB43B	True	H4
IOB43B	I/O	4	none		Comp_of_IOB43A	True	G5
IOB45A	I/O	4	none		True_of_IOB45B	True	G6
IOB45B	I/O	4	none		Comp_of_IOB45A	True	H5
IOB48A	I/O	4	none		True_of_IOB48B	True	H6
IOB48B	I/O	4	none		Comp_of_IOB48A	True	J6
IOB50A/D11	I/O	4	none	D11	True_of_IOB50B	True	J1
IOB50B/D12	I/O	4	none	D12	Comp_of_IOB50A	True	J2
IOB52A/RECONFIG_N	I/O	4	none	RECONFIG_N	True_of_IOB52B	True	J3
IOB52B	I/O	4	none		Comp_of_IOB52A	True	J4

注！

^[1] GCLKT_[x]A: GCLKC_[x]的默认专用管脚，[x]是时钟序号。

GCLKT_[x]B: 可配置成GCLKC_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC_[x]A: GCLKT_[x]的默认专用管脚，[x]是时钟序号。

GCLKC_[x]B: 可配置成GCLKT_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG256
IOB54A/GCLKT_11B ^[1] /D01/MI2/BPLL_T_FB1	I/O	4	none	GCLKT_11B/D01/MI2/BPLL_T_FB1	True_of_IOB54B	True	J5
IOB54B/GCLKC_11B ^[1] /D02/MI3/BPLL_C_FB1	I/O	4	none	GCLKC_11B/D02/MI3/BPLL_C_FB1	Comp_of_IOB54A	True	K5
IOB56A	I/O	4	none		True_of_IOB56B	True	K2
IOB56B	I/O	4	none		Comp_of_IOB56A	True	K1
IOB58A/D00/DIN/MISO/MI1	I/O	4	none	D00/DIN/MISO/MI1	True_of_IOB58B	True	K4
IOB58B/RDWR_B	I/O	4	none	RDWR_B	Comp_of_IOB58A	True	K3
IOB60A	I/O	4	none		True_of_IOB60B	True	K6
IOB60B	I/O	4	none		Comp_of_IOB60A	True	L5
IOB62A/CCLK	I/O	4	none	CCLK	True_of_IOB62B	True	L4
IOB62B/CSI_B	I/O	4	none	CSI_B	Comp_of_IOB62A	True	L3
BANK3 True LVDS Pair							
IOB65A	I/O	3	none		True_of_IOB65B	True	M1
IOB65B	I/O	3	none		Comp_of_IOB65A	True	L1
IOB67A	I/O	3	none		True_of_IOB67B	True	M3
IOB67B	I/O	3	none		Comp_of_IOB67A	True	M2
IOB69A	I/O	3	DQ5		True_of_IOB69B	True	M6
IOB69B	I/O	3	DQ5		Comp_of_IOB69A	True	M7
IOB71A	I/O	3	DQ5		True_of_IOB71B	True	N7
IOB71B	I/O	3	DQ5		Comp_of_IOB71A	True	N6
IOB73A	I/O	3	DQ5		True_of_IOB73B	True	N3
IOB73B	I/O	3	DQ5		Comp_of_IOB73A	True	N2
IOB75A/GCLKT_6B ^[1]	I/O	3	DQS5/DQ5	GCLKT_6B	True_of_IOB75B	True	N1
IOB75B/GCLKC_6B ^[1]	I/O	3	DQS5/DQ5	GCLKC_6B	Comp_of_IOB75A	True	P1
IOB77A	I/O	3	DQ5		True_of_IOB77B	True	P2
IOB77B	I/O	3	DQ5		Comp_of_IOB77A	True	R1
IOB79A	I/O	3	DQ5/DQS_45		True_of_IOB79B	True	P5

注！

^[1] GCLKT_[x]A: GCLKC_[x]的默认专用管脚，[x]是时钟序号。

GCLKT_[x]B: 可配置成GCLKC_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC_[x]A: GCLKT_[x]的默认专用管脚，[x]是时钟序号。

GCLKC_[x]B: 可配置成GCLKT_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG256
IOB79B	I/O	3	DQ5/DQS_45		Comp_of_IOB79A	True	P6
IOB81A	I/O	3	DQ4		True_of_IOB81B	True	P7
IOB81B	I/O	3	DQ4		Comp_of_IOB81A	True	R7
IOB83A	I/O	3	DQ4		True_of_IOB83B	True	R6
IOB83B	I/O	3	DQ4		Comp_of_IOB83A	True	R5
IOB85A	I/O	3	DQS4/DQ4		True_of_IOB85B	True	R4
IOB85B	I/O	3	DQS4/DQ4		Comp_of_IOB85A	True	P4
IOB87A	I/O	3	DQ4		True_of_IOB87B	True	R3
IOB87B	I/O	3	DQ4		Comp_of_IOB87A	True	T3
IOB89A/GCLKT_7/BPLL_T_IN0	I/O	3	DQ4	GCLKT_7/BPLL_T_IN0	True_of_IOB89B	True	T2
IOB89B/GCLKC_7/BPLL_C_IN0	I/O	3	DQ4	GCLKC_7/BPLL_C_IN0	Comp_of_IOB89A	True	T4
IOB91A/GCLKT_6A ^[1]	I/O	3	DQ4	GCLKT_6A	True_of_IOB91B	True	T5
IOB91B/GCLKC_6A ^[1]	I/O	3	DQ4	GCLKC_6A	Comp_of_IOB91A	True	T6
BANK2 True LVDS Pair							
IOR14B	I/O	2	DQ2		Comp_of_IOR14A	True	M9
IOR16A	I/O	2	DQ2		True_of_IOR16B	True	N8
IOR16B	I/O	2	DQ2		Comp_of_IOR16A	True	M8
IOR18A	I/O	2	DQ2/DQS_23		True_of_IOR18B	True	N9
IOR18B	I/O	2	DQ2/DQS_23		Comp_of_IOR18A	True	N10
IOR20A	I/O	2	DQ3		True_of_IOR20B	True	R12
IOR20B	I/O	2	DQ3		Comp_of_IOR20A	True	P12
IOR22A	I/O	2	DQ3		True_of_IOR22B	True	P10
IOR22B	I/O	2	DQ3		Comp_of_IOR22A	True	P11
IOR24A/RPLL1B_T_IN0	I/O	2	DQ3	RPLL1B_T_IN0	True_of_IOR24B	True	R10
IOR24B	I/O	2	DQ3		Comp_of_IOR24A	True	R11
IOR26A	I/O	2	DQS3/DQ3		True_of_IOR26B	True	P8
IOR26B	I/O	2	DQS3/DQ3		Comp_of_IOR26A	True	P9
IOR29A	I/O	2	DQ3		True_of_IOR29B	True	R8

注！

[1] GCLKT_[x]A: GCLKC_[x]的默认专用管脚，[x]是时钟序号。

GCLKT_[x]B: 可配置成GCLKC_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

GCLKC_[x]A: GCLKT_[x]的默认专用管脚，[x]是时钟序号。

GCLKC_[x]B: 可配置成GCLKT_[x]的专用差分输入管脚，在对应的A未作为GCLK专用管脚时，通过配置实现GCLK管脚功能，[x]是时钟序号。

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG256
IOR29B	I/O	2	DQ3		Comp_of_IOR29A	True	R9
IOR31A/GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	I/O	2	DQ3	GCLKT_4/RPLL1_T_IN0/RPLL1_T_FB1	True_of_IOR31B	True	T10
IOR31B/GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	I/O	2	DQ3	GCLKC_4/RPLL1_C_IN0/RPLL1_C_FB1	Comp_of_IOR31A	True	T9
IOR33A/GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	I/O	2	none	GCLKT_5/RPLL1_T_IN1/RPLL1_T_FB0	True_of_IOR33B	True	T8
IOR33B/GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	I/O	2	none	GCLKC_5/RPLL1_C_IN1/RPLL1_C_FB0	Comp_of_IOR33A	True	T7
BANK1 True LVDS Pair							
IOT74A	I/O	1	DQ1/DQS_01		True_of_IOT74B	True	J11
IOT74B	I/O	1	DQ1/DQS_01		Comp_of_IOT74A	True	J12
IOT76A	I/O	1	DQ1		True_of_IOT76B	True	K12
IOT76B	I/O	1	DQ1		Comp_of_IOT76A	True	K11
IOT89A/RPLL0_T_FB1	I/O	1	none	RPLL0_T_FB1	True_of_IOT89B	True	L12
IOT89B/RPLL0_C_FB1	I/O	1	none	RPLL0_C_FB1	Comp_of_IOT89A	True	L9
IOT91A/RPLL0_T_IN1/RPLL0_T_FB0	I/O	1	none	RPLL0_T_IN1/RPLL0_T_FB0	True_of_IOT91B	True	L8
IOT91B/RPLL0_C_IN1/RPLL0_C_FB0	I/O	1	none	RPLL0_C_IN1/RPLL0_C_FB0	Comp_of_IOT91A	True	L7
BANK0 True LVDS Pair							
IOT29A/PUDC_B	I/O	0	none	PUDC_B	True_of_IOT29B	True	E11