



# Arora V 15K FPGA 产品 封装与管脚手册

UG1119-1.0, 2024-05-09

版权所有 © 2024 广东高云半导体科技股份有限公司

**GOWIN**高云、Gowin、晨熙、高云均为广东高云半导体科技股份有限公司注册商标，本手册中提到的其他任何商标，其所有权利属其拥有者所有。未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

## 版本信息

日期	版本	说明
2024/05/09	1.0	初始版本。

# 目录

目录 .....	i
图目录 .....	ii
表目录 .....	iii
<b>1关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 相关文档 .....	1
1.3 术语、缩略语 .....	1
1.4 技术支持与反馈 .....	2
<b>2概述 .....</b>	<b>3</b>
2.1 无铅封装 .....	3
2.2 封装和最大用户 I/O 信息 .....	3
2.3 电源管脚 .....	4
2.4 管脚数目 .....	4
2.4.1 GW5AT-15 器件管脚数目 .....	4
2.4.2 GW5ART-15 器件管脚数目 .....	5
2.5 I/O BANK 说明 .....	7
<b>3管脚分布示意图 .....</b>	<b>8</b>
3.1 GW5AT-15 器件管脚分布示意图 .....	8
3.1.1 MG132 管脚分布示意图 .....	8
3.2 GW5ART-15 器件管脚分布示意图 .....	10
3.2.1 CM90P 管脚分布示意图 .....	10
3.2.2 MG132P 管脚分布示意图 .....	11
<b>4封装尺寸 .....</b>	<b>12</b>
4.1 封装尺寸 MG132 (mm x mm, GW5AT-15) .....	12
4.2 封装尺寸 CM60P (mm x mm, GW5ART-15) .....	14
4.3 封装尺寸 MG132P (mm x mm, GW5ART-15) .....	16

# 图目录

图 3-1 GW5AT-15 器件 MG132 封装管脚分布示意图（顶视图） .....	8
图 3-2 GW5ART-15 器件 CM90P 封装管脚分布示意图（顶视图） .....	10
图 3-1 GW5ART-15 器件 MG132P 封装管脚分布示意图（顶视图） .....	11
图 4-1 封装尺寸 MG132 .....	12
图 4-2 推荐 PCB Layout MG132 .....	13
图 4-3 封装尺寸 CM60P .....	14
图 4-4 推荐 PCB Layout CM60P .....	15
图 4-5 封装尺寸 MG132P .....	16
图 4-6 推荐 PCB Layout MG132P .....	17

# 表目录

表 1-1 术语、缩略语 .....	1
表 2-1 封装和最大用户 I/O 信息、LVDS 对数 .....	3
表 2-2 Arora V 15K 电源管脚 .....	4
表 2-3 GW5ART-15 器件管脚数目列表 .....	5
表 3-1 GW5AT-15 器件 MG132 其他管脚 .....	9
表 3-2 GW5ART-15 器件 CM90P 其他管脚 .....	10
表 3-1 GW5ART-15 器件 MG132P 其他管脚 .....	11

# 1 关于本手册

## 1.1 手册内容

Arora V 15K FPGA 产品封装与管脚手册主要包括高云半导体 Arora V 15K FPGA 产品的封装介绍、管脚定义说明、管脚数目列表、管脚分布示意图以及封装尺寸图。

## 1.2 相关文档

通过登录高云半导体网站 [www.gowinsemi.com](http://www.gowinsemi.com) 可以下载、查看以下相关文档：

- [DS1118, Arora V 15K FPGA 产品数据手册](#)
- [UG1120, GW5ART-15 器件 Pinout 手册](#)
- [UG1224, GW5AT-15 器件 Pinout 手册](#)

## 1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable IO	高云可编程通用管脚
MG	MBGA	MBGA 封装

## 1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com](http://www.gowinsemi.com)

E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: +86 755 8262 0391



# 2 概述

高云半导体 Arora V 15K FPGA 产品是高云半导体晨熙家族第五代产品，内部资源丰富，具有全新构架且支持 AI 运算的高性能 DSP，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，同时集成自主研发的 DDR3、支持多种协议的 12.5Gbps SERDES，提供多种管脚封装形式，适用于低功耗、高性能及兼容性设计等应用场合。

高云半导体同时提供面向市场自主研发的新一代 FPGA 硬件开发环境，支持 Arora V 15K FPGA 产品，能够完成 FPGA 综合、布局、布线、产生数据流文件及下载等一站式工作。

## 2.1 无铅封装

Arora V 15K FPGA 产品采用无铅工艺封装，绿色环保，符合欧盟的 RoHS 指令。Arora V 15K FPGA 产品物质成分信息符合 IPC-1752 标准文件。

## 2.2 封装和最大用户 I/O 信息

表 2-1 封装和最大用户 I/O 信息、LVDS 对数

封装	间距(mm)	尺寸(mm)	E-pad 尺寸(mm)	GW5AT-15	GW5ART-15
CM90P	0.5	5.3 x 4.9	-	-	23 (11)
MG132	0.5	8 x 8	-	53 (25)	-
MG132P	0.5	8 x 8	-	-	38 (18)

注！

本手册中 Arora V 15K FPGA 产品封装命名采用缩写的方式，详细信息请参考 [1.3 术语、缩略语](#)。

## 2.3 电源管脚

表 2-2 Arora V 15K 电源管脚

VCC	VCCB	VCCC	VCCX
VCCIO1	VCCIO2	VCCIO3	VCCIO4
M0_VDDA	M0_VDDX	VCC_REG	VQPS
M1_VDDX	M1_VDDA_LN0	M1_VDDA_LN1	M1_VDDA_LN2
DPHY_VDD12	Q0_VDDHA	Q0_VDDRC_LN0	Q0_VDDRC_LN1
Q0_VDDRC_LN2	Q0_VDDRC_LN3	Q0_VDDTC	Q0_VDDTC_LN0
Q0_VDDTC_LN1	Q0_VDDTC_LN2	Q0_VDDTC_LN3	Q0_VDDT_LN0
Q0_VDDT_LN1	Q0_VDDT_LN2	Q0_VDDT_LN3	PSRAM_VDD
PSRAM_VDDQ	-	-	-

## 2.4 管脚数目

### 2.4.1 GW5AT-15 器件管脚数目

管脚类型		GW5AT-15
		MG132
I/O 单端/差分对 /LVDS <sup>[1]</sup>	BANK0	0/0/0
	BANK1	30/14/14
	BANK2	7/3/3
	BANK3	8/4/4
	BANK4	8/4/4
	BANK5	0/0/0
	BANK6	0/0/0
	BANK7	0/0/0
	BANK10	0/0/0
	BANK11	0/0/0
最大用户 I/O 总数		53
差分对		25
True LVDS 输出		25
VCCIO1		2
VCCIO2		1
VCCIO3		1
VCCIO4		1
VCC/VCCB/VCCC		8
VCCX		3
VCC_REG		1
DPHY_VDD12		1
VQPS		1

管脚类型	GW5AT-15
	MG132
M0_VDDA	1
M0_VDDX/M1_VDDX	1
M1_VDDA_LN0/M1_VDDA_LN1/M1_VDDA_LN2	1
Q0_VDDA/Q0_VDDRC_LN0/Q0_VDDRC_LN1/Q0_VDDRC_LN2/Q0_VDDRC_LN3/Q0_VDDTC/Q0_VDDTC_LN0/Q0_VDDTC_LN1/Q0_VDDTC_LN2/Q0_VDDTC_LN3	4
Q0_VDDT_LN0/Q0_VDDT_LN1/Q0_VDDT_LN2/Q0_VDDT_LN3	1
Q0_VDDHA	2
VSS	11
MODE0	1
MODE1	1
MODE2	0
NC	0

注!

<sup>[1]</sup>单端/差分 I/O 的数目包含 CLK 管脚、下载管脚。

## 2.4.2 GW5ART-15 器件管脚数目

表 2-3 GW5ART-15 器件管脚数目列表

管脚类型		GW5ART-15	
		CM90P	MG132P
I/O 单端/差分对/LVDS <sup>[1]</sup>	BANK0	0/0/0	0/0/0
	BANK1	0/0/0	15/7/7
	BANK2	7/3/3	7/3/3
	BANK3	8/4/4	8/4/4
	BANK4	8/4/4	8/4/4
	BANK5	0/0/0	0/0/0
	BANK6	0/0/0	0/0/0
	BANK7	0/0/0	0/0/0
	BANK10	0/0/0	0/0/0
	BANK11	0/0/0	0/0/0
最大用户 I/O 总数		23	38
差分对		11	18
True LVDS 输出		11	18
VCCIO2		1	1
VCCIO3		1	1
VCCIO4		1	1

管脚类型	GW5ART-15	
	CM90P	MG132P
VCC	5	0
VCCB	2	0
VCCC	2	0
VCC/VCCB/VCCC	0	8
DPHY_VDD12	1	1
VCCX	0	3
VQPS	1	1
VCC_REG	0	1
M0_VDDX/VCCX/VCC_REG	3	0
M0_VDDA	1	1
M0_VDDX/M1_VDDX	0	1
M1_VDDA_LN0/M1_VDDA_LN1/M1_VDDA_LN2	0	1
PSRAM_VDD/PSRAM_VDDQ/VCCIO1	3	2
Q0_VDDA/Q0_VDDRC_LN0/Q0_VDDRC_LN1/Q0_VDDRC_LN2/Q0_VDDRC_LN3/Q0_VDDTC/Q0_VDDTC_LN0/Q0_VDDTC_LN1/Q0_VDDTC_LN2/Q0_VDDTC_LN3	2	4
Q0_VDDT_LN0/Q0_VDDT_LN1/Q0_VDDT_LN2/Q0_VDDT_LN3	1	1
Q0_VDDHA	1	2
VSS	20	11
MODE0	1	1
MODE1	1	1
MODE2	0	0
NC	2	0

注!

<sup>[1]</sup>单端/差分 I/O 的数目包含 CLK 管脚、下载管脚。

## 2.5 I/O BANK 说明

Arora V 15K FPGA 产品 I/O 包括 4 个 GPIO Bank。

详细的 Bank 分布示意图请参考 [DS1118, Arora V 15K FPGA 产品数据手册 > 2.4 输入输出模块](#)。

本手册列举了 Arora V 15K FPGA 产品每种封装的管脚分布示意图，详细信息请参考第 3 章管脚分布示意图。Arora V 15K FPGA 产品的不同 BANK 用不同颜色区分。

用户 I/O、电源、地使用不同的符号和颜色来区分。Arora V 15K FPGA 产品管脚示意图中管脚定义如下所示：

- “” 表示 BANK0 中的 I/O。
- “” 表示 BANK1 中的 I/O。
- “” 表示 BANK2 中的 I/O。
- “” 表示 BANK3 中的 I/O。
- “” 表示 BANK4 中的 I/O。
- “” 表示 BANK5 中的 I/O。
- “” 表示 BANK6 中的 I/O。
- “” 表示 BANK7 中的 I/O。
- “” 表示 BANK10 中的 I/O。
- “” 表示 BANK11 中的 I/O。
- “” 表示 MIPI 和 ADC 中的 DIO。
- “” 表示 VCC、VCCX、VCCIO，填充颜色不变。
- “” 表示 VSS，填充颜色不变。
- “” 表示 NC。

# 3 管脚分布示意图

## 3.1 GW5AT-15 器件管脚分布示意图

### 3.1.1 MG132 管脚分布示意图

图 3-1 GW5AT-15 器件 MG132 封装管脚分布示意图（顶视图）

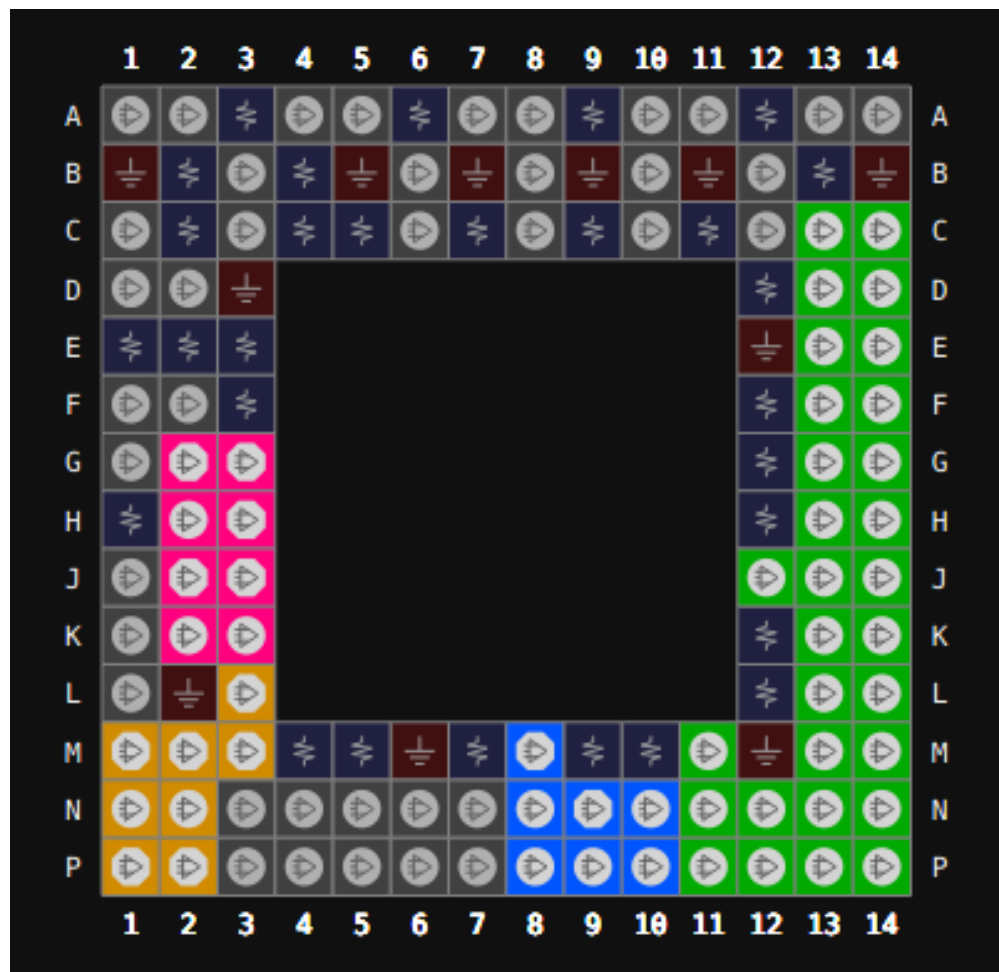


表 3-1 GW5AT-15 器件 MG132 其他管脚

VCC/VCCB/VCC	E3,H1,B13,M10,B2,C5,C9,G12
VCCIO1	D12,K12
VCCIO2	M9
VCCIO3	M4
VCCIO4	F3
VCCX	H12,E1,C4
VCC_REG	F12
DPHY_VDD12	M7
VQPS	L12
M0_VDDA	M5
M0_VDDX/M1_VDDX	C2
M1_VDDA_LN0/M1_VDDA_LN1/M1_VDDA_LN2	E2
Q0_VDDHA	C7,C11
Q0_VDDT_LN0/Q0_VDDT_LN1/Q0_VDDT_LN2/Q0_VDDT_LN3	B4
Q0_VDDA/Q0_VDDRC_LN0/Q0_VDDRC_LN1/Q0_VDDRC_LN2/Q0_VDDRC_LN3/Q0_VDDTC/Q0_VDDTC_LN0/Q0_VDDTC_LN1/Q0_VDDTC_LN2/Q0_VDDTC_LN3	A6,A3,A12,A9
VSS	B1,B5,B7,B9,B11,B14,D3,E12,L2,M6,M12

### 3.2 GW5ART-15 器件管脚分布示意图

#### 3.2.1 CM90P 管脚分布示意图

图 3-2 GW5ART-15 器件 CM90P 封装管脚分布示意图（顶视图）

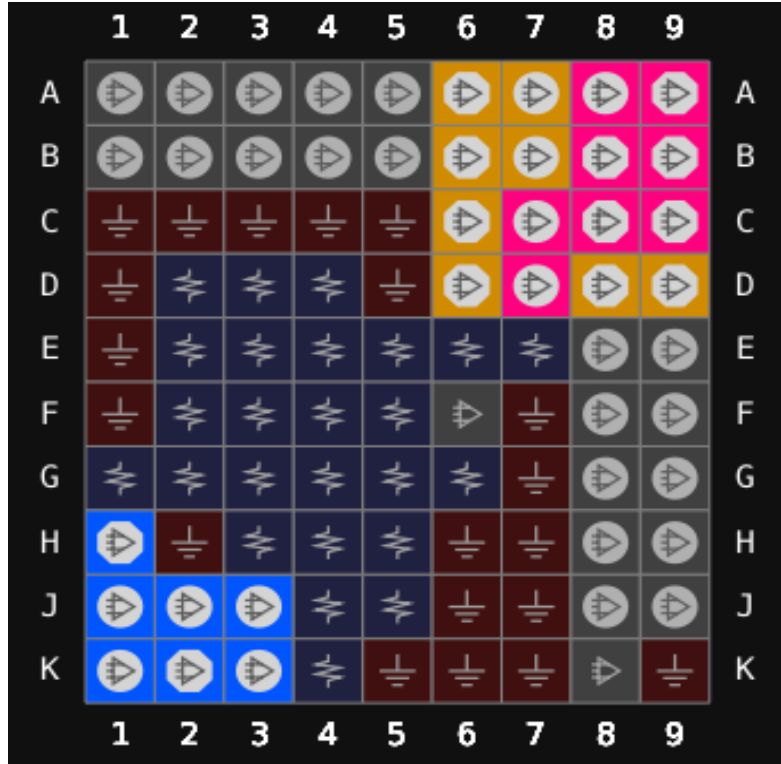


表 3-2 GW5ART-15 器件 CM90P 其他管脚

VCC	E6,G5,G6,F5,E5
VCCB	F3,E7
VCCC	F4,E4
VCCIO2	H4
VCCIO3	H3
VCCIO4	G3
VCC_DPHY1P2	K4
VQPS	G1
M0_VDDA	G4
M0_VDDX/VCCX/VCC_REG	H5,J5,J4
PSRAM_VDD/PSRAM_VDDQ/VCCIO1	G2,E2,F2
Q0_VDDHA	D4
Q0_VDDT_LN0/Q0_VDDT_LN1/Q0_VDDT_LN2/Q0_VDDT_LN3	E3
Q0_VDDA/Q0_VDDRC_LN0/Q0_VDDRC_LN1/Q0_VDDRC_LN2/Q0_VDDRC_LN3/Q0_VDDTC/Q0_VDDTC_LN0/Q0_VDDTC_LN1/Q0_VDDTC_LN2/Q0_VDDTC_LN3	D3,D2
VSS	K9,H7,J7,K7,F7,H6,J6,C5,D5,C4,C3,C2,H2,C1,D1,K6,K5,F1,E1,G7



### 3.2.2 MG132P 管脚分布示意图

图 3-3 GW5ART-15 器件 MG132P 封装管脚分布示意图（顶视图）

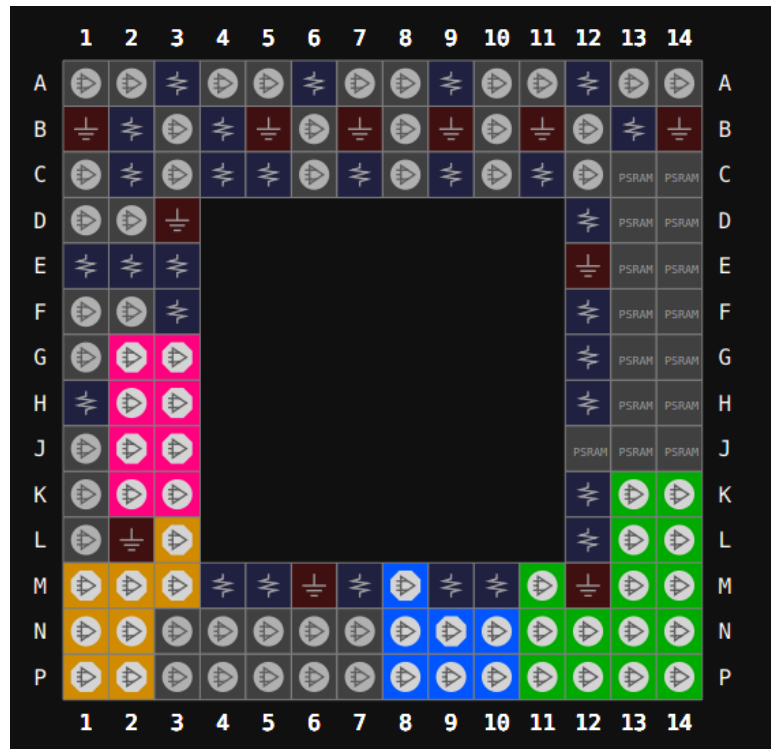


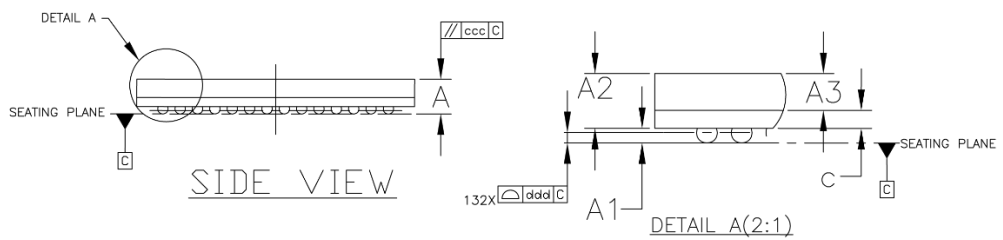
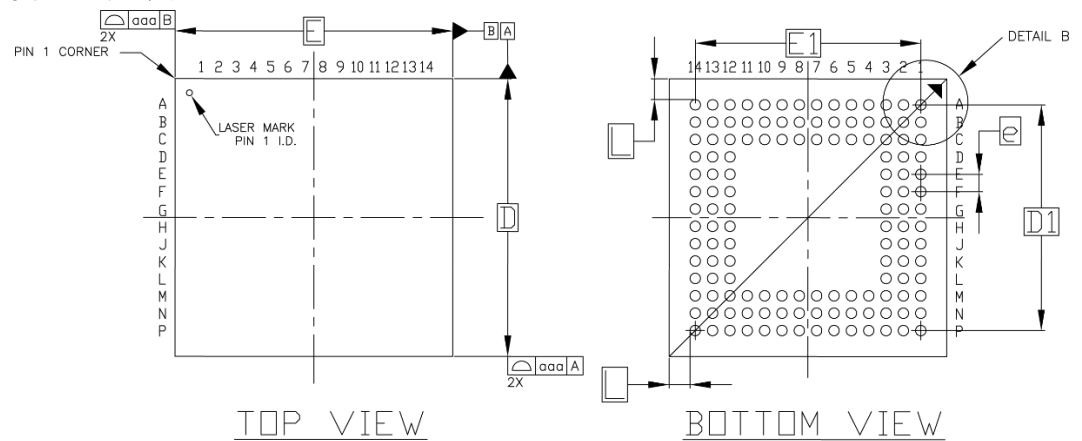
表 3-3 GW5ART-15 器件 MG132P 其他管脚

VCC/VCCB/VCC	E3,H1,B13,M10,B2,C5,C9,G12
VCCIO2	M9
VCCIO3	M4
VCCIO4	F3
VCCX	H12,E1,C4
VCC_REG	F12
PSRAM_VDD/PSRAM_VDDQ/VCCIO1	D12,K12
DPHY_VDD12	M7
VQPS	L12
M0_VDDA	M5
M0_VDDX/M1_VDDX	C2
M1_VDDA_LN0/M1_VDDA_LN1/M1_VDDA_LN2	E2
Q0_VDDHA	C7,C11
Q0_VDDT_LN0/Q0_VDDT_LN1/Q0_VDDT_LN2/Q0_VDDT_LN3	B4
Q0_VDDA/Q0_VDDRC_LN0/Q0_VDDRC_LN1/Q0_VDDRC_LN2/Q0_VDDRC_LN3/Q0_VDDTC/Q0_VDDTC_LN0/Q0_VDDTC_LN1/Q0_VDDTC_LN2/Q0_VDDTC_LN3	A6,A3,A12,A9
VSS	B1,B5,B7,B9,B11,B14,D3,E12,L2,M6,M12

# 4 封装尺寸

## 4.1 封装尺寸 MG132 (8mm x 8mm, GW5AT-15)

图 4-1 封装尺寸 MG132



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.92	1.00	1.08
A1	0.16	0.21	0.26
A2	0.74	0.79	0.84
A3	0.53 BASIC		
c	0.22	0.26	0.30
D	7.90	8.00	8.10
D1	6.50 BASIC		
E	7.90	8.00	8.10
E1	6.50 BASIC		
e	0.50 BASIC		
b	0.25	0.30	0.35
L	0.60 REF		
aaa	0.15		
ccc	0.08		
ddd	0.08		
eee	0.15		
fff	0.05		

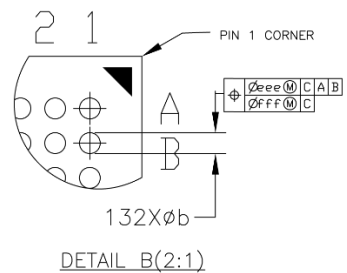
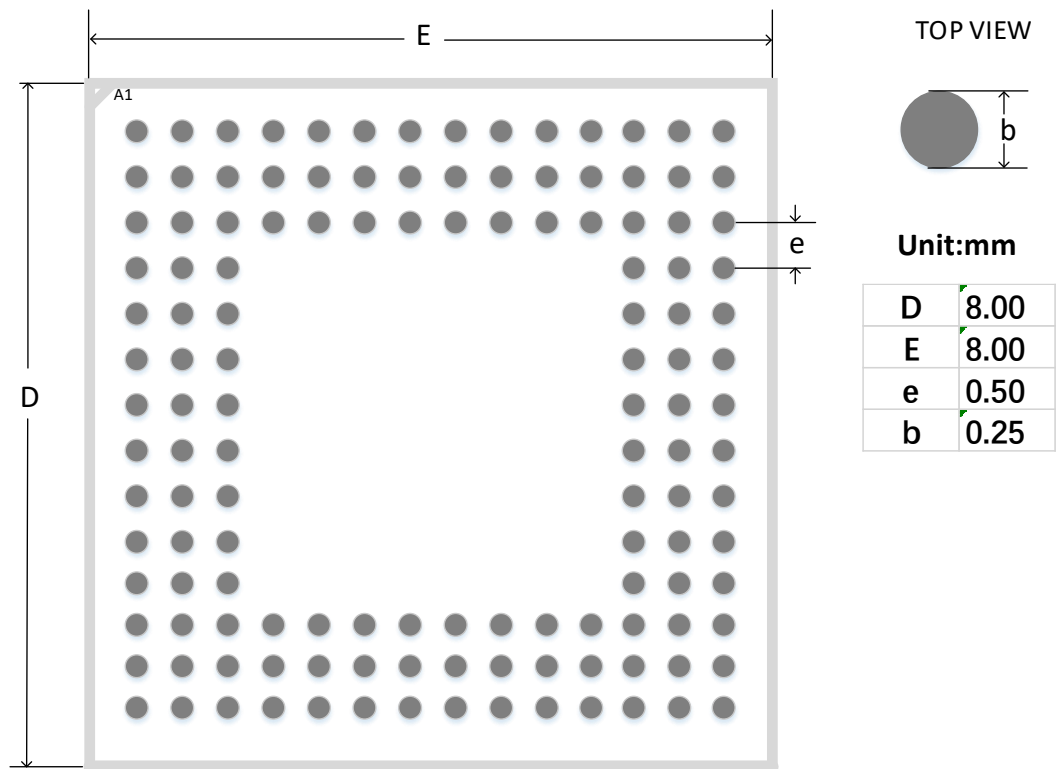
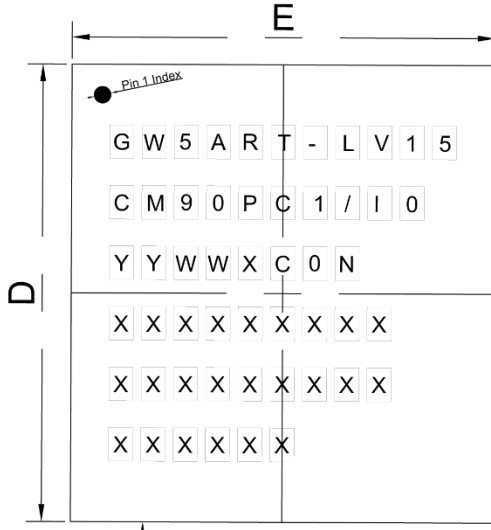


图 4-2 推荐 PCB Layout MG132

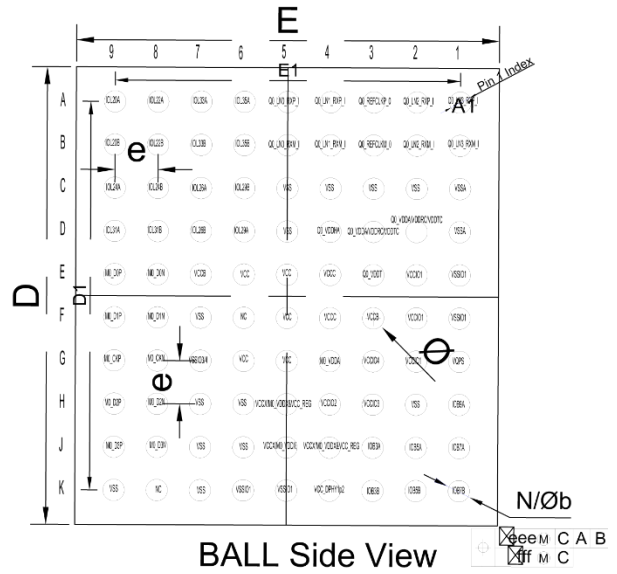


## 4.2 封装尺寸 CM90P (5.3mm x 4.9mm, GW5ART-15)

图 4-3 封装尺寸 CM90P

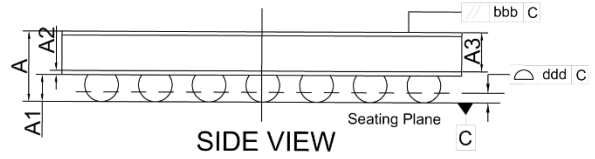


Silicon Side View  
Bin1/2



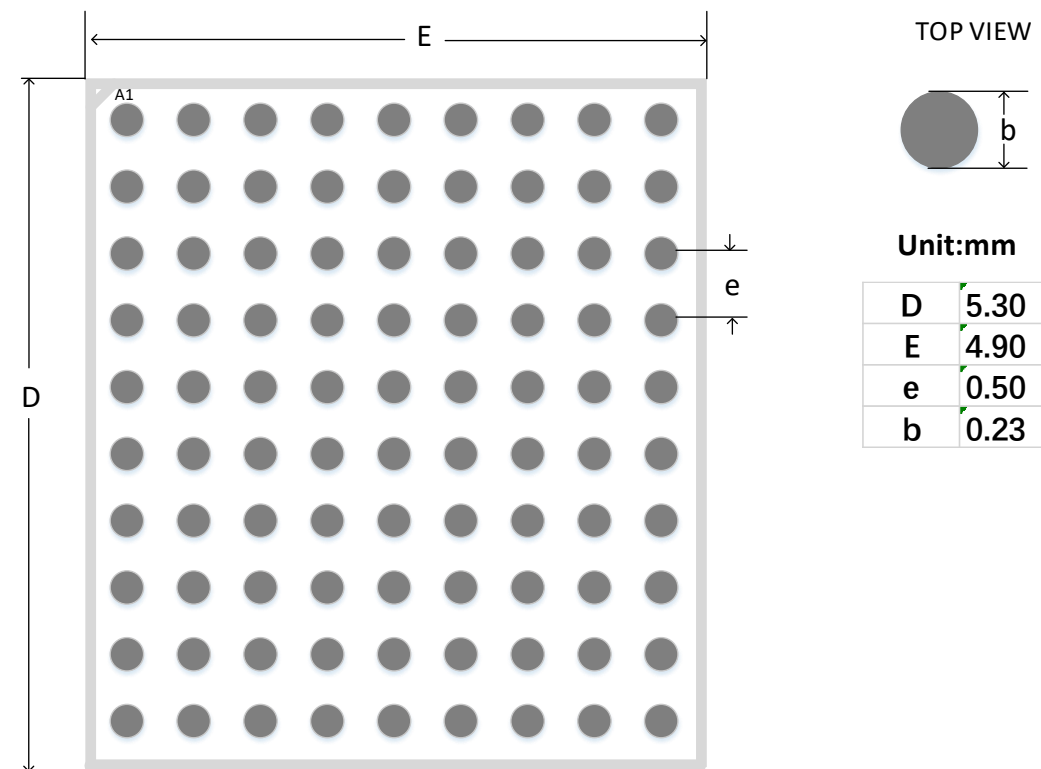
BALL Side View

ITEM	SYMBOL	COMMON DIMENSIONS
TOTAL THICKNESS	A	605±45um
SOLDER BALL HEIGHT	A1	206±20um
PI+RDL+UBM THICKNESS	A2	44±11um
EMC+BackSide Coating THICKNESS	A3	355±25um
PACKAGE SIZE	E*D	4900*5300±50um
BALL DIAMETER BEFORE REFLOW	Øb	250±20um
BALL DIAMETER AFTER REFLOW	Ø	260±20um
UBM PAD OPENING		210um
BALL PITCH	e	500um
BALL COUNT	N	90ea
EDGE BALL CENTER TO CENTER	E1	4000um
	D1	4500um
PACKAGE EDGE TOLERANCE	aaa	0.15
EMC FLATNESS	bbb	0.10
COPLANARITY	ddd	0.08
BALL OFFSET (PACKAGE)	eee	0.15
BALL OFFSET (BALL)	fff	0.05
SOLDER BALL MATERIAL		SAC305 ,96.5%Sn,3%Ag,0.5%Cu



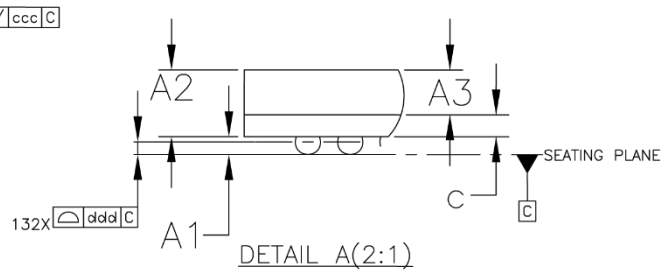
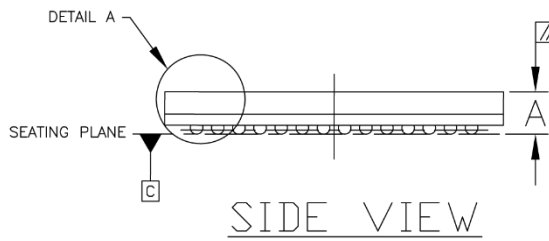
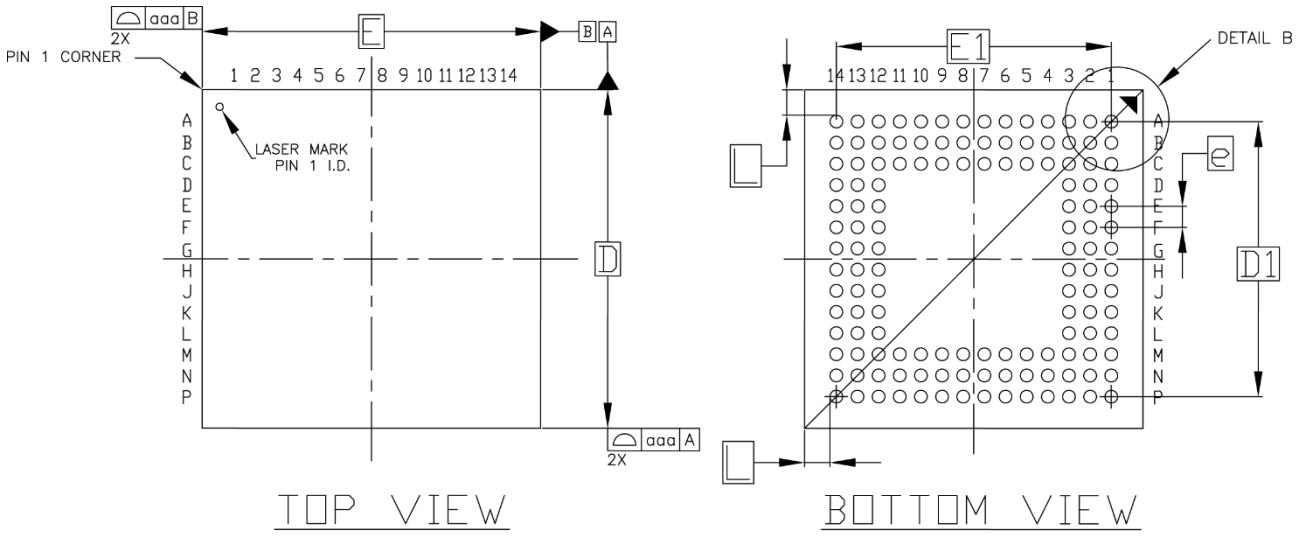
SIDE VIEW

图 4-4 推荐 PCB Layout CM90P



# 4.3 封装尺寸 MG132P (8mm x 8mm, GW5ART-15)

图 4-5 封装尺寸 MG132P



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.92	1.00	1.08
A1	0.16	0.21	0.26
A2	0.74	0.79	0.84
A3	0.53 BASIC		
c	0.22	0.26	0.30
D	7.90	8.00	8.10
D1	6.50 BASIC		
E	7.90	8.00	8.10
E1	6.50 BASIC		
e	0.50 BASIC		
b	0.25	0.30	0.35
L	0.60 REF		
aaa	0.15		
ccc	0.08		
ddd	0.08		
eee	0.15		
fff	0.05		

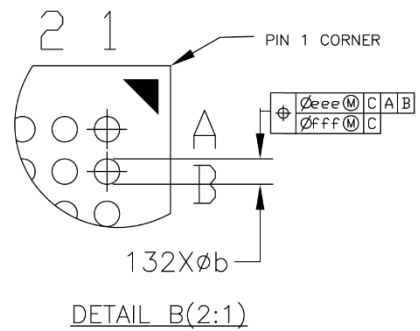


图 4-6 推荐 PCB Layout MG132P

