

日期	版本	说明
2024/5/9	1.0	初始版本，支持CM90P和MG132P封装。
2024/5/22	1.0.1	删除MG132P封装。 更新CM90P封装VQPS管脚的连接关系。
2024/6/7	1.0.2	新增Power页中VCCX的注释。 更新Power页中M0_VDDX的电压最大值。

管脚名称	方向	说明
<b>用户I/O管脚</b>		
IO [End][Row/Column Number][A/B]	I/O/LVDS	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top)
		[Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数
		[A/B]提供差分信号对信息
		方向为LVDS时表示该管脚只支持真LVDS输出
<b>多功能管脚</b>		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外的一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户I/O
D00~D07	I/O，内部弱上拉	CPU模式：数据输入输出端口D00~D07
D08~D15	I	CPU模式：数据输入端口D08~D15
MI0	I/O，内部弱上拉	MSPI模式：串行指令和地址输出，以及X2，X4模式下的并行数据bit0的输入管脚，连接外部Flash器件的DQ0/D/SI/IO0管脚
MI1	I/O，内部弱上拉	MSPI模式：X1模式下串行数据输入，X2，X4模式下并行数据bit1的输入管脚，连接外部Flash器件的DQ1/Q/SO/IO1管脚
MI2	I/O，内部弱上拉	MSPI模式：X4模式下并行数据bit2的输入管脚，分别连接外部Flash器件的DQ2/W#/WP#/IO2管脚
MI3	I/O，内部弱上拉	MSPI模式：X4模式下并行数据bit3的输入管脚，分别连接外部Flash器件的DQ3/HOLD#/IO3管脚
MOSI	I/O，内部弱上拉	MSPI模式：串行指令和地址输出，以及X2，X4模式下的并行数据bit0的输入管脚，连接外部Flash器件的DQ0/D/SI/IO0管脚
MISO	I/O，内部弱上拉	MSPI模式：X1模式下串行数据输入，X2，X4模式下并行数据bit1的输入管脚，连接外部Flash器件的DQ1/Q/SO/IO1管脚
MCS_N	O， MODE[1:0]：内部弱上拉 MODE[2:0]：None	MSPI模式：使能信号MCS_N，低电平有效
CCLK	I/O，内部弱上拉	配置时钟 Slave模式：CCLK为输入，需要连接外部时钟源 Master模式：CCLK为输出
EMCCLK	I，内部弱上拉	外部输入时钟信号 Master模式：EMCCLK用作FPGA配置逻辑，以及输出CCLK的时钟源 Slave模式：EMCCLK对slave模式没有关联
SDA	I/O，内部弱上拉	I2C串行数据线；当GowinCONFIG配置模式支持I2C时，需要外上拉
SCL	I， MODE[1:0]：None MODE[2:0]：内部弱上拉	I2C串行时钟线；当GowinCONFIG配置模式支持I2C时，需要外上拉
SO	O，内部弱上拉	SSPI模式下SO

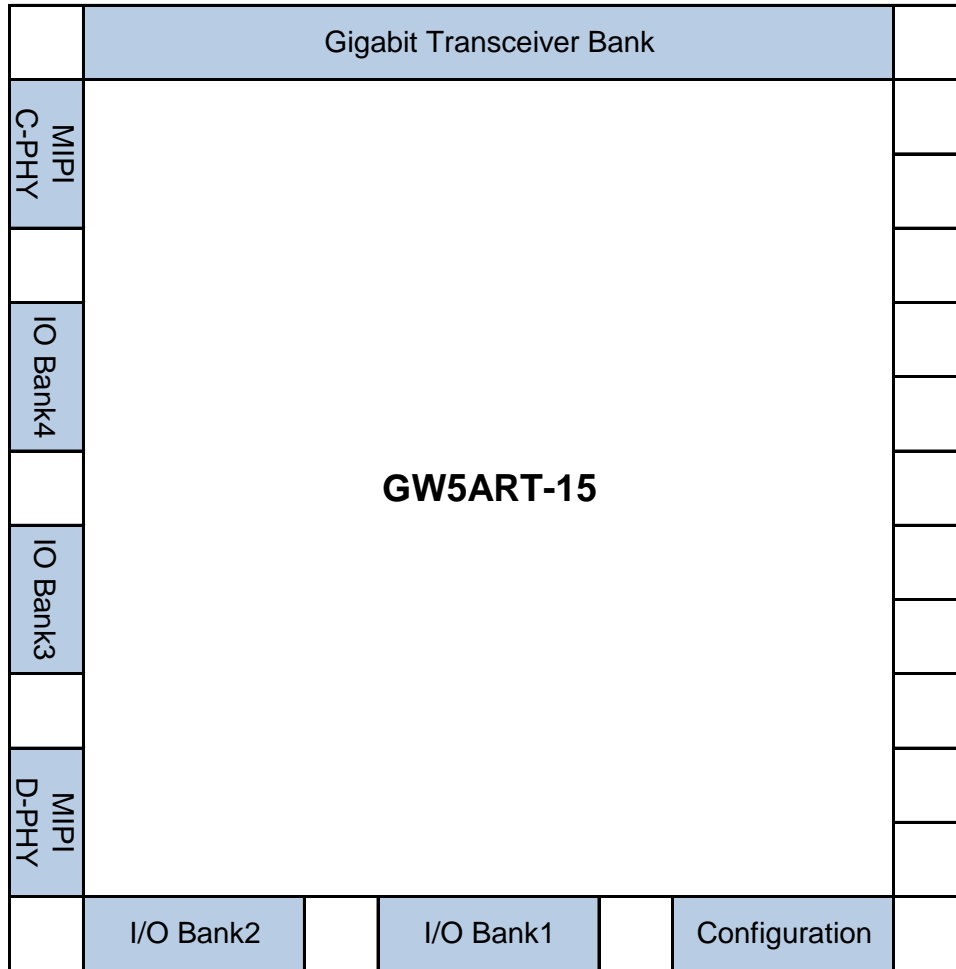
管脚名称	方向	说明
SI	I, 内部弱上拉	SSPI模式下SI
SSI0	I, 内部弱上拉	QSSPI配置模式: 数据输入管脚
SSI1	I, 内部弱上拉	QSSPI配置模式: 数据输入管脚
SSI2	I, MODE[1:0]: 内部弱上拉 MODE[2:0]: None	QSSPI配置模式: 数据输入管脚
SSI3	I, 内部弱上拉	QSSPI配置模式: 数据输入管脚
CLKHOLD_N	I, 内部弱下拉	在SSPI模式下, 低电平有效
SSPI_CLK	I, 内部弱上拉	SSPI/QSSPI配置模式: 时钟输入管脚
SSPI_WPN	I, MODE[1:0]: 内部弱上拉 MODE[2:0]: None	QSSPI配置模式: 数据输入管脚
SSPI_CS_N	I, 内部弱上拉	SSPI模式: 使能信号SSPI_CS_N, 低电平有效, 内部弱上拉
CSI_B	I, 内部弱上拉	CPU模式: 片选信号低有效 Master CPU模式: 连接外部配置controller的片选信号, 也可以直接接地或者串接1KΩ电阻接地 Slave CPU模式: 外部配置controller可以通过控制CSI_B信号选择FPGA Master和Slave模式都是由外部controller发出, 其他模式CSI_B信号没有关联
CSO_B	O, 内部弱上拉	在FPGA级联配置模式(Daisy Chain)用于连接下一级器件 SERIAL模式: 输出下一级器件的配置数据 Master SPI模式: 输出下一级器件的配置数据 CPU模式: 输出下一级器件的片选信号
RDWR_B	I, 内部弱下拉	CPU模式: 数据读写控制信号 RDWR为高电平时, FPGA输出数据; 为低电平时, 外部控制器将数据写入FPGA Master CPU模式: 可以接外部控制器RDWR信号, 也可以直接或者串接≤1kΩ电阻器连接到GND。 Slave CPU模式: 外部控制器RDWR信号 CPU模式的低8位专用IO在wakeup后会受RDWR状态影响, CPU模式低8位设置复用fuse不受RDWR影响
Q0REF_T_IN	I	SerDes Q0的参考时钟通道差分输入管脚, T(True)
Q0REF_C_IN	I	SerDes Q0的参考时钟通道差分输入管脚, C(Comp)
GCLKC_[x]	I	GCLKT_[x]的差分对比输入管脚, C(Comp), [x]是时钟序号
GCLKT_[x]	I	全局时钟输入管脚, T(True), [x]是时钟序号
DOUT	O	SERIAL模式: 数据输出
DIN	I, 内部弱上拉	SERIAL模式: 数据输入
TMS	I, 内部弱上拉	JTAG模式: 串行模式输入
TCK	I, 内部弱上拉	JTAG模式: 串行时钟输入
TDO	O, 内部弱上拉	JTAG模式: 串行数据输出
TDI	I, 内部弱上拉	JTAG模式: 串行数据输入

管脚名称	方向	说明
RECONFIG_N	I, 内部弱上拉	全局复位GowinCONFIG逻辑信号, 低电平有效
DONE <sup>[1]</sup>	O, 内部弱上拉	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
	I, 内部弱上拉	DONE信号为低电平时, 延迟芯片启动, 直到DONE信号为高电平
READY <sup>[1]</sup>	I/O, 内部弱上拉	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
LPLL_C_FB/BPLL_C_FB	I	左边/下边PLL反馈输入管脚, C(Comp)
LPLL_T_FB/BPLL_T_FB	I	左边/下边PLL反馈输入管脚, T(True)
LPLL_C_IN/BPLL_C_IN	I	左边/下边PLL时钟输入管脚, C(Comp)
LPLL_T_IN/BPLL_T_IN	I	左边/下边PLL时钟输入管脚, T(True)
MODE2	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口: 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
MODE1	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口: 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
MODE0	I, 内部弱上拉	GowinCONFIG配置模式选择信号端口: 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
<b>其他管脚</b>		
VSS	NA	Ground管脚
VCC	NA	核电压供电管脚
VCCIO#	NA	I/O BANK#的I/O电压供电管脚
VCCB	NA	BSRAM的电压供电管脚
VCCC	NA	Clock tree电压供电管脚
VCCX	NA	辅助电压供电管脚
VCC_REG <sup>[2]</sup>	NA	Regulator电压供电管脚
DPHY_VDD12	NA	DPHY LP 电压供电管脚
VQPS	NA	eFuse写入所需电压供电管脚
M*_VDD*	NA	MIPI电压供电管脚
Q*_VDD*	NA	SerDes电压供电管脚
PSRAM_VDD*	NA	PSRAM电压供电管脚
NC	NA	预留未使用
Q0_LN0_RXM_I	DIO	SerDes Q0的数据通道0 RX差分输入管脚
Q0_LN0_RXP_I	DIO	SerDes Q0的数据通道0 RX差分输入管脚
Q0_LN0_TXM_O	DIO	SerDes Q0的数据通道0 TX差分输出管脚
Q0_LN0_TXP_O	DIO	SerDes Q0的数据通道0 TX差分输出管脚
Q0_LN1_RXM_I	DIO	SerDes Q0的数据通道1 RX差分输入管脚

管脚名称	方向	说明
Q0_LN1_RXP_I	DIO	SerDes Q0的数据通道1 RX差分输入管脚
Q0_LN1_TXM_O	DIO	SerDes Q0的数据通道1 TX差分输出管脚
Q0_LN1_TXP_O	DIO	SerDes Q0的数据通道1 TX差分输出管脚
Q0_LN2_RXM_I	DIO	SerDes Q0的数据通道2 RX差分输入管脚
Q0_LN2_RXP_I	DIO	SerDes Q0的数据通道2 RX差分输入管脚
Q0_LN2_TXM_O	DIO	SerDes Q0的数据通道2 TX差分输出管脚
Q0_LN2_TXP_O	DIO	SerDes Q0的数据通道2 TX差分输出管脚
Q0_LN3_RXM_I	DIO	SerDes Q0的数据通道3 RX差分输入管脚
Q0_LN3_RXP_I	DIO	SerDes Q0的数据通道3 RX差分输入管脚
Q0_LN3_TXM_O	DIO	SerDes Q0的数据通道3 TX差分输出管脚
Q0_LN3_TXP_O	DIO	SerDes Q0的数据通道3 TX差分输出管脚
Q0_REFCLKM_0	DIO	SerDes Q0的参考时钟通道0差分输入管脚
Q0_REFCLKP_0	DIO	SerDes Q0的参考时钟通道0差分输入管脚
Q0_REFCLKM_1	DIO	SerDes Q0的参考时钟通道1差分输入管脚
Q0_REFCLKP_1	DIO	SerDes Q0的参考时钟通道1差分输入管脚
M0_CKN	DIO	MIPI_DPHY的时钟通道差分管脚
M0_CKP	DIO	MIPI_DPHY的时钟通道差分管脚
M0_D0N	DIO	MIPI_DPHY的数据通道0差分管脚
M0_D0P	DIO	MIPI_DPHY的数据通道0差分管脚
M0_D1N	DIO	MIPI_DPHY的数据通道1差分管脚
M0_D1P	DIO	MIPI_DPHY的数据通道1差分管脚
M0_D2N	DIO	MIPI_DPHY的数据通道2差分管脚
M0_D2P	DIO	MIPI_DPHY的数据通道2差分管脚
M0_D3N	DIO	MIPI_DPHY的数据通道3差分管脚
M0_D3P	DIO	MIPI_DPHY的数据通道3差分管脚
M1_D0A	DIO	MIPI_CPHY的数据通道0输入输出A管脚
M1_D0B	DIO	MIPI_CPHY的数据通道0输入输出B管脚
M1_D0C	DIO	MIPI_CPHY的数据通道0输入输出C管脚
M1_D1A	DIO	MIPI_CPHY的数据通道1输入输出A管脚
M1_D1B	DIO	MIPI_CPHY的数据通道1输入输出B管脚
M1_D1C	DIO	MIPI_CPHY的数据通道1输入输出C管脚

管脚名称	方向	说明
M1_D2A	DIO	MIPI_CPHY的数据通道2输入输出A管脚
M1_D2B	DIO	MIPI_CPHY的数据通道2输入输出B管脚
M1_D2C	DIO	MIPI_CPHY的数据通道2输入输出C管脚

注！  
[1] READY和DONE默认状态为open-drain输出, 内部弱上拉。在配置期间, DONE输出0。  
[2] VCC\_REG经过内部LDO为PLL、SRAM等模块供电。



**注!**

- [1]每个Bank还提供一个独立的参考电压（VREF）。
- [2]用户可选择使用IOB内置的VREF源（0.6V、0.75V、0.9V、1.25V、1.5V，以及基于VCCIO的比例电压（36%,50%,64%））。
- [3]用户也可选择外部的VREF输入（使用Bank中任意一个IO管脚作为外部VREF输入）。

注!

[1] VQPS为eFuse写入所需的电源, 当不需要写eFuse的时候, 这个电源可以给GND或floating。

[2] 当需要使用内部差分端接电阻时, VCCX必须大于等于3V。

[3] VCCX=1.8V时, IO输入输出的 $F_{Max}$ 会受到限制, 对于>600Mbps的输入输出应用, VCCX需要大于等于2.5V。

**GW5ART-15器件CM90P封装LV版本电源供电要求**

名称	描述	最小值	最大值
VCC	核电压	0.87V	1.03V
VCCB	BSRAM电压	0.87V	1.03V
VCCC	Clock tree电压	0.87V	1.03V
VCCIO2、VCCIO3、VCCIO4	I/O Bank电压	1.14V	3.465V
DPHY_VDD12	DPHY LP 电压	1.14V	1.32V
M0_VDDA	MIPI电压M0_VDDA	0.855V	1V
M0_VDDX/VCCX/VCC_REG	MIPI电压M0_VDDX/VCCX/Regulator电压内部短接在一起	1.71V	3.465V
PSRAM_VDD/PSRAM_VDDQ/VCCIO1/VQPS <sup>[1]</sup>	PSRAM电压PSRAM_VDD/PSRAM_VDDQ、I/O Bank电压VCCIO1、eFuse写入所需电压内部短接在一起	1.71V	1.89V
Q0_VDDHA	SerDes电压	1.71V	1.89V
Q0_VDDA/Q0_VDDRC_LN0/Q0_VDDRC_LN1/Q0_VDDRC_LN2/Q0_VDDRC_LN3/Q0_VDDTDC/Q0_VDDTDC_LN0/Q0_VDDTDC_LN1/Q0_VDDTDC_LN2/Q0_VDDTDC_LN3	SerDes电压 Q0_VDDA/Q0_VDDRC_LN0/Q0_VDDRC_LN1/Q0_VDDRC_LN2/Q0_VDDRC_LN3/ Q0_VDDTDC/Q0_VDDTDC_LN0/Q0_VDDTDC_LN1/Q0_VDDTDC_LN2/Q0_VDDTDC_LN3 内部短接在一起	0.87V	1.03V
Q0_VDDT_LN0/Q0_VDDT_LN1/Q0_VDDT_LN2/Q0_VDDT_LN3	SerDes电压Q0_VDDT_LN0/Q0_VDDT_LN1/Q0_VDDT_LN2/Q0_VDDT_LN3内部短接在一起	0.87V	1.03V



注！  
[1]LV版本。  
[2]必须短接在一起。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	CM90P <sup>[1]</sup>
I0B3A/D02/MI2	I/O	2	bus1	none	D02/MI2	True_of_I0B3B	True	J3
I0B3B/D01/DIN/MISO/MI1	I/O	2	bus1	none	D01/DIN/MISO/MI1	Comp_of_I0B3A	True	K3
I0B5A/CCLK	I/O	2	bus1	none	CCLK	True_of_I0B5B	True	J2
I0B5B/MCS_N	I/O	2	bus1	none	MCS_N	Comp_of_I0B5A	True	K2
I0B7A/D03/MI3	I/O	2	bus1	none	D03/MI3	True_of_I0B7B	True	J1
I0B7B/D00/MOSI/MI0	I/O	2	bus1	none	D00/MOSI/MI0	Comp_of_I0B7A	True	K1
I0B9A/READY	I/O	2	bus1	none	READY		none	H1
I0L20A/TCK	I/O	4		none	TCK	True_of_I0L20B	True	A9
I0L20B/TMS	I/O	4		none	TMS	Comp_of_I0L20A	True	B9
I0L22A/GCLKT_7/Q0REF_T_IN0/SSPI_CLK	I/O	4	bus0	none	GCLKT_7/Q0REF_T_IN0/SSPI_CLK	True_of_I0L22B	True	A8
I0L22B/GCLKC_7/Q0REF_C_IN0/RDWR_B/SO/SSI1/PCIE_HOST_RSTN	I/O	4	bus0	none	GCLKC_7/Q0REF_C_IN0/RDWR_B/SO/SSI1/PCIE_HOST_RSTN	Comp_of_I0L22A	True	B8
I0L24A/TDI	I/O	4	bus0	none	TDI	True_of_I0L24B	True	C9
I0L24B/TDO	I/O	4	bus0	none	TDO	Comp_of_I0L24A	True	C8
I0L26A/GCLKT_6/LPLL_T_IN0/LPLL_T_FB1/Q0REF_T_IN1/D06/CLKHOLD_N/SSI3	I/O	4	bus0	none	GCLKT_6/LPLL_T_IN0/LPLL_T_FB1/Q0REF_T_IN1/D06/CLKHOLD_N/SSI3	True_of_I0L26B	True	C7
I0L26B/GCLKC_6/LPLL_C_IN0/LPLL_C_FB1/Q0REF_C_IN1/D07/SSPI_WP_N/SSI2	I/O	4	bus0	none	GCLKC_6/LPLL_C_IN0/LPLL_C_FB1/Q0REF_C_IN1/D07/SSPI_WP_N/SSI2	Comp_of_I0L26A	True	D7
I0L29A/DONE	I/O	3	bus0	none	DONE	True_of_I0L29B	True	D6
I0L29B/RECONFIG_N	I/O	3	bus0	none	RECONFIG_N	Comp_of_I0L29A	True	C6
I0L31A/GCLKT_5/MODE1	I/O	3		none	GCLKT_5/MODE1	True_of_I0L31B	True	D9
I0L31B/GCLKC_5/MODE0	I/O	3		none	GCLKC_5/MODE0	Comp_of_I0L31A	True	D8
I0L33A/GCLKT_4/LPLL_T_IN1/LPLL_T_FB0/CSO_B/DOUT/SCL	I/O	3	bus0	none	GCLKT_4/LPLL_T_IN1/LPLL_T_FB0/CSO_B/DOUT/SCL	True_of_I0L33B	True	A7
I0L33B/GCLKC_4/LPLL_C_IN1/LPLL_C_FB0/CSI_B/SDA	I/O	3	bus0	none	GCLKC_4/LPLL_C_IN1/LPLL_C_FB0/CSI_B/SDA	Comp_of_I0L33A	True	B7
I0L35A/D04/SI/SSI0	I/O	3	bus0	none	D04/SI/SSI0	True_of_I0L35B	True	A6
I0L35B/D05/SSPI_CS_N	I/O	3	bus0	none	D05/SSPI_CS_N	Comp_of_I0L35A	True	B6

注！  
[1]LV版本。  
[2]必须短接在一起。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	CM90P <sup>[1]</sup>
M0_CKN	DIO	MIPI		none			none	G8
M0_CKP	DIO	MIPI		none			none	G9
M0_D0N	DIO	MIPI		none			none	E8
M0_D0P	DIO	MIPI		none			none	E9
M0_D1N	DIO	MIPI		none			none	F8
M0_D1P	DIO	MIPI		none			none	F9
M0_D2N	DIO	MIPI		none			none	H8
M0_D2P	DIO	MIPI		none			none	H9
M0_D3N	DIO	MIPI		none			none	J8
M0_D3P	DIO	MIPI		none			none	J9
Q0_LN0_RXM_I	DIO	Q0		none			none	B5
Q0_LN0_RXP_I	DIO	Q0		none			none	A5
Q0_LN1_RXM_I	DIO	Q0		none			none	B4
Q0_LN1_RXP_I	DIO	Q0		none			none	A4
Q0_LN2_RXM_I	DIO	Q0		none			none	B2
Q0_LN2_RXP_I	DIO	Q0		none			none	A2
Q0_LN3_RXM_I	DIO	Q0		none			none	B1
Q0_LN3_RXP_I	DIO	Q0		none			none	A1
Q0_REFCLKM_0	DIO	Q0		none			none	B3
Q0_REFCLKP_0	DIO	Q0		none			none	A3
M0_VDDA	Power	N/A						G4
M0_VDDX/VCCX/VCC_REG	Power	N/A						H5
M0_VDDX/VCCX/VCC_REG	Power	N/A						J5
M0_VDDX/VCCX/VCC_REG	Power	N/A						J4
PSRAM_VDD/PSRAM_VDDQ/VCCIO1/VQPS	Power	N/A						G2
PSRAM_VDD/PSRAM_VDDQ/VCCIO1/VQPS	Power	N/A						E2
PSRAM_VDD/PSRAM_VDDQ/VCCIO1/VQPS	Power	N/A						F2

注！  
[1]LV版本。  
[2]必须短接在一起。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	CM90P <sup>[1]</sup>
Q0_VDDA/Q0_VDDRC_LN0/Q0_VDDRC_LN1/Q0_VDDRC_LN2/Q0_VDDRC_LN3/Q0_VDDTC/Q0_VDDTC_LN0/Q0_VDDTC_LN1/Q0_VDDTC_LN2/Q0_VDDTC_LN3	Power	N/A						D3
Q0_VDDA/Q0_VDDRC_LN0/Q0_VDDRC_LN1/Q0_VDDRC_LN2/Q0_VDDRC_LN3/Q0_VDDTC/Q0_VDDTC_LN0/Q0_VDDTC_LN1/Q0_VDDTC_LN2/Q0_VDDTC_LN3	Power	N/A						D2
Q0_VDDHA	Power	N/A						D4
Q0_VDDT_LN0/Q0_VDDT_LN1/Q0_VDDT_LN2/Q0_VDDT_LN3	Power	N/A						E3
VCC	Power	N/A						E6
VCC	Power	N/A						G5
VCC	Power	N/A						G6
VCC	Power	N/A						F5
VCC	Power	N/A						E5
DPHY_VDD12	Power	N/A						K4
VCCB	Power	N/A						F3
VCCB	Power	N/A						E7
VCCC	Power	N/A						F4
VCCC	Power	N/A						E4
VCCIO2	Power	N/A						H4
VCCIO3	Power	N/A						H3
VCCIO4	Power	N/A						G3
VSS	Ground	N/A						K9
VSS	Ground	N/A						H7
VSS	Ground	N/A						J7
VSS	Ground	N/A						K7
VSS	Ground	N/A						F7

注！  
 [1]LV版本。  
 [2]必须短接在一起。

管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	CM90P <sup>[1]</sup>
VSS	Ground	N/A						H6
VSS	Ground	N/A						J6
VSS	Ground	N/A						C5
VSS	Ground	N/A						D5
VSS	Ground	N/A						C4
VSS	Ground	N/A						C3
VSS	Ground	N/A						C2
VSS	Ground	N/A						H2
VSS	Ground	N/A						C1
VSS	Ground	N/A						D1
VSS	Ground	N/A						K6 <sup>[2]</sup>
VSS	Ground	N/A						K5 <sup>[2]</sup>
VSS	Ground	N/A						F1 <sup>[2]</sup>
VSS	Ground	N/A						E1 <sup>[2]</sup>
VSS	Ground	N/A						G7
NC	N/A	N/A						K8
NC	N/A	N/A						F6
NC	N/A	N/A						G1

注！ [1]LV版本。								
管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	CM90P <sup>[1]</sup>
<b>BANK4 True LVDS Pair</b>								
IOL20A/TCK	I/O	4		none	TCK	True_of_IOL20B	True	A9
IOL20B/TMS	I/O	4		none	TMS	Comp_of_IOL20A	True	B9
IOL22A/GCLKT_7/Q0REF_T_IN0/SSPI_CLK	I/O	4	bus0	none	GCLKT_7/Q0REF_T_IN0/SSPI_CLK	True_of_IOL22B	True	A8
IOL22B/GCLKC_7/Q0REF_C_IN0/RDWR_B/SO/SSI1/PCIE_HOST_RSTN	I/O	4	bus0	none	GCLKC_7/Q0REF_C_IN0/RDWR_B/SO/SSI1/PCIE_HOST_RSTN	Comp_of_IOL22A	True	B8
IOL24A/TDI	I/O	4	bus0	none	TDI	True_of_IOL24B	True	C9
IOL24B/TDO	I/O	4	bus0	none	TDO	Comp_of_IOL24A	True	C8
IOL26A/GCLKT_6/LPLL_T_IN0/LPLL_T_FB1/Q0REF_T_IN1/D06/CLKHOLD_N/SSI3	I/O	4	bus0	none	GCLKT_6/LPLL_T_IN0/LPLL_T_FB1/Q0REF_T_IN1/D06/CLKHOLD_N/SSI3	True_of_IOL26B	True	C7
IOL26B/GCLKC_6/LPLL_C_IN0/LPLL_C_FB1/Q0REF_C_IN1/D07/SSPI_WPN/SSI2	I/O	4	bus0	none	GCLKC_6/LPLL_C_IN0/LPLL_C_FB1/Q0REF_C_IN1/D07/SSPI_WPN/SSI2	Comp_of_IOL26A	True	D7
<b>BANK3 True LVDS Pair</b>								
IOL29A/DONE	I/O	3	bus0	none	DONE	True_of_IOL29B	True	D6
IOL29B/RECONFIG_N	I/O	3	bus0	none	RECONFIG_N	Comp_of_IOL29A	True	C6
IOL31A/GCLKT_5/MODE1	I/O	3		none	GCLKT_5/MODE1	True_of_IOL31B	True	D9
IOL31B/GCLKC_5/MODE0	I/O	3		none	GCLKC_5/MODE0	Comp_of_IOL31A	True	D8
IOL33A/GCLKT_4/LPLL_T_IN1/LPLL_T_FB0/CSO_B/DOUT/SCL	I/O	3	bus0	none	GCLKT_4/LPLL_T_IN1/LPLL_T_FB0/CSO_B/DOUT/SCL	True_of_IOL33B	True	A7
IOL33B/GCLKC_4/LPLL_C_IN1/LPLL_C_FB0/CSI_B/SDA	I/O	3	bus0	none	GCLKC_4/LPLL_C_IN1/LPLL_C_FB0/CSI_B/SDA	Comp_of_IOL33A	True	B7
IOL35A/D04/SI/SSI0	I/O	3	bus0	none	D04/SI/SSI0	True_of_IOL35B	True	A6
IOL35B/D05/SSPI_CS_N	I/O	3	bus0	none	D05/SSPI_CS_N	Comp_of_IOL35A	True	B6

注！								
[1]LV版本。								
管脚名称	功能	BANK	ADC_INPUT	DQS	配置功能	差分Pair	LVDS	CM90P <sup>[1]</sup>
<b>BANK2 True LVDS Pair</b>								
IOB3A/D02/MI2	I/O	2	bus1	none	D02/MI2	True_of_I0B3B	True	J3
I0B3B/D01/DIN/MISO/MI1	I/O	2	bus1	none	D01/DIN/MISO/MI1	Comp_of_I0B3A	True	K3
I0B5A/CCLK	I/O	2	bus1	none	CCLK	True_of_I0B5B	True	J2
I0B5B/MCS_N	I/O	2	bus1	none	MCS_N	Comp_of_I0B5A	True	K2
I0B7A/D03/MI3	I/O	2	bus1	none	D03/MI3	True_of_I0B7B	True	J1
I0B7B/D00/MOSI/MI0	I/O	2	bus1	none	D00/MOSI/MI0	Comp_of_I0B7A	True	K1