



GW1NR 系列 FPGA 产品 封装与管脚手册

UG119-1.8, 2024-10-25

版权所有 © 2024 广东高云半导体科技股份有限公司

GOWIN高云, Gowin, 小蜜蜂, LittleBee, 高云均为广东高云半导体科技股份有限公司注册商标, 本手册中提到的其他任何商标, 其所有权利属其拥有者所有。未经本公司书面许可, 任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部, 并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可, 并未以明示或暗示, 或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外, 高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保, 包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等, 均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任, 高云半导体保留修改文档中任何内容的权利, 恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2017/03/14	1.0	初始版本。
2017/04/25	1.0.1	<ul style="list-style-type: none"> ● 修改表 2-4 GW1NR-4 器件管脚数目列表； ● 修改 GW1NR-4 QN88 封装的引脚图。
2017/09/01	1.0.2	<ul style="list-style-type: none"> ● 增加 GW1NR-9 QN88 封装的信息； ● 增加 GW1NR-9 LQ144 封装的信息。
2017/12/04	1.0.3	<ul style="list-style-type: none"> ● 增加最大用户 I/O 信息说明； ● 更新多功能管脚定义：GCLK[n]_[x] / RPLL_[n]_fb / RPLL_[n]_in。
2018/04/02	1.0.4	修改最大用户 I/O 信息。
2018/06/22	1.0.5	<ul style="list-style-type: none"> ● MODE 管脚不再作为专用管脚，可以复用为 GPIO； ● 增加 MG81 封装信息。
2018/09/08	1.0.6	增加 MG81 管脚分布示意图。
2018/11/22	1.0.7	<ul style="list-style-type: none"> ● 在表 2-1 添加 LVDS 对数； ● 添加 PSRAM 的封装信息。
2019/01/09	1.0.8	<ul style="list-style-type: none"> ● 添加 GW1NR4 新封装 QN88 内嵌 PSRAM 封装信息； ● 更新管脚分布示意图和 I/O bank 说明。
2019/07/02	1.0.9	增加 GW1NR-9 MG100 封装信息。
2020/04/16	1.1	增加 GW1NR-9 器件信息。
2020/05/18	1.1.1	增加 GW1NR-9 MG100PF 封装信息。
2020/06/12	1.1.2	GW1NR-9C 更正为 GW1NR-9。
2020/06/30	1.2	新增 GW1NR-1 器件信息。
2020/07/28	1.3	新增 GW1NR-9 MG100PD 封装信息。
2020/09/21	1.4	<ul style="list-style-type: none"> ● 新增 GW1NR-9 MG100PA, MG100PT, MG100PS 封装信息； ● 删除 GW1NR-9 MG100PD 封装信息。
2021/02/02	1.5	新增 GW1NR-2 器件，支持 MG49P, MG49PG, MG49G 封装。
2021/10/26	1.6	新增 GW1NR-1 EQ144G 及 QN48G 封装信息。
2022/01/20	1.7	<ul style="list-style-type: none"> ● 新增 GW1NR-1 QN48X、LQ100G、QN32X 封装信息； ● 删除 GW1NR-1 QN48G 封装信息。
2023/12/14	1.7.1	<ul style="list-style-type: none"> ● 更新“3.3 GW1NR-9 器件管脚分布示意图”的“图 3-7 GW1NR-9 器件 QN88 封装管脚分布示意图（顶视图）”。 ● 更新“4.1 封装尺寸 QN88/QN88P (10mm x 10mm)”的“图 4-1 封装尺寸 QN88/QN88P”及注释。 ● 新增推荐 PCB Layout。
2024/10/25	1.8	<ul style="list-style-type: none"> ● 删除 GW1NR-1 所有封装信息。 ● 更新“表 2-1 封装和最大用户 I/O 信息、LVDS 对数”中 GW1NR-1 器件 FN32G/EQ144G/QN32X 封装、GW1NR-4/9 器件 QN88/QN88P 封装、GW1NR-9 器件 LQ144P 封装的最大用户 I/O 信息。 ● 优化“2.5 I/O BANK 说明”的描述。

目录

目录.....	i
图目录.....	iii
表目录.....	iv
1 关于本手册.....	1
1.1 手册内容.....	1
1.2 相关文档.....	1
1.3 术语、缩略语.....	1
1.4 技术支持与反馈.....	2
2 概述.....	3
2.1 无铅封装.....	3
2.2 封装和最大用户 I/O 信息、LVDS 对数.....	3
2.3 电源管脚.....	4
2.4 管脚数目.....	4
2.4.1 GW1NR-2 器件管脚数目.....	4
2.4.2 GW1NR-4 器件管脚数目.....	5
2.4.3 GW1NR-9 器件管脚数目.....	6
2.5 I/O BANK 说明.....	7
3 管脚分布示意图.....	8
3.1 GW1NR-2 器件管脚分布示意图.....	8
3.1.1 MG49P 管脚分布示意图(内嵌 PSRAM).....	8
3.1.2 MG49PG 管脚分布示意图(内嵌 PSRAM、Flash).....	9
3.1.3 MG49G 管脚分布示意图(内嵌 Flash).....	10
3.2 GW1NR-4 器件管脚分布示意图.....	11
3.2.1 MG81P 管脚分布示意图.....	11
3.2.2 QN88P 管脚分布示意图(内嵌 PSRAM).....	12
3.2.3 QN88 管脚分布示意图(内嵌 SDRAM).....	13
3.3 GW1NR-9 器件管脚分布示意图.....	14
3.3.1 QN88 管脚分布示意图.....	14

3.3.2 QN88P 管脚分布示意图.....	15
3.3.3 MG100P 管脚分布示意图	16
3.3.4 MG100PF 管脚分布示意图	17
3.3.5 LQ144P 管脚分布示意图	18
3.3.6 MG100PA 管脚分布示意图	19
3.3.7 MG100PS 管脚分布示意图	20
3.3.8 MG100PT 管脚分布示意图	21
4 封装尺寸	22
4.1 封装尺寸 QN88/QN88P (10mm x 10mm)	22
4.2 封装尺寸 LQ144/LQ144P (20mm x 20mm)	24
4.3 封装尺寸 MG49P/MG49PG/MG49G (3.8mm x 3.8mm)	26
4.4 封装尺寸 MG81P (4.5mm x 4.5mm)	28
4.5 封装尺寸 MG100P/MG100PF/MG100PA/ MG100PT/MG100PS (5mm x 5mm).....	30

图目录

图 3-1 GW1NR-2 器件 MG49P 封装管脚分布示意图（顶视图）	8
图 3-2 GW1NR-2 器件 MG49PG 封装管脚分布示意图（顶视图）	9
图 3-3 GW1NR-2 器件 MG49G 封装管脚分布示意图（顶视图）	10
图 3-4 GW1NR-4 器件 MG81P 封装管脚分布示意图（顶视图，内嵌 PSRAM）	11
图 3-5 GW1NR-4 器件 QN88P 封装管脚分布示意图（顶视图，内嵌 PSRAM）	12
图 3-6 GW1NR-4 器件 QN88 封装管脚分布示意图（顶视图，内嵌 SDRAM）	13
图 3-7 GW1NR-9 器件 QN88 封装管脚分布示意图（顶视图）	14
图 3-8 GW1NR-9 器件 QN88P 封装管脚分布示意图（顶视图）	15
图 3-9 GW1NR-9 器件 MG100P 封装管脚分布示意图（顶视图）	16
图 3-10 GW1NR-9 器件 MG100PF 封装管脚分布示意图（顶视图）	17
图 3-11 GW1NR-9 器件 LQ144P 封装管脚分布示意图（顶视图）	18
图 3-12 GW1NR-9 器件 MG100PA 封装管脚分布示意图（顶视图）	19
图 3-13 GW1NR-9 器件 MG100PS 封装管脚分布示意图（顶视图）	20
图 3-14 GW1NR-9 器件 MG100PT 封装管脚分布示意图（顶视图）	21
图 4-1 封装尺寸 QN88/QN88P	22
图 4-2 推荐 PCB Layout QN88/QN88P	23
图 4-3 封装尺寸 LQ144/LQ144P	24
图 4-4 推荐 PCB Layout LQ144/LQ144P	25
图 4-5 封装尺寸 MG49P/ MG49PG/MG49G	26
图 4-6 推荐 PCB Layout MG49P/MG49PG/MG49G	27
图 4-7 封装尺寸 MG81P	28
图 4-8 推荐 PCB Layout MG81P	29
图 4-9 封装尺寸 MG100P/MG100PF/MG100PA/ MG100PT/MG100PS	30
图 4-10 推荐 PCB Layout MG100P/MG100PF/MG100PA/MG100PT/MG100PS	31

表目录

表 1-1 术语、缩略语.....	1
表 2-1 封装和最大用户 I/O 信息、LVDS 对数	3
表 2-2 GW1NR 其他管脚.....	4
表 2-3 GW1NR-2 器件管脚数目列表.....	4
表 2-4 GW1NR-4 内嵌 SDRAM 器件管脚数目列表.....	5
表 2-5 GW1NR-4 内嵌 PSRAM 器件管脚数目列表.....	5
表 2-6 GW1NR-9 器件管脚数目列表.....	6
表 3-1 GW1NR-2 器件 MG49P 其他管脚	8
表 3-2 GW1NR-2 器件 MG49PG 其他管脚	9
表 3-3 GW1NR-2 器件 MG49G 其他管脚.....	10
表 3-4 GW1NR-4 器件 MG81P 其他管脚 (内嵌 PSRAM).....	11
表 3-5 GW1NR-4 器件 QN88P 其他管脚 (内嵌 PSRAM).....	12
表 3-6 GW1NR-4 器件 QN88 其他管脚 (内嵌 SDRAM)	13
表 3-7 GW1NR-9 器件 QN88 其他管脚.....	14
表 3-8 GW1NR-9 器件 QN88P 其他管脚	15
表 3-9 GW1NR-9 器件 MG100P 其他管脚.....	16
表 3-10 GW1NR-9 器件 MG100PF 其他管脚.....	17
表 3-11 GW1NR-9 器件 LQ144P 其他管脚	18
表 3-12 GW1NR-9 器件 MG100PA 其他管脚.....	19
表 3-13 GW1NR-9 器件 MG100PS 其他管脚.....	20
表 3-14 GW1NR-9 器件 MG100PT 其他管脚.....	21

1 关于本手册

1.1 手册内容

GW1NR 系列 FPGA 产品封装与管脚手册主要包括高云半导体 GW1NR 系列 FPGA 产品的封装介绍、管脚定义说明、管脚数目列表、管脚分布示意图以及封装尺寸图。

1.2 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- [DS117, GW1NR 系列 FPGA 产品数据手册](#)
- [UG805, GW1NR-2 器件 Pinout 手册](#)
- [UG116, GW1NR-4 器件 Pinout 手册](#)
- [UG803, GW1NR-9 器件 Pinout 手册](#)
- [UG290, Gowin FPGA 产品编程配置手册](#)

1.3 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	Gowin Programmable IO	高云可编程通用管脚
LQ	LQFP	LQFP 封装
MG	MBGA	MBGA 封装
PSRAM	Pseudo Static Random Access Memory	伪静态随机存储器
QN	QFN	QFN 封装

术语、缩略语	全称	含义
SDRAM	Synchronous Dynamic RAM	同步动态随机存储器
SIP	System in Package	系统级封装

1.4 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com.cn

E-mail：support@gowinsemi.com

Tel: +86 755 8262 0391

2 概述

高云半导体 GW1NR 系列 FPGA 产品是高云半导体小蜜蜂 (LittleBee) 家族 1 系列产品，封装类型丰富，不同型号器件 I/O 兼容性强，使用方便灵活。

2.1 无铅封装

GW1NR 系列 FPGA 产品采用无铅工艺封装，绿色环保，符合欧盟的 RoHS 指令。GW1NR 系列 FPGA 产品物质成分信息符合 IPC-1752 标准文件。

2.2 封装和最大用户 I/O 信息、LVDS 对数

表 2-1 封装和最大用户 I/O 信息、LVDS 对数

封装	间距(mm)	尺寸(mm)	GW1NR-2	GW1NR-4	GW1NR-9
MG49P	0.5	3.8 x 3.8	30 (8)	-	-
MG49PG	0.5	3.8 x 3.8	30 (8)	-	-
MG49G	0.5	3.8 x 3.8	30 (8)	-	-
QN88	0.4	10 x 10	-	71 (11)	71 (19)
QN88P	0.4	10 x 10	-	71 (11)	71 (18)
MG81P	0.5	4.5 x 4.5	-	68 (10)	-
MG100P	0.5	5 x 5	-	-	87 (16)
MG100PF ^[1]	0.5	5 x 5	-	-	87 (16)
MG100PA	0.5	5 x 5	-	-	87 (17)
MG100PT	0.5	5 x 5	-	-	87 (17)
MG100PS	0.5	5 x 5	-	-	87 (17)
LQ144P	0.5	20 x 20	-	-	121 (20)

注！

- ^[1] MG100PF 在封装 MG100P 的基础上调整了球 C1/C2/D2/F1/F9/A7/A6 的 pinout;

- 本手册中 GW1NR 系列 FPGA 产品封装命名采用缩写的方式，详细信息请参考 [1.3 术语、缩略语](#)。
- 详细信息请参考 GW1NR 系列 FPGA 产品相关 Pinout 手册。
- JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O。当 mode[2:0]=001 时，JTAGSEL_N 管脚与 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）可以同时设置为 GPIO。

2.3 电源管脚

表 2-2 GW1NR 其他管脚

VCC	VCCIO0	VCCIO1	VCCIO2
VCCIO3	VCCX	VSS	NC

2.4 管脚数目

2.4.1 GW1NR-2 器件管脚数目

表 2-3 GW1NR-2 器件管脚数目列表

管脚类型		GW1NR-2		
		MG49P	MG49PG	MG49G
I/O 单端/差分对/LVDS ^[1]	BANK0	14/7/4	14/7/4	14/7/4
	BANK1	0/0/0	0/0/0	0/0/0
	BANK2	8/4/2	8/4/2	8/4/2
	BANK3	4/2/1	4/2/1	4/2/1
	BANK4	4/2/1	4/2/1	4/2/1
	BANK5	0/0/0	0/0/0	0/0/0
	BANK6	10/5/0	10/5/0	10/5/0
最大用户 I/O 总数 ^[2]		40	40	40
差分对		20	20	20
True LVDS 输出		8	8	8
VCC		1	1	1
VCCX		1	1	1
VCCIO0		1	1	1
VCCIO1		1	1	1
VCCIO2/VCCIO3/VCCIO4/VCCIO5 ^[3]		1	1	1
VCCD		1	1	1
VCCIOD		1	1	1
VSS		2	2	2
MODE0		0	0	0
MODE1		0	0	0
MODE2		0	0	0
JTAGSEL_N		0	0	0

注！

- ^[1]单端/差分/LVDS I/O 的数目包含 CLK 管脚、下载管脚。
- ^[2]JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O。
- ^[3]引脚复用。

2.4.2 GW1NR-4 器件管脚数目

表 2-4 GW1NR-4 内嵌 SDRAM 器件管脚数目列表

管脚类型		GW1NR-4	
		QN88	
I/O 单端/差分对 /LVDS ^[1]	BANK0	20/5/0	
	BANK1	15/6/2	
	BANK2	23/9/7	
	BANK3	12/4/2	
最大用户 I/O 总数 ^[2]		70	
差分对		24	
True LVDS 输出		11	
VCC		4	
VCCX		0	
VCCIO0		0	
VCCIO1		1	
VCCIO2		2	
VCCIO3		1	
VCCX/VCCIO0 ^[3]		3	
VSS		6	
MODE0		1	
MODE1		1	
MODE2		0	
JTAGSEL_N		1	

表 2-5 GW1NR-4 内嵌 PSRAM 器件管脚数目列表

管脚类型		GW1NR-4	
		MG81P	QN88P
I/O 单端/差分对 /LVDS ^[1]	BANK0	13/6/0	20/5/0
	BANK1	17/3/0	15/6/2
	BANK2	21/10/10	23/9/7
	BANK3	17/2/0	12/4/2
最大用户 I/O 总数 ^[2]		68	70
差分对		21	24
True LVDS 输出		10	11
VCC		3	4

管脚类型	GW1NR-4	
	MG81P	QN88P
VCCX	1	0
VCCIO0	1	0
VCCIO1	1	1
VCCIO2	1	2
VCCIO3	1	1
VCCX/VCCIO0 ^[3]	0	3
VSS	4	6
MODE0	0	1
MODE1	1	1
MODE2	0	0
JTAGSEL_N	1	1

注!

- ^[1]单端/差分/LVDS I/O 的数目包含 CLK 管脚、下载管脚。
- ^[2]JTAGSEL_N 和 JTAG 管脚是互斥管脚，JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚（TCK、TDI、TDO、TMS）不可同时复用为 I/O。
- ^[3]引脚复用。

2.4.3 GW1NR-9 器件管脚数目

表 2-6 GW1NR-9 器件管脚数目列表

管脚类型		GW1NR-9							
		QN88	QN88P	LQ144P	MG100P	MG100PF	MG100PA	MG100PT	MG100PS
I/O 单端/ 差分对 /LVDS ^[1]	BANK0	0/0/0	0/0/0	18/9/0	12/6/0	12/6/0	12/6/0	12/6/0	12/6/0
	BANK1	25/11/4	25/11/4	32/12/4	22/5/1	22/6/1	22/6/1	22/5/1	22/6/1
	BANK2	23/11/11	23/11/11	40/19/14	32/15/14	32/15/14	32/15/14	32/15/14	32/15/14
	BANK3	22/8/4	22/6/3	30/8/2	21/4/1	21/6/1	21/6/2	21/4/2	21/6/2
最大用户 I/O 总数 ^[2]		70	70	120	87	87	87	87	87
差分对		30	28	48	30	33	33	30	33
True LVDS 输出		19	18	20	16	16	17	17	17
VCC		4	4	4	3	3	3	3	3
VCCX		0	0	2	1	1	1	1	1
VCCIO0		0	0	2	1	1	1	1	1
VCCIO1		1	1	2	1	1	1	1	1
VCCIO2		2	2	2	1	1	1	1	1
VCCIO3		1	1	2	1	1	1	1	1
VCCX/VCCIO0 ^[3]		3	3	0	0	0	0	0	0
VSS		6	6	9	4	4	4	4	4
MODE0		1	1	1	0	0	0	0	0
MODE1		1	1	1	1	1	1	1	1
MODE2		0	0	0	0	0	0	0	0

管脚类型	GW1NR-9							
	QN88	QN88P	LQ144P	MG100P	MG100PF	MG100PA	MG100PT	MG100PS
JTAGSEL_N	1	1	1	1	1	1	1	1

注!

- ^[1]单端/差分/LVDS I/O 的数目包含 CLK 管脚、下载管脚;
- ^[2]JTAGSEL_N 和 JTAG 管脚是互斥管脚, JTAGSEL_N 引脚和 JTAG 下载的 4 个引脚 (TCK、TDI、TDO、TMS) 不可同时复用为 I/O。
- ^[3]引脚复用。

2.5 I/O BANK 说明

GW1NR-4/9 包括 4 个 Bank。

GW1NR-2 包括 7 个 Bank。

详细的 Bank 分布示意图请参考 [DS117, GW1NR 系列 FPGA 产品数据手册 > 2.4 输入输出模块。](#)

本手册列举了 GW1NR 系列 FPGA 产品每种封装的管脚分布示意图, 详细信息请参考 3 管脚分布示意图。GW1NR 系列 FPGA 产品的不同 BANK 用不同颜色区分。

用户 I/O、电源、地使用不同的符号来区分。GW1NR 系列 FPGA 产品管脚示意图中管脚定义如下所示:

- “” 表示 BANK0 中的 I/O。
- “” 表示 BANK1 中的 I/O。
- “” 表示 BANK2 中的 I/O。
- “” 表示 BANK3 中的 I/O。
- “” 表示 BANK4 中的 I/O。
- “” 表示 BANK5 中的 I/O。
- “” 表示 BANK6 中的 I/O 和 MIPI 中的 DIO。
- “” 表示 VCC、VCCX、VCCIO, 填充颜色不变。
- “” 表示 VSS, 填充颜色不变。
- “” 表示 NC。

3 管脚分布示意图

3.1 GW1NR-2 器件管脚分布示意图

3.1.1 MG49P 管脚分布示意图(内嵌 PSRAM)

图 3-1 GW1NR-2 器件 MG49P 封装管脚分布示意图（顶视图）

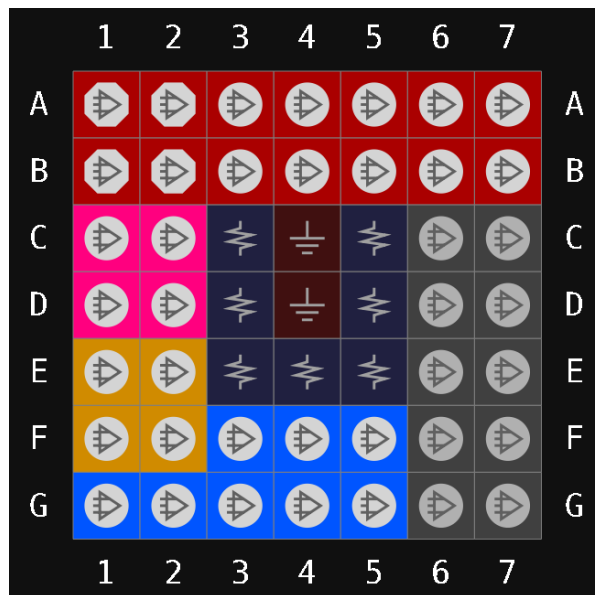


表 3-1 GW1NR-2 器件 MG49P 其他管脚

VCC	C3
VCCD	E4
VCCIOD	E5
VCCIO0	C5
VCCIO1	D5
VCCIO2/VCCIO3/VCCIO4/VCCIO5	D3
VCCX	E3
VSS	C4,D4

3.1.2 MG49PG 管脚分布示意图(内嵌 PSRAM、Flash)

图 3-2 GW1NR-2 器件 MG49PG 封装管脚分布示意图（顶视图）

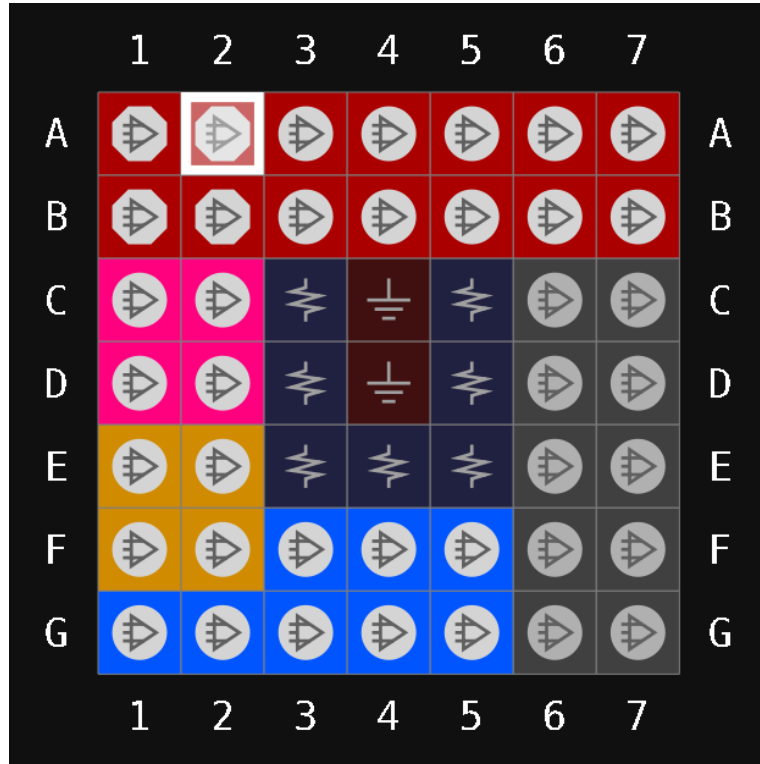


表 3-2 GW1NR-2 器件 MG49PG 其他管脚

VCC	C3
VCCD	E4
VCCIOD	E5
VCCIO0	C5
VCCIO1	D5
VCCIO2/VCCIO3/VCCIO4 /VCCIO5	D3
VCCX	E3
VSS	C4,D4

3.1.3 MG49G 管脚分布示意图(内嵌 Flash)

图 3-3 GW1NR-2 器件 MG49G 封装管脚分布示意图（顶视图）

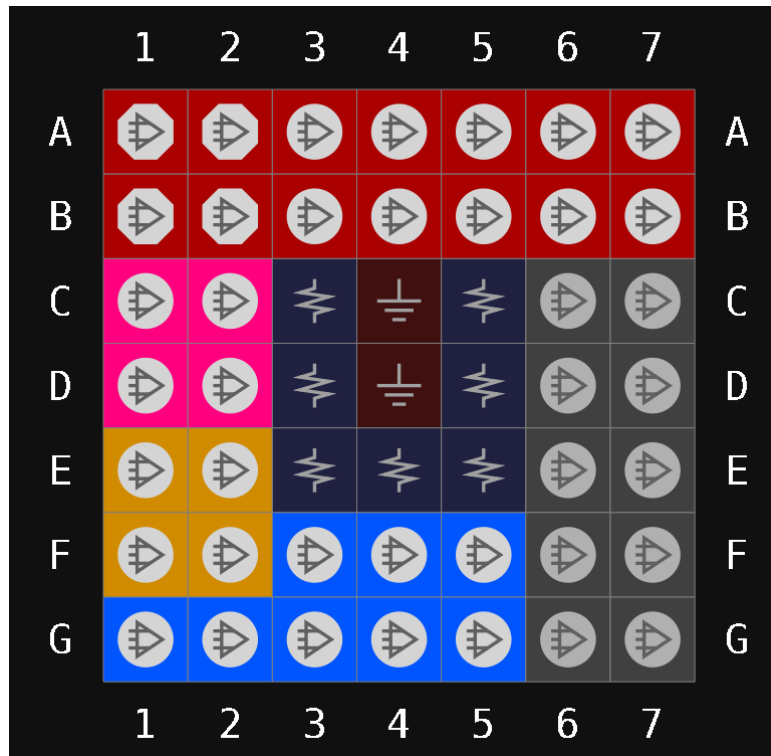


表 3-3 GW1NR-2 器件 MG49G 其他管脚

VCC	C3
VCCD	E4
VCCIOD	E5
VCCIO0	C5
VCCIO1	D5
VCCIO2/VCCIO3/VCCIO4 /VCCIO5	D3
VCCX	E3
VSS	C4,D4

3.2 GW1NR-4 器件管脚分布示意图

3.2.1 MG81P 管脚分布示意图

图 3-4 GW1NR-4 器件 MG81P 封装管脚分布示意图（顶视图，内嵌 PSRAM）

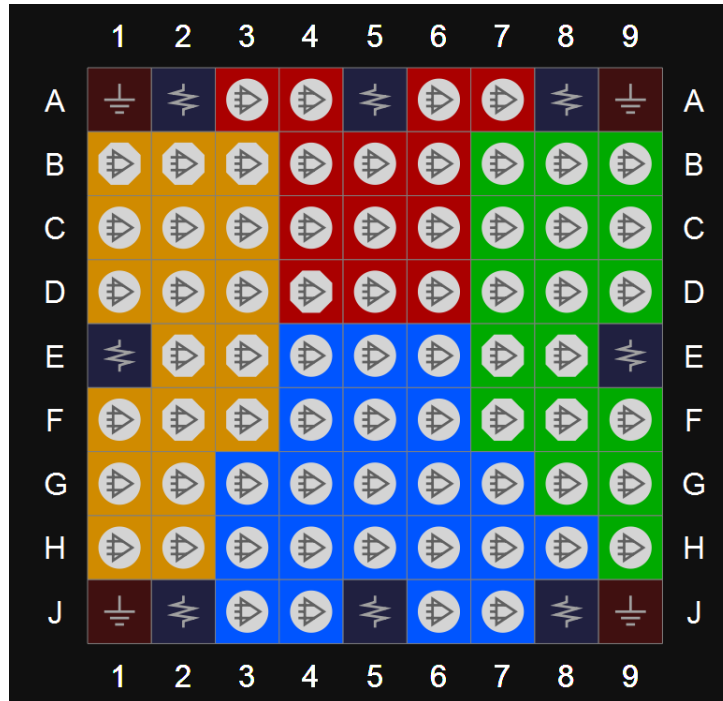


表 3-4 GW1NR-4 器件 MG81P 其他管脚 (内嵌 PSRAM)

VCC	A2, A8, J2
VCCX	J8
VCCIO0	A5
VCCIO1	E9
VCCIO2	J5
VCCIO3	E1
VSS	A1, A9, J1, J9

3.2.2 QN88P 管脚分布示意图(内嵌 PSRAM)

图 3-5 GW1NR-4 器件 QN88P 封装管脚分布示意图（顶视图，内嵌 PSRAM）

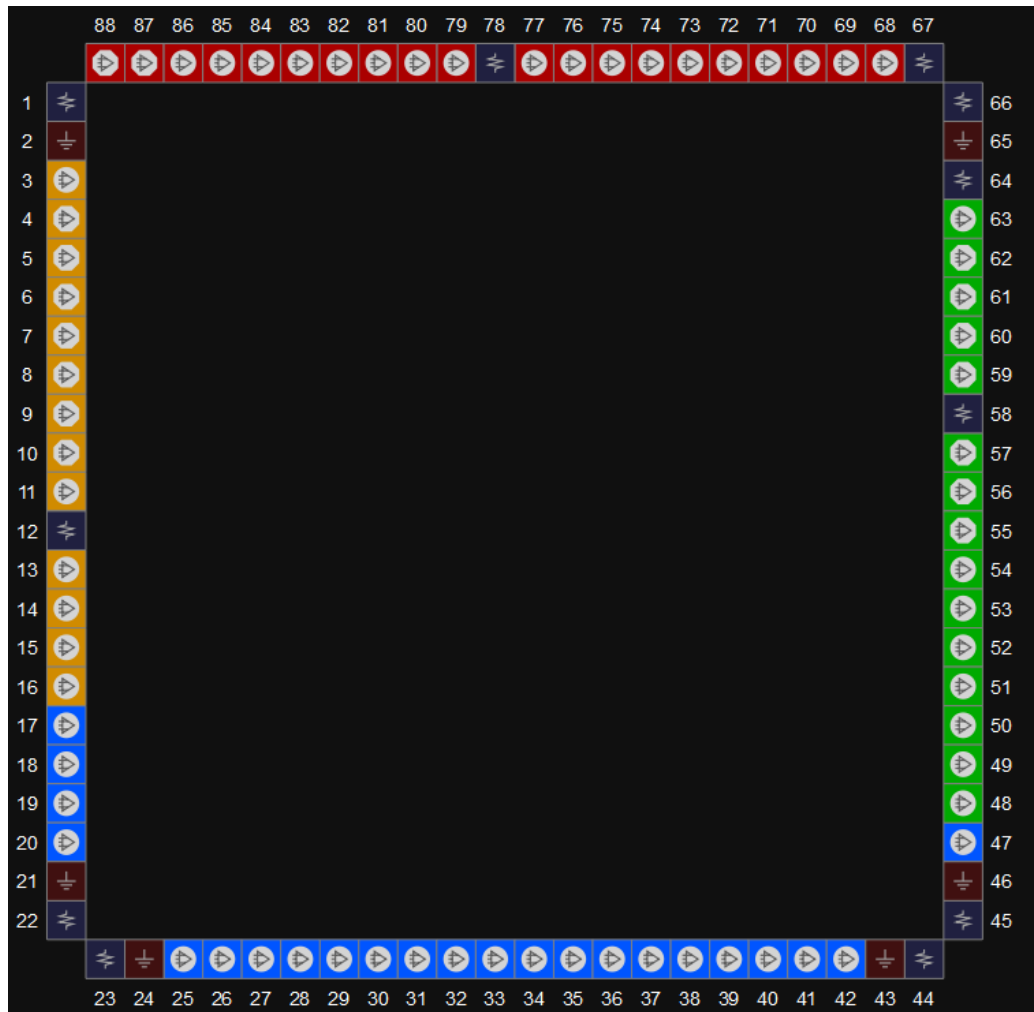


表 3-5 GW1NR-4 器件 QN88P 其他管脚 (内嵌 PSRAM)

VCC	1, 22, 45, 66
VCCX/VCCIO0	64, 67, 78
VCCIO1	58
VCCIO2	23, 44
VCCIO3	12
VSS	2, 21, 24, 43, 46, 65

3.2.3 QN88 管脚分布示意图(内嵌 SDRAM)

图 3-6 GW1NR-4 器件 QN88 封装管脚分布示意图（顶视图，内嵌 SDRAM）

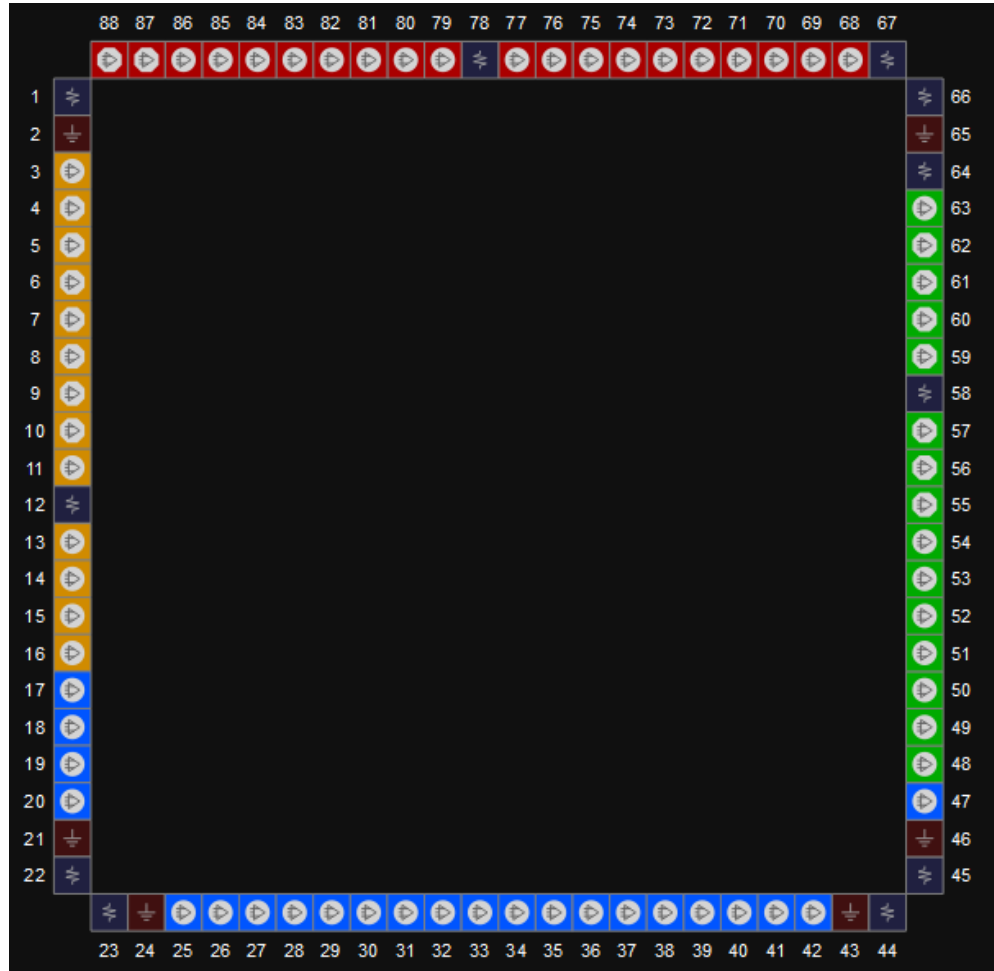


表 3-6 GW1NR-4 器件 QN88 其他管脚 (内嵌 SDRAM)

VCC	1, 22, 45, 66
VCCX/VCCIO0/VCCIO2	23, 44, 64, 67, 78
VCCIO1	58
VCCIO3	12
VSS	2, 21, 24, 43, 46, 65

3.3 GW1NR-9 器件管脚分布示意图

3.3.1 QN88 管脚分布示意图

图 3-7 GW1NR-9 器件 QN88 封装管脚分布示意图（顶视图）

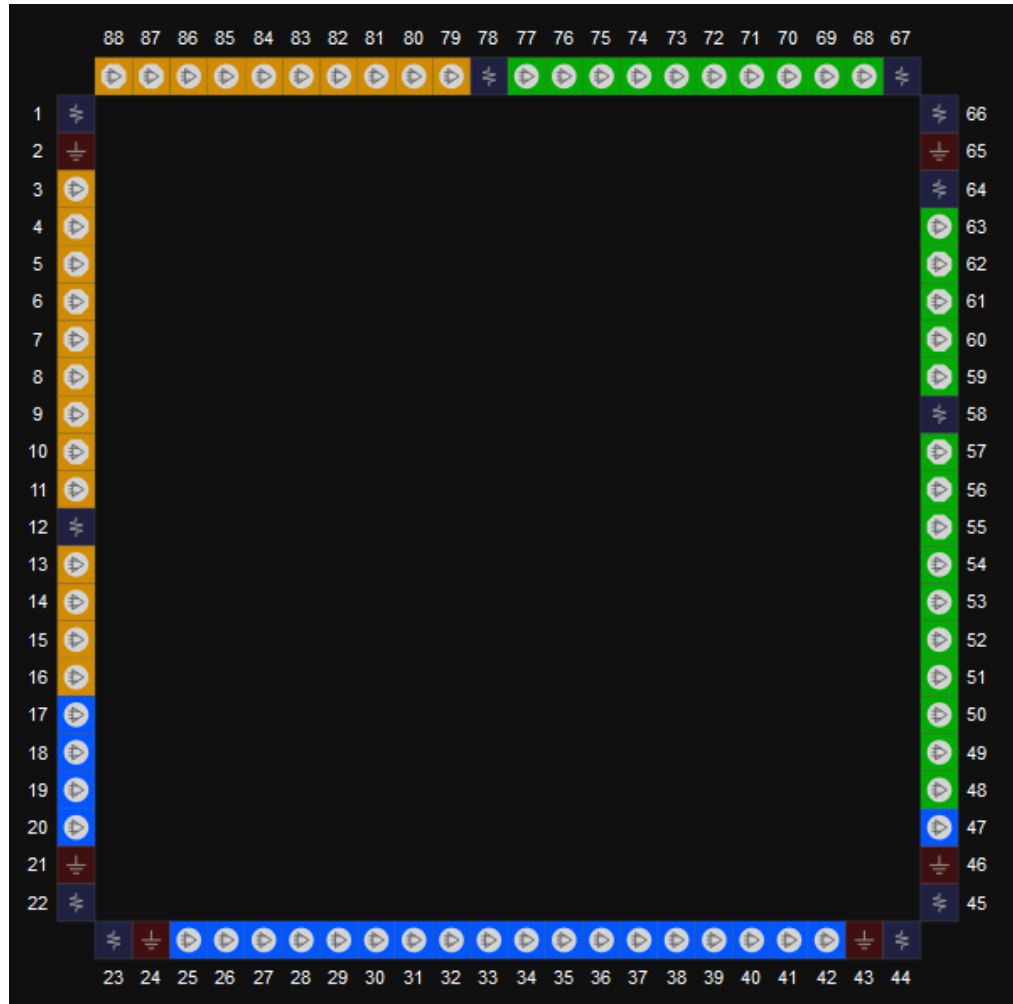


表 3-7 GW1NR-9 器件 QN88 其他管脚

VCC	1, 22, 45, 66
VCCX/VCCIO0	64, 67, 78
VCCIO1	58
VCCIO2	23, 44
VCCIO3	12
MODE	87, 88
VSS	2, 21, 24, 43, 46, 65

3.3.2 QN88P 管脚分布示意图

图 3-8 GW1NR-9 器件 QN88P 封装管脚分布示意图（顶视图）

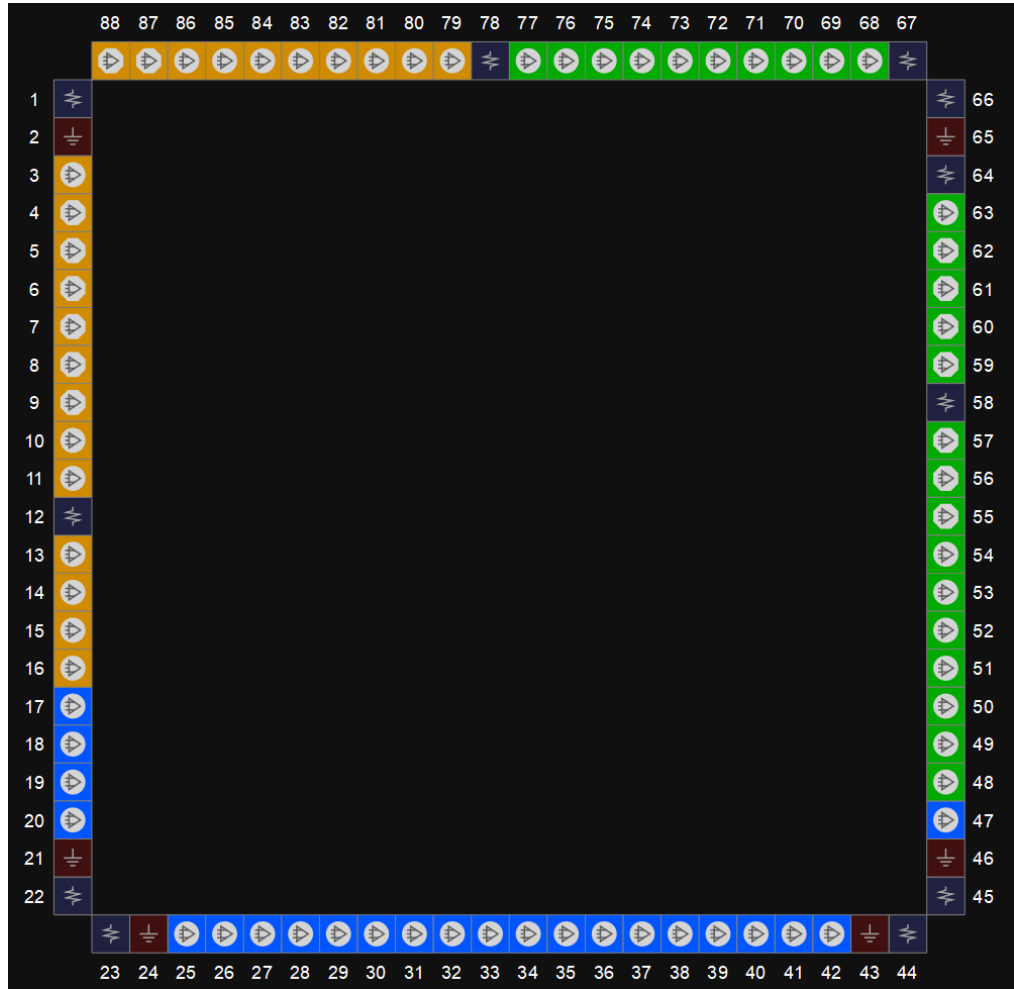


表 3-8 GW1NR-9 器件 QN88P 其他管脚

VCC	1, 22, 45, 66
VCCX/VCCIO0	64, 67, 78
VCCIO1	58
VCCIO2	23, 44
VCCIO3	12
MODE	87, 88
VSS	2, 21, 24, 43, 46, 65

3.3.3 MG100P 管脚分布示意图

图 3-9 GW1NR-9 器件 MG100P 封装管脚分布示意图（顶视图）

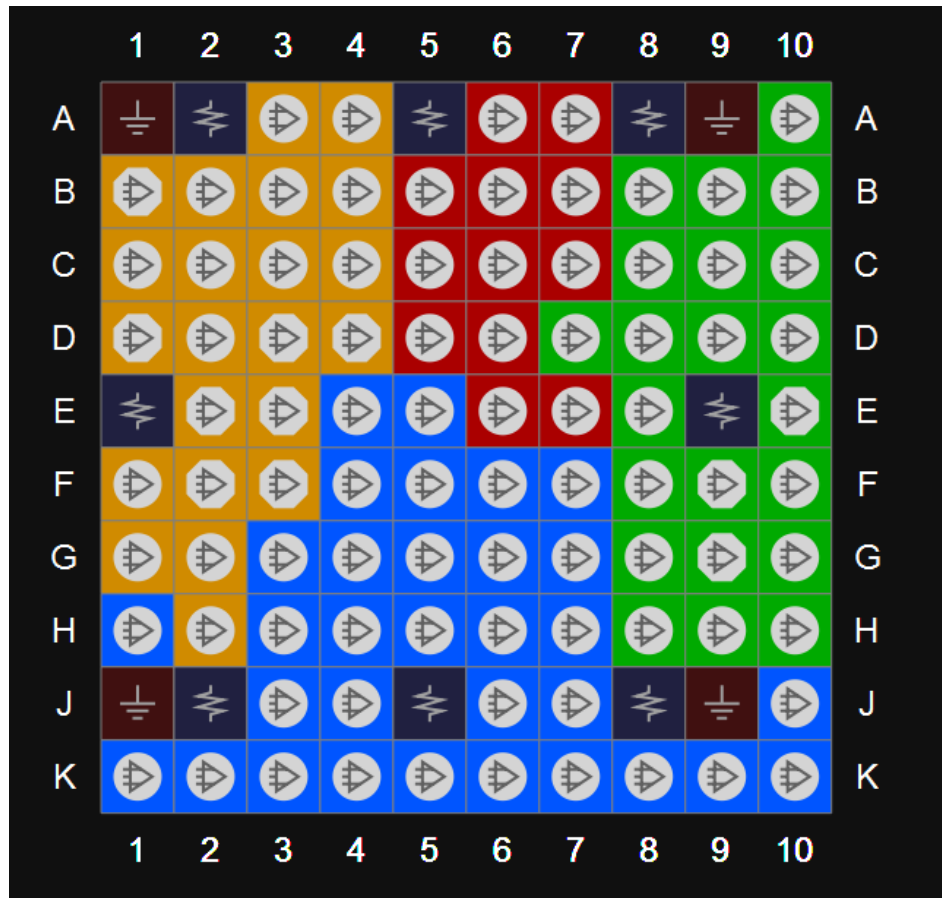


表 3-9 GW1NR-9 器件 MG100P 其他管脚

VCC	A2,J2,A8
VCCIO0	A5
VCCIO1	E9
VCCIO2	J5
VCCIO3	E1
VCCX	J8
MODE	D4
VSS	A1,A9,J1,J9

3.3.4 MG100PF 管脚分布示意图

图 3-10 GW1NR-9 器件 MG100PF 封装管脚分布示意图（顶视图）

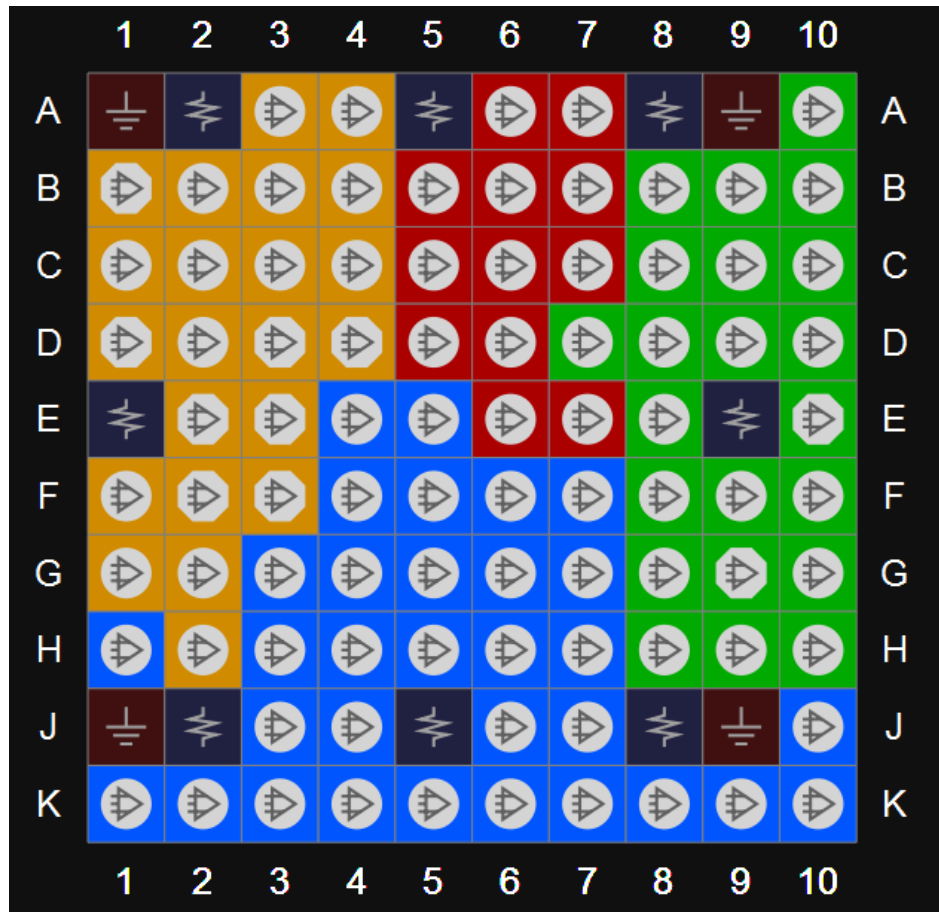


表 3-10 GW1NR-9 器件 MG100PF 其他管脚

VCC	A2,J2,A8
VCCIO0	A5
VCCIO1	E9
VCCIO2	J5
VCCIO3	E1
VCCX	J8
MODE	D4
VSS	A1,A9,J1,J9

3.3.5 LQ144P 管脚分布示意图

图 3-11 GW1NR-9 器件 LQ144P 封装管脚分布示意图（顶视图）



表 3-11 GW1NR-9 器件 LQ144P 其他管脚

VCC	1, 36, 73, 108
VCCIO0	109, 127
VCCIO1	91, 103
VCCIO2	37, 55
VCCIO3	9, 19
VCCX	31, 77
MODE	143, 144
VSS	2, 17, 33, 35, 53, 74, 89, 105, 107

3.3.6 MG100PA 管脚分布示意图

图 3-12 GW1NR-9 器件 MG100PA 封装管脚分布示意图（顶视图）

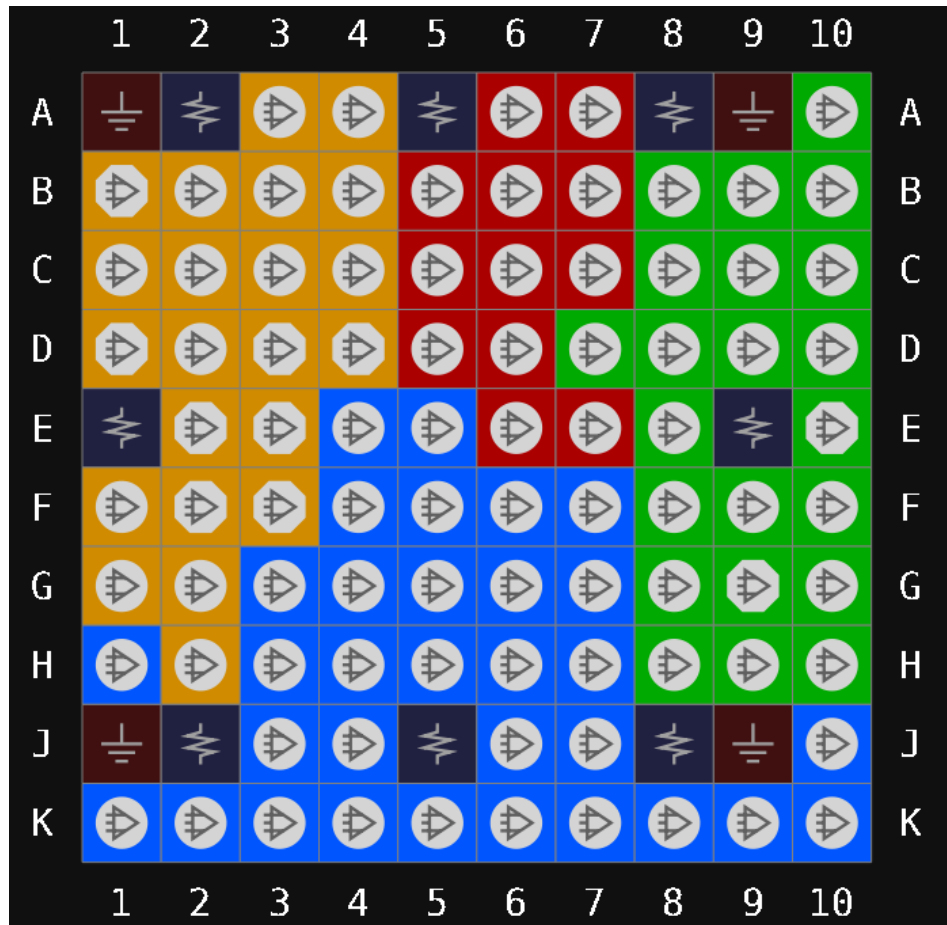


表 3-12 GW1NR-9 器件 MG100PA 其他管脚

VCC	A2,J2,A8
VCCIO0	A5
VCCIO1	E9
VCCIO2	J5
VCCIO3	E1
VCCX	J8
MODE	D4
VSS	A1,A9,J1,J9

3.3.7 MG100PS 管脚分布示意图

图 3-13 GW1NR-9 器件 MG100PS 封装管脚分布示意图（顶视图）

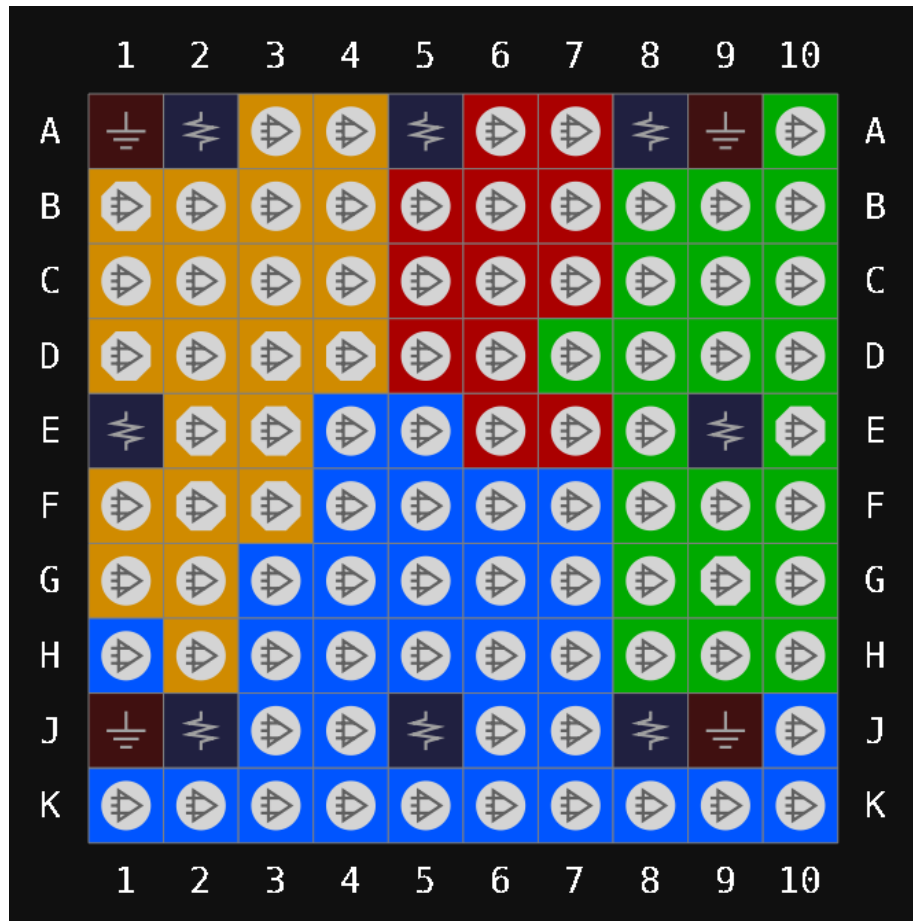


表 3-13 GW1NR-9 器件 MG100PS 其他管脚

VCC	A2,A8,J2
VCCIO0	A5
VCCIO1	E9
VCCIO2	J5
VCCIO3	E1
VCCX	J8
MODE	D4
VSS	A1,A9,J1,J9

3.3.8 MG100PT 管脚分布示意图

图 3-14 GW1NR-9 器件 MG100PT 封装管脚分布示意图（顶视图）

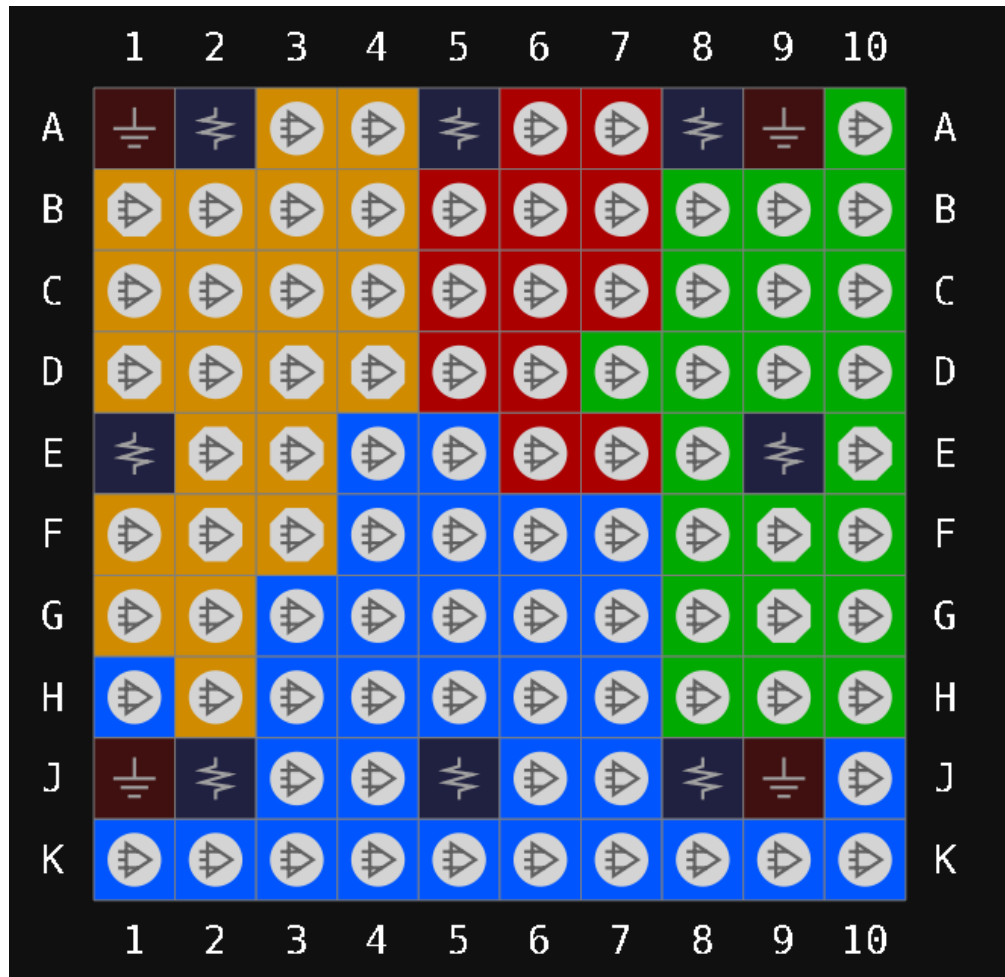


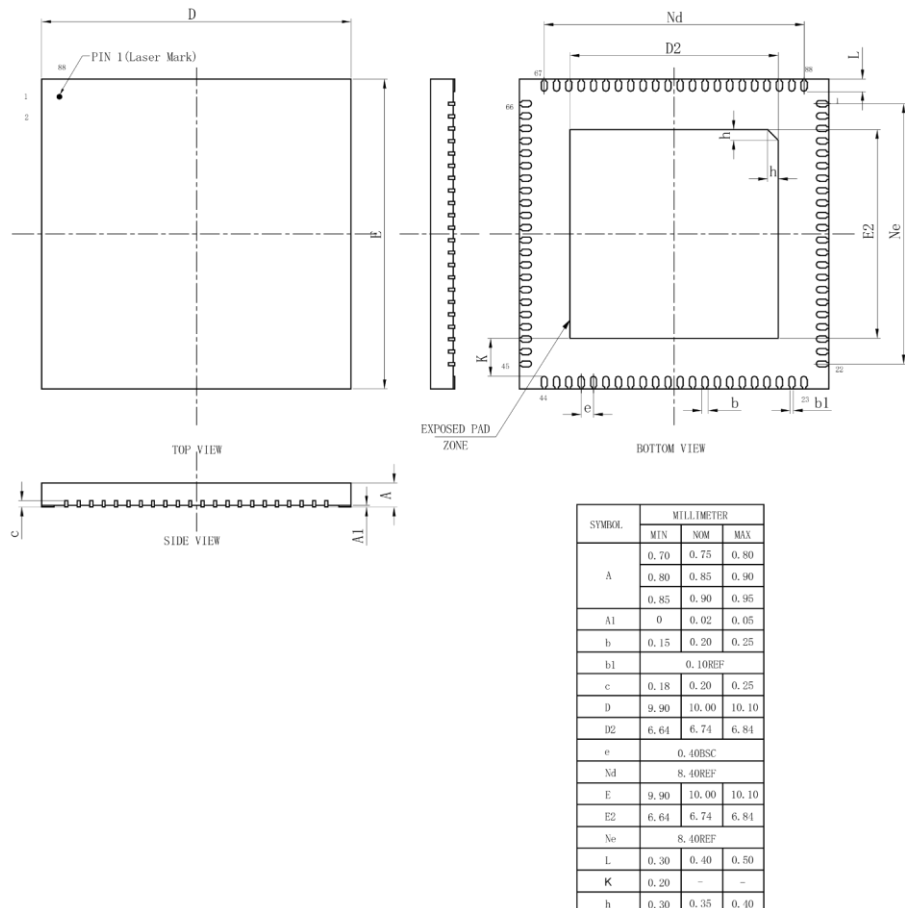
表 3-14 GW1NR-9 器件 MG100PT 其他管脚

VCC	A2,A8,J2
VCCIO0	A5
VCCIO1	E9
VCCIO2	J5
VCCIO3	E1
VCCX	J8
MODE	D4
VSS	A1,A9,J1,J9

4 封装尺寸

4.1 封装尺寸 QN88/QN88P (10mm x 10mm)

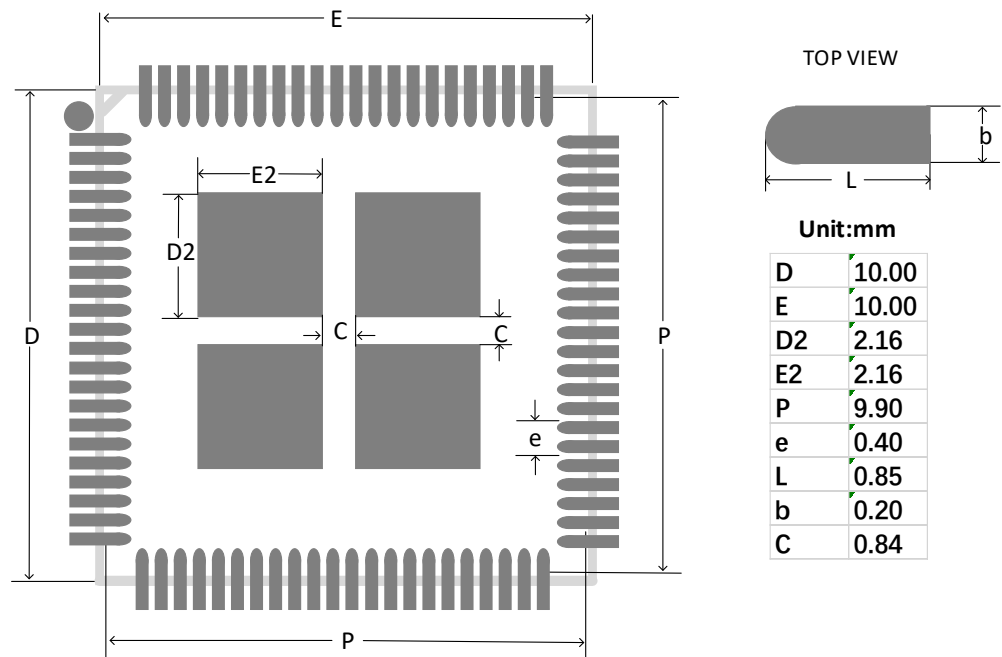
图 4-1 封装尺寸 QN88/QN88P



注!

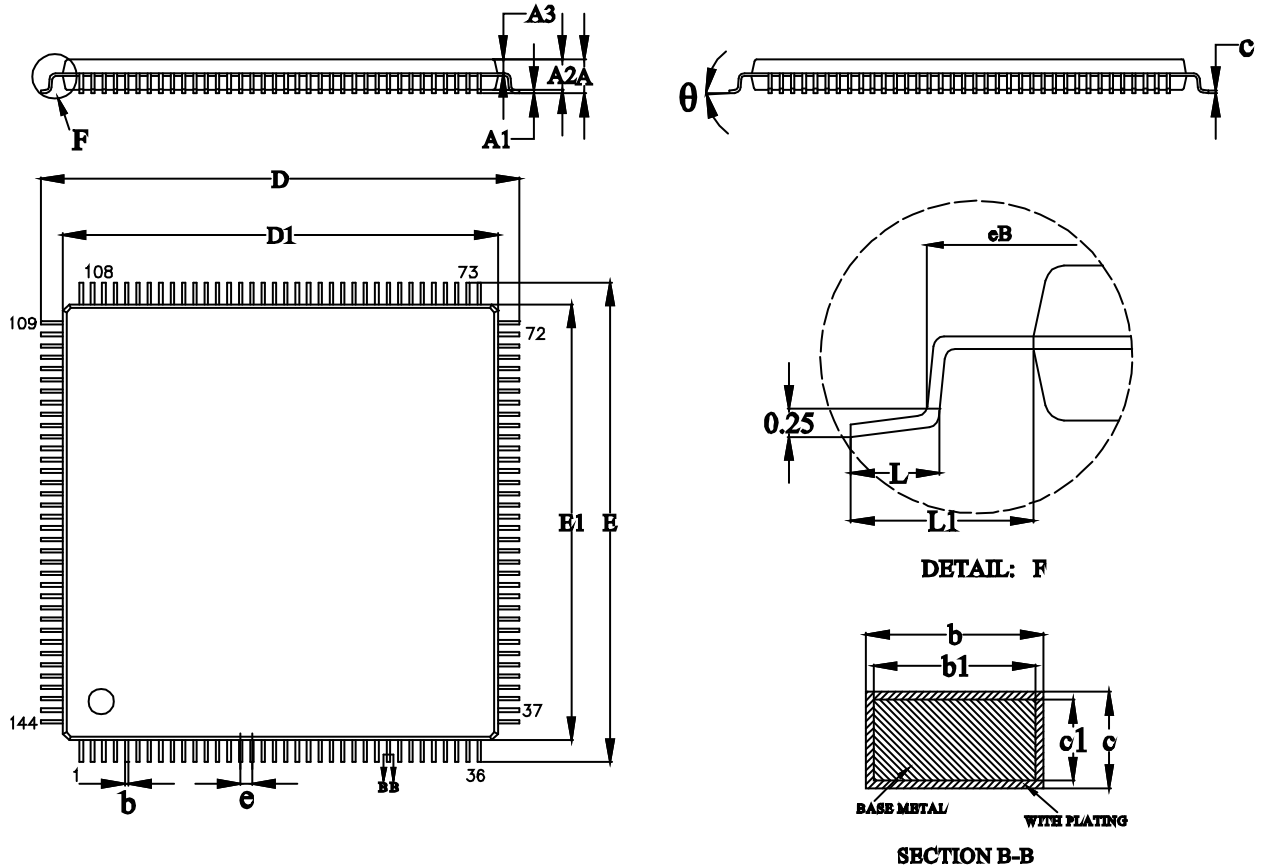
- GW1NR-LV4QN88、GW1NR-UV4QN88、以及 GW1NR-LV9QN88 的 A(NOM)的值为 0.85mm。
- GW1NR-LV4QN88P、GW1NR-UV4QN88P、GW1NR-LV9QN88P、以及 GW1NR-UV9QN88P 的 A(NOM)的值为 0.75mm。

图 4-2 推荐 PCB Layout QN88/QN88P



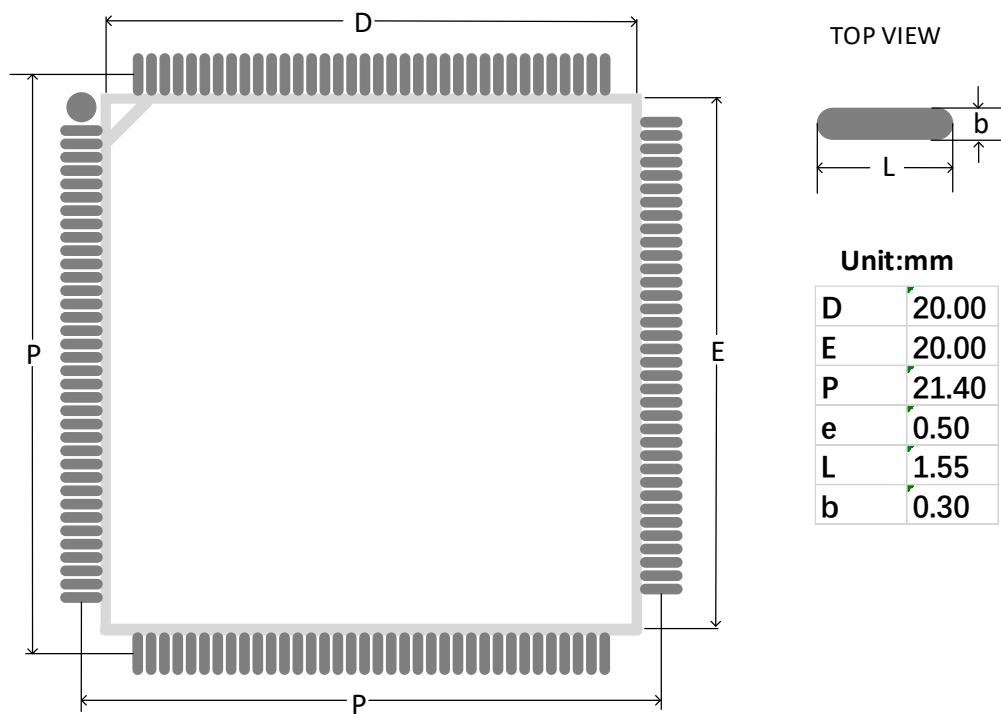
4.2 封装尺寸 LQ144/LQ144P (20mm x 20mm)

图 4-3 封装尺寸 LQ144/LQ144P



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.20	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	21.80	22.00	22.20
D1	19.90	20.00	20.10
E	21.80	22.00	22.20
E1	19.90	20.00	20.10
e	0.50BSC		
L	0.45	—	0.75
L1	1.00REF		
θ	0	—	7°

图 4-4 推荐 PCB Layout LQ144/LQ144P



4.3 封装尺寸 MG49P/MG49PG/MG49G (3.8mm x 3.8mm)

图 4-5 封装尺寸 MG49P/ MG49PG/MG49G

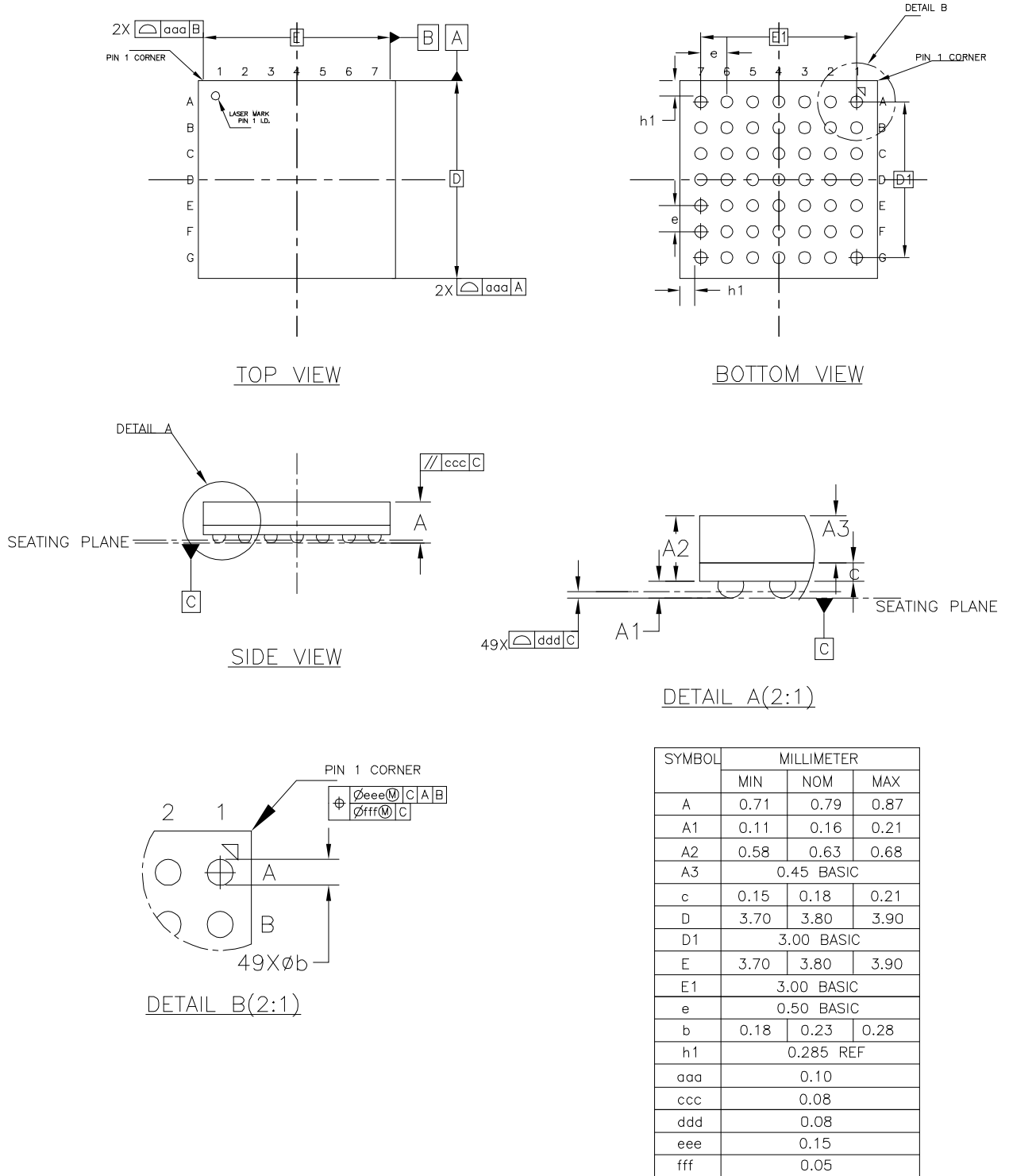
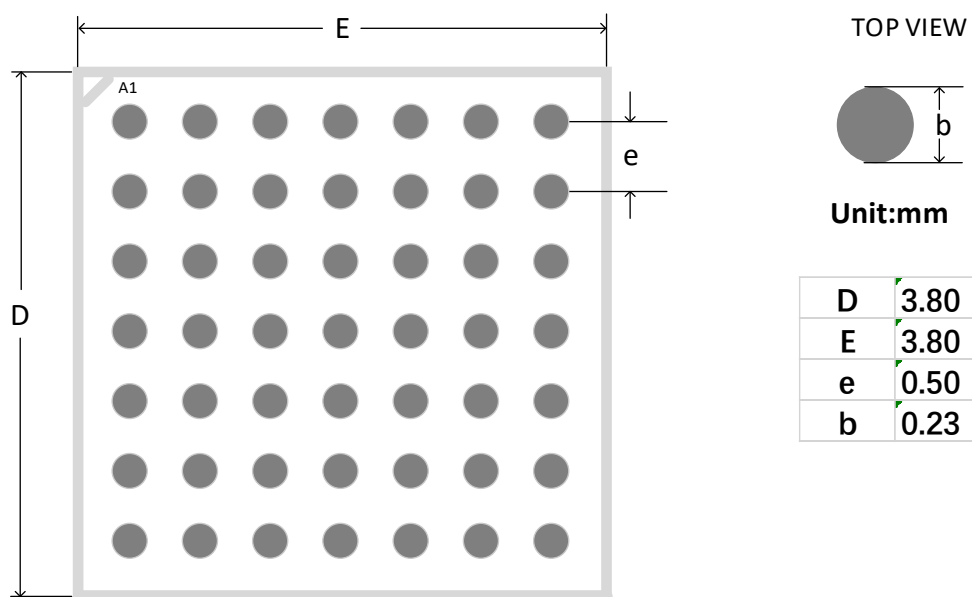
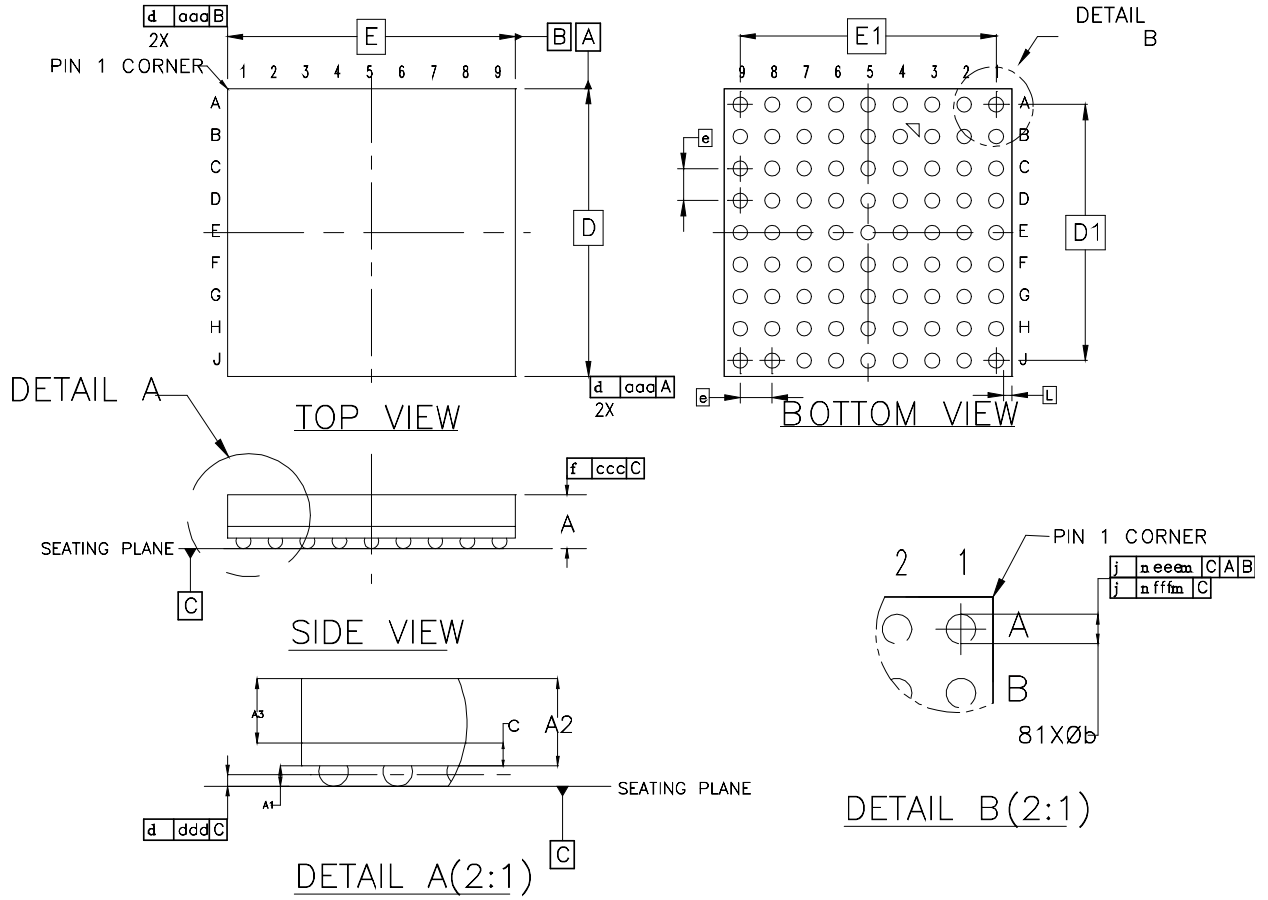


图 4-6 推荐 PCB Layout MG49P/MG49PG/MG49G



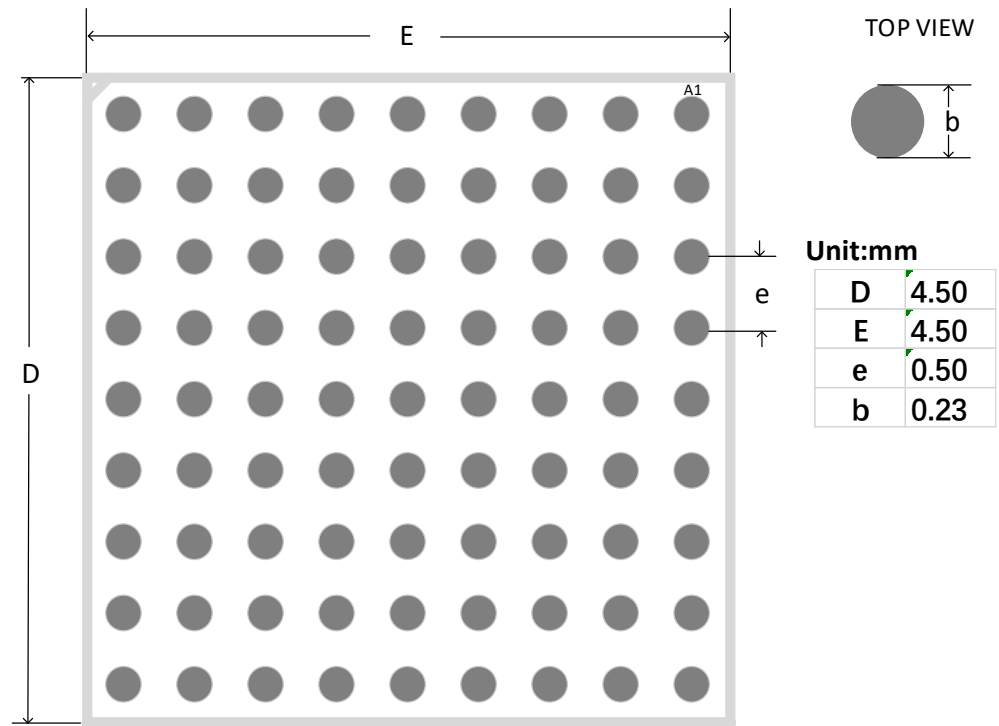
4.4 封装尺寸 MG81P (4.5mm x 4.5mm)

图 4-7 封装尺寸 MG81P



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	--	0.84	0.90
A1	0.11	0.16	0.21
A2	0.63	0.68	0.73
A3	0.50 BASIC		
c	0.15	0.18	0.21
D	4.40	4.50	4.60
D1	4.00 BASIC		
E	4.40	4.50	4.60
E1	4.00 BASIC		
e	0.50 BASIC		
b	0.18	0.23	0.28
L	0.135 TYP		
aaa	0.10		
ccc	0.15		
ddd	0.10		
eee	0.15		
fff	0.05		

图 4-8 推荐 PCB Layout MG81P



4.5 封装尺寸 MG100P/MG100PF/MG100PA/ MG100PT/MG100PS (5mm x 5mm)

图 4-9 封装尺寸 MG100P/MG100PF/MG100PA/ MG100PT/MG100PS

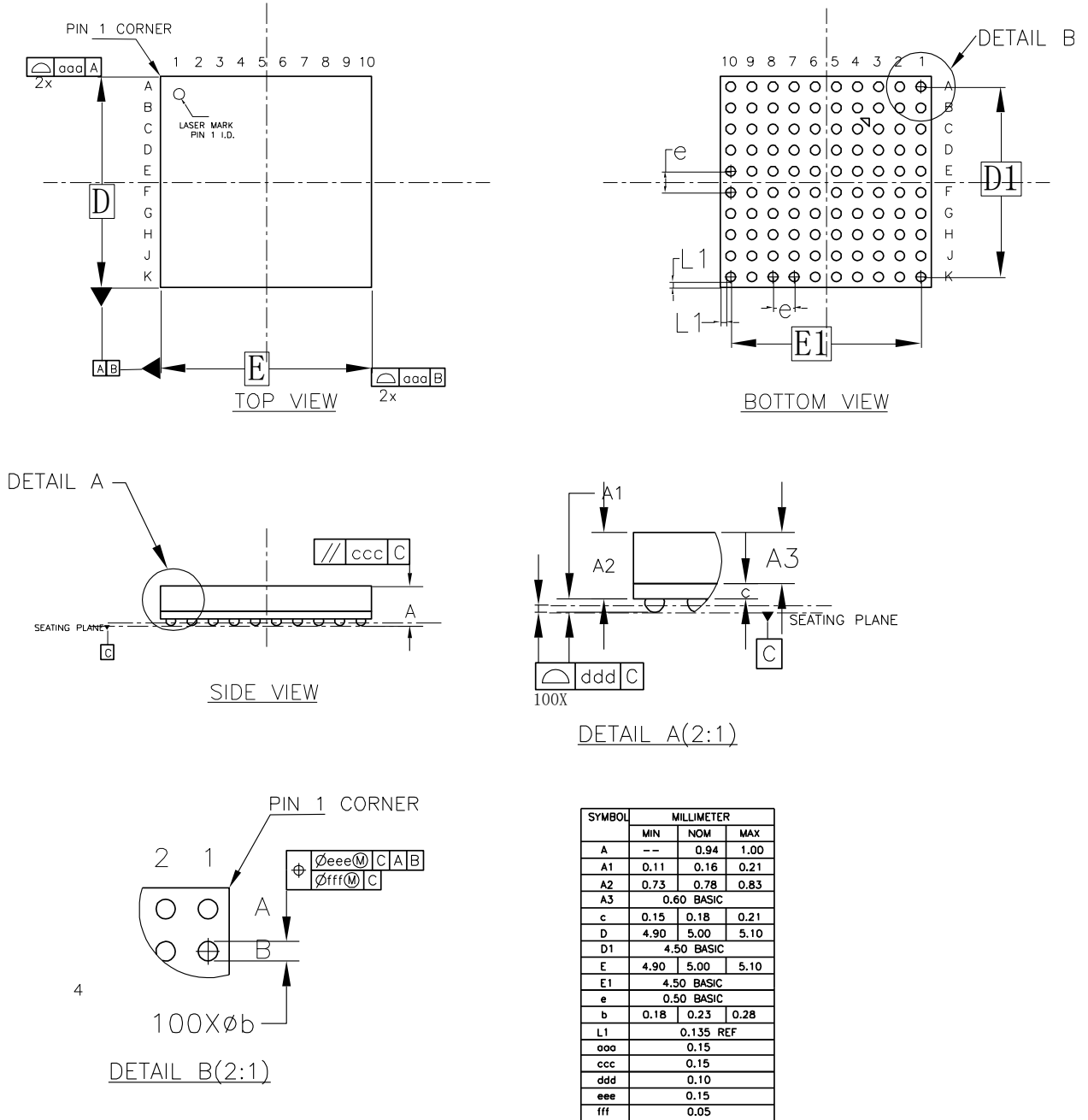


图 4-10 推荐 PCB Layout MG100P/MG100PF/MG100PA/MG100PT/MG100PS

