

日期	版本	说明
2024/2/2	1.0	初始版本，支持UG484封装。
2024/4/18	1.0.1	优化Pin Definitions页中CFGBVS的管脚描述。 更新Power页中VCC的电压最大值。
2024/7/5	1.0.2	优化Power页。 更新电源管脚名称及说明。
2025/3/7	1.0.3	更新电源管脚名称。 新增Pin Definitions页中ADCINCK管脚定义。 删除ADCTN/ADCTP/ADCVN/ADCVP管脚的配置功能信息。

管脚名称	方向	说明
用户I/O管脚		
IO [End][Row/Column Number][A/B]	I/O/LVDS	[End]提供管脚在器件中的位置信息，包括L(left) R(right) B(bottom) T(top)
		[Row/Column Number]提供管脚在器件中的具体行列位置信息，若[End]为T(top)或B(bottom)，则提供列信息，即管脚对应的CFU列数。若[End]为L(left)或R(right)，则提供行信息，即管脚对应的CFU行数
		[A/B]提供差分信号对信息
		方向为LVDS时表示该管脚只支持真LVDS输出
多功能管脚		
IO [End][Row/Column Number][A/B]/MMM		多功能管脚定义，/MMM表示在用户I/O功能的基础上有另外一种或多种功能。当这些功能不使用的時候，这些管脚可以用作用户I/O
D00	I/O	CPU模式：数据输入或输出(双向)管脚D00
D01	I/O	CPU模式：数据输入或输出(双向)管脚D01 MSPI模式：X1模式下串行数据输入，X2, X4模式下并行数据bit1的输入管脚, 连接外部Flash器件的DQ1/Q/SO/IO1管脚
D02	I/O	CPU模式：数据输入或输出(双向)管脚D02 MSPI模式：X4模式下并行数据bit2的输入管脚, 分别连接外部Flash器件的DQ2/W#/WP#/IO2管脚
D03	I/O	CPU模式：数据输入或输出(双向)管脚D03 MSPI模式：X4模式下并行数据bit3的输入管脚, 分别连接外部Flash器件的DQ3/HOLD#/IO3管脚
D04~D07	I/O	CPU模式：数据输入输出端口D04~D07
D08~D31	I	CPU模式：数据输入端口D08~D31
ADCINCK0	I/O	ADC0专用时钟输入管脚
ADCINCK1	I/O	ADC1专用时钟输入管脚
CCLK	I/O	配置时钟 Slave模式：CCLK为输入，需要连接外部时钟源 Master模式：CCLK为输出
CFGBVS	I/O	配置bank电压选择信号 配置IO (JTAG、MSPI等)所在的Bank指的是bank3, bank4, bank10 配置IO所在的Bank的VCCIO为2.5V和3.3V时，CFGBVS接1 配置IO所在的Bank的VCCIO≤1.8V时，CFGBVS接0
EMCCLK	I	外部输入时钟信号 Master模式：EMCCLK用作FPGA配置逻辑，以及输出CCLK的时钟源 Slave模式：EMCCLK对slave模式没有关联
MOSI	I/O	MSPI模式：串行指令和地址输出，以及X2, X4模式下的并行数据bit0的输入管脚，连接外部Flash器件的DQ0/D/SI/IO0管脚

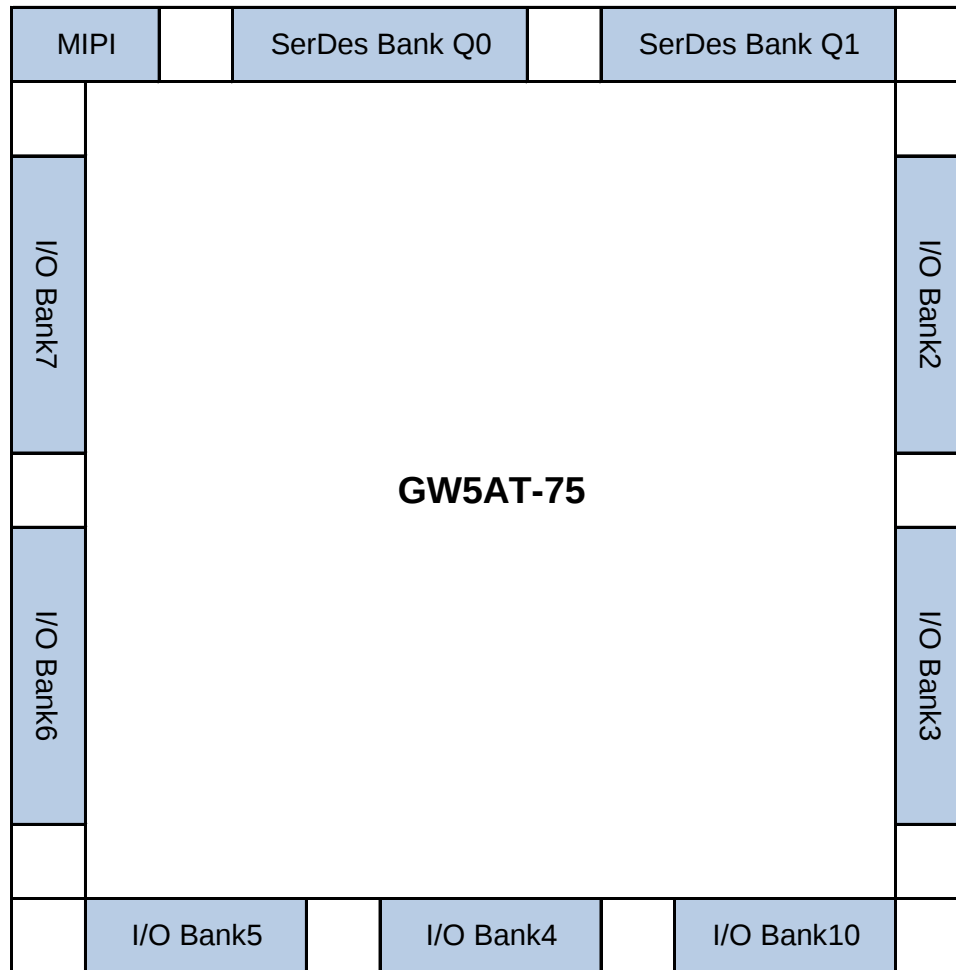
管脚名称	方向	说明
CSI_B	I	CPU模式：片选信号低有效 Master CPU模式：连接外部配置controller的片选信号，也可以直接接地或者串接1KΩ电阻接地 Slave CPU模式：外部配置controller可以通过控制CSI_B信号选择FPGA Master和Slave模式都是由外部controller发出，其他模式CSI_B信号没有关联
DOUT_CSO_B	O	在FPGA级联配置模式(Daisy Chain)用于连接下一级器件 SERIAL模式：输出下一级器件的配置数据 Master SPI模式：输出下一级器件的配置数据 CPU模式：输出下一级器件的片选信号
PUDC_B	I	配置过程中的弱上拉选择信号管脚： FPGA上电后在配置过程中低电平有效使能内部弱上拉电阻 PUDC_B低电平：除PUDC_B外所有的GPIO 弱上拉 PUDC_B高电平：所有GPIO 高阻 PUDC_B不允许在配置过程中悬空
RDWR	I	CPU模式：数据读写控制信号 RDWR为高电平时，FPGA输出数据；为低电平时，外部控制器将数据写入FPGA Master CPU模式：可以接外部控制器RDWR信号，也可以直接或者串接≤1kΩ电阻器连接到GND。 Slave CPU模式：外部控制器RDWR信号 CPU模式的低8位专用IO在wakeup后会受RDWR状态影响，CPU模式低8位设置复用fuse不受RDWR影响
SI	I/O	SSPI模式下SI
SO	O	SSPI模式下SO
SSPI_CLK	I/O	SSPI/QSSPI配置模式：时钟输入管脚
SSPI_WPN	I/O	QSSPI配置模式：数据输入管脚
SGCLKC_[x] ^[2]	I	SGCLKT_[x]的差分对比输入管脚，C(Comp)，[x]是时钟序号
SGCLKT_[x] ^[2]	I	专用时钟输入管脚，驱动同时钟域，T(True)，[x]是时钟序号
MGCLKC_[x] ^[2]	I	MGCLKT_[x]的差分对比输入管脚，C(Comp)，[x]是时钟序号
MGCLKT_[x] ^[2]	I	专用时钟输入管脚，驱动多时钟域，T(True)，[x]是时钟序号
VREF		参考电压
DIN	I，内部弱下拉	SERIAL模式：数据输入
TMS	I，内部弱上拉	JTAG模式：串行模式输入
TCK	I	JTAG模式：串行时钟输入
TDO	O	JTAG模式：串行数据输出
TDI	I，内部弱上拉	JTAG模式：串行数据输入
RECONFIG_N	I，内部弱上拉	全局复位GowinCONFIG逻辑信号，低电平有效

管脚名称	方向	说明
DONE ^[1]	O, 内部弱上拉	高电平表示成功完成编程配置 低电平表示未完成编程配置或编程配置失败
	I, 内部弱上拉	DONE信号为低电平时, 延迟芯片启动, 直到DONE信号为高电平
READY ^[1]	O, 内部弱上拉	高电平表示当前可以对器件进行编程配置 低电平表示无法对器件进行编程配置
	I, 内部弱上拉	
MCS_N	O	MSPI模式: 使能信号MCS_N, 低电平有效
SSPI_CS_N	I/O	SSPI模式: 使能信号SSPI_CS_N, 低电平有效, 内部弱上拉
CLKHOLD_N	I, 内部弱下拉	在SSPI模式下, 高电平有效 在CPU模式下, 低电平有效
	I, 内部弱下拉	
LPLL_C_FB/RPLL_C_FB	I	左边/右边PLL反馈输入管脚, C(Comp)
LPLL_T_FB/RPLL_T_FB	I	左边/右边PLL反馈输入管脚, T(True)
LPLL_C_IN/RPLL_C_IN	I	左边/右边PLL时钟输入管脚, C(Comp)
LPLL_T_IN/RPLL_T_IN	I	左边/右边PLL时钟输入管脚, T(True)
MODE2	I, 内部弱下拉	GowinCONFIG配置模式选择信号端口: 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
MODE1	I, 内部弱下拉	GowinCONFIG配置模式选择信号端口: 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
MODE0	I, 内部弱下拉	GowinCONFIG配置模式选择信号端口: 若该管脚标记为“VCCIO”, 表示该管脚内接电源; 若该管脚标记为“GND”, 表示该管脚内部接地
其他管脚		
ADCINCK	I	ADC时钟输入管脚
ADCTN	DIO	SENSOR1/SENSOR2 差分模拟信号输入管脚
ADCTP	DIO	SENSOR1/SENSOR2 差分模拟信号输入管脚
ADCVN	DIO	SENSOR1/SENSOR2 差分模拟信号输入管脚
ADCVP	DIO	SENSOR1/SENSOR2 差分模拟信号输入管脚
ATEST_O	DIO	SerDes模拟信号测试管脚
M0_CKN	DIO	MIPI_DPHY_RX M0的时钟通道差分输入管脚
M0_CKP	DIO	MIPI_DPHY_RX M0的时钟通道差分输入管脚
M0_D0N	DIO	MIPI_DPHY_RX M0的数据通道0差分输入管脚
M0_D0P	DIO	MIPI_DPHY_RX M0的数据通道0差分输入管脚
M0_D1N	DIO	MIPI_DPHY_RX M0的数据通道1差分输入管脚
M0_D1P	DIO	MIPI_DPHY_RX M0的数据通道1差分输入管脚
M0_D2N	DIO	MIPI_DPHY_RX M0的数据通道2差分输入管脚

管脚名称	方向	说明
M0_D2P	DIO	MIPI_DPHY_RX M0的数据通道2差分输入管脚
M0_D3N	DIO	MIPI_DPHY_RX M0的数据通道3差分输入管脚
M0_D3P	DIO	MIPI_DPHY_RX M0的数据通道3差分输入管脚
M1_CKN	DIO	MIPI_DPHY_RX M1的时钟通道差分输入管脚
M1_CKP	DIO	MIPI_DPHY_RX M1的时钟通道差分输入管脚
M1_D0N	DIO	MIPI_DPHY_RX M1的数据通道0差分输入管脚
M1_D0P	DIO	MIPI_DPHY_RX M1的数据通道0差分输入管脚
M1_D1N	DIO	MIPI_DPHY_RX M1的数据通道1差分输入管脚
M1_D1P	DIO	MIPI_DPHY_RX M1的数据通道1差分输入管脚
M1_D2N	DIO	MIPI_DPHY_RX M1的数据通道2差分输入管脚
M1_D2P	DIO	MIPI_DPHY_RX M1的数据通道2差分输入管脚
M1_D3N	DIO	MIPI_DPHY_RX M1的数据通道3差分输入管脚
M1_D3P	DIO	MIPI_DPHY_RX M1的数据通道3差分输入管脚
Q0_LN0_RXM_I	DIO	SerDes Q0的数据通道0 RX差分输入管脚
Q0_LN0_RXP_I	DIO	SerDes Q0的数据通道0 RX差分输入管脚
Q0_LN0_TXM_O	DIO	SerDes Q0的数据通道0 TX差分输出管脚
Q0_LN0_TXP_O	DIO	SerDes Q0的数据通道0 TX差分输出管脚
Q0_LN1_RXM_I	DIO	SerDes Q0的数据通道1 RX差分输入管脚
Q0_LN1_RXP_I	DIO	SerDes Q0的数据通道1 RX差分输入管脚
Q0_LN1_TXM_O	DIO	SerDes Q0的数据通道1 TX差分输出管脚
Q0_LN1_TXP_O	DIO	SerDes Q0的数据通道1 TX差分输出管脚
Q0_LN2_RXM_I	DIO	SerDes Q0的数据通道2 RX差分输入管脚
Q0_LN2_RXP_I	DIO	SerDes Q0的数据通道2 RX差分输入管脚
Q0_LN2_TXM_O	DIO	SerDes Q0的数据通道2 TX差分输出管脚
Q0_LN2_TXP_O	DIO	SerDes Q0的数据通道2 TX差分输出管脚
Q0_LN3_RXM_I	DIO	SerDes Q0的数据通道3 RX差分输入管脚
Q0_LN3_RXP_I	DIO	SerDes Q0的数据通道3 RX差分输入管脚
Q0_LN3_TXM_O	DIO	SerDes Q0的数据通道3 TX差分输出管脚
Q0_LN3_TXP_O	DIO	SerDes Q0的数据通道3 TX差分输出管脚
Q1_LN0_RXM_I	DIO	SerDes Q1的数据通道0 RX差分输入管脚
Q1_LN0_RXP_I	DIO	SerDes Q1的数据通道0 RX差分输入管脚
Q1_LN0_TXM_O	DIO	SerDes Q1的数据通道0 TX差分输出管脚

管脚名称	方向	说明
Q1_LN0_TXP_O	DIO	SerDes Q1的数据通道0 TX差分输出管脚
Q1_LN1_RXM_I	DIO	SerDes Q1的数据通道1 RX差分输入管脚
Q1_LN1_RXP_I	DIO	SerDes Q1的数据通道1 RX差分输入管脚
Q1_LN1_TXM_O	DIO	SerDes Q1的数据通道1 TX差分输出管脚
Q1_LN1_TXP_O	DIO	SerDes Q1的数据通道1 TX差分输出管脚
Q1_LN2_RXM_I	DIO	SerDes Q1的数据通道2 RX差分输入管脚
Q1_LN2_RXP_I	DIO	SerDes Q1的数据通道2 RX差分输入管脚
Q1_LN2_TXM_O	DIO	SerDes Q1的数据通道2 TX差分输出管脚
Q1_LN2_TXP_O	DIO	SerDes Q1的数据通道2 TX差分输出管脚
Q1_LN3_RXM_I	DIO	SerDes Q1的数据通道3 RX差分输入管脚
Q1_LN3_RXP_I	DIO	SerDes Q1的数据通道3 RX差分输入管脚
Q1_LN3_TXM_O	DIO	SerDes Q1的数据通道3 TX差分输出管脚
Q1_LN3_TXP_O	DIO	SerDes Q1的数据通道3 TX差分输出管脚
Q0_REFCLKM_0	DIO	SerDes Q0的参考时钟通道0差分输入管脚
Q0_REFCLKP_0	DIO	SerDes Q0的参考时钟通道0差分输入管脚
Q0_REFCLKM_1	DIO	SerDes Q0的参考时钟通道1差分输入管脚
Q0_REFCLKP_1	DIO	SerDes Q0的参考时钟通道1差分输入管脚
Q1_REFCLKM_0	DIO	SerDes Q1的参考时钟通道0差分输入管脚
Q1_REFCLKM_1	DIO	SerDes Q1的参考时钟通道0差分输入管脚
Q1_REFCLKP_0	DIO	SerDes Q1的参考时钟通道1差分输入管脚
Q1_REFCLKP_1	DIO	SerDes Q1的参考时钟通道1差分输入管脚
VSS	NA	Ground管脚
VCC	NA	核电源供电管脚
VCCIO#	NA	I/O BANK#的I/O电源供电管脚
VCCX	NA	辅助电源供电管脚
VCCLDO	NA	为PLL和SRAM提供电压的内部LDO模块的电源供电管脚
VDDAM	NA	MIPI模块内部模拟电路电源供电管脚
VDDDM	NA	MIPI模块内部数字电路电源供电管脚
VDDXM	NA	MIPI模块辅助电源供电管脚
VDDAQ*	NA	SerDes模块QUAD*内部模拟电路电源供电管脚
VDDDQ*	NA	SerDes模块QUAD*内部数字电路电源供电管脚
VDDTQ*	NA	SerDes模块QUAD* TX发送端电源供电管脚

管脚名称	方向	说明
VDDHAQ*	NA	SerDes模块QUAD*内部高压电源供电管脚
注！ [1] READY和DONE默认状态为open-drain输出，内部弱上拉。在配置期间，DONE输出0。 [2] SGCLKC_[x]管脚和MGCLKC_[x]管脚等价；SGCLKT_[x]管脚和MGCLKT_[x]管脚等价。		



注！

[1]每个Bank还提供一个独立的参考电压（VREF）。

[2]用户可选择使用IOB内置的VREF源（0.6V、0.675V、0.75V、0.9V，以及基于VCCIO的比例电压（33%,42%,50%,58%））。

[3]用户也可选择外部的VREF输入（使用Bank中任意一个IO管脚作为外部VREF输入）。

名称	描述	最小值	最大值
FPGA Logic			
V_{CC}	核电压	0.87V	1.03V
V_{CCIO}	I/O Bank电压	1V	3.465V
V_{CCX}	辅助电压	1.71V	1.89V
$V_{CCLDO}^{[1]}$	为PLL和SRAM提供电压的内部LDO模块的电源电压	1.14V	1.89V
Gigabit Transceiver			
V_{DDHAQ}^*	QUAD*内部高压供电电压	1.71V	1.89V
V_{DDAQ}^*	QUAD*内部模拟电路供电电压	0.87V	1.03V
V_{DDTQ}^*	QUAD* TX发送端供电电压	0.87V	1.03V
V_{DDDQ}^*	QUAD*内部数字电路供电电压	0.87V	1.03V
MIPI			
V_{DDAM}	MIPI模块模拟电路供电电压	0.87V	1.03V
V_{DDXM}	MIPI模块模拟辅助供电电压	1.71V	1.89V
V_{DDDM}	MIPI模块数字电路供电电压	0.87V	1.03V
注! ^[1] V_{CCLDO} 电压越大, 功耗越高。 若某些封装或者PCB上多个电源短接, 需要取所有短接电源范围的交集,同时满足多个电源的需求。			

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG484
ADCTN	DIO	ADC	none			none	T22
ADCTP	DIO	ADC	none			none	T20
ADCVN	DIO	ADC	none			none	R21
ADCVP	DIO	ADC	none			none	R22
M0_CKN	DIO	MIPI	none			none	A8
M0_CKP	DIO	MIPI	none			none	A7
M0_D0N	DIO	MIPI	none			none	A6
M0_D0P	DIO	MIPI	none			none	A5
M0_D1N	DIO	MIPI	none			none	A4
M0_D1P	DIO	MIPI	none			none	A3
M0_D2N	DIO	MIPI	none			none	B5
M0_D2P	DIO	MIPI	none			none	B4
M0_D3N	DIO	MIPI	none			none	C6
M0_D3P	DIO	MIPI	none			none	B6
M1_CKN	DIO	MIPI	none			none	C4
M1_CKP	DIO	MIPI	none			none	C5
M1_D0N	DIO	MIPI	none			none	D4
M1_D0P	DIO	MIPI	none			none	D5
M1_D1N	DIO	MIPI	none			none	F4
M1_D1P	DIO	MIPI	none			none	E4
M1_D2N	DIO	MIPI	none			none	E6
M1_D2P	DIO	MIPI	none			none	D6
M1_D3N	DIO	MIPI	none			none	F6
M1_D3P	DIO	MIPI	none			none	E7
Q0_LN0_RXM_I	DIO	Q0	none			none	B8
Q0_LN0_RXP_I	DIO	Q0	none			none	C8
Q0_LN0_TXM_O	DIO	Q0	none			none	G8
Q0_LN0_TXP_O	DIO	Q0	none			none	F8
Q0_LN1_RXM_I	DIO	Q0	none			none	D8
Q0_LN1_RXP_I	DIO	Q0	none			none	D7
Q0_LN1_TXM_O	DIO	Q0	none			none	F9
Q0_LN1_TXP_O	DIO	Q0	none			none	G9
Q0_LN2_RXM_I	DIO	Q0	none			none	D9

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG484
Q0_LN2_RXP_I	DIO	Q0	none			none	C9
Q0_LN2_TXM_O	DIO	Q0	none			none	F11
Q0_LN2_TXP_O	DIO	Q0	none			none	G11
Q0_LN3_RXM_I	DIO	Q0	none			none	A11
Q0_LN3_RXP_I	DIO	Q0	none			none	A10
Q0_LN3_TXM_O	DIO	Q0	none			none	F12
Q0_LN3_TXP_O	DIO	Q0	none			none	G12
Q0_REFCLKM_0	DIO	Q0	none			none	E8
Q0_REFCLKM_1	DIO	Q0	none			none	B10
Q0_REFCLKP_0	DIO	Q0	none			none	E9
Q0_REFCLKP_1	DIO	Q0	none			none	B9
Q1_LN0_RXM_I	DIO	Q1	none			none	C10
Q1_LN0_RXP_I	DIO	Q1	none			none	B11
Q1_LN0_TXM_O	DIO	Q1	none			none	E12
Q1_LN0_TXP_O	DIO	Q1	none			none	E11
Q1_LN1_RXM_I	DIO	Q1	none			none	E10
Q1_LN1_RXP_I	DIO	Q1	none			none	D10
Q1_LN1_TXM_O	DIO	Q1	none			none	F13
Q1_LN1_TXP_O	DIO	Q1	none			none	E13
Q1_LN2_RXM_I	DIO	Q1	none			none	A14
Q1_LN2_RXP_I	DIO	Q1	none			none	A13
Q1_LN2_TXM_O	DIO	Q1	none			none	E14
Q1_LN2_TXP_O	DIO	Q1	none			none	D14
Q1_LN3_RXM_I	DIO	Q1	none			none	D13
Q1_LN3_RXP_I	DIO	Q1	none			none	C13
Q1_LN3_TXM_O	DIO	Q1	none			none	G14
Q1_LN3_TXP_O	DIO	Q1	none			none	F14
Q1_REFCLKM_0	DIO	Q1	none			none	D11
Q1_REFCLKM_1	DIO	Q1	none			none	A12
Q1_REFCLKP_0	DIO	Q1	none			none	D12
Q1_REFCLKP_1	DIO	Q1	none			none	B12
VDDAM_VDDDM	Power	N/A					H9
VDDAM_VDDDM	Power	N/A					A9

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG484
VDDAQ0	Power	N/A					C7
VDDAQ0	Power	N/A					G10
VDDHAQ0_VDDHAQ1	Power	N/A					K15
VDDHAQ0_VDDHAQ1	Power	N/A					J15
VDDTQ0	Power	N/A					F10
VDDTQ0	Power	N/A					C17
VDDTQ0	Power	N/A					H11
VDDAQ1	Power	N/A					C16
VDDAQ1	Power	N/A					G13
VDDTQ1	Power	N/A					C12
VDDTQ1	Power	N/A					H14
VDDTQ1	Power	N/A					H12
VCC	Power	N/A					L11
VCC	Power	N/A					M12
VCC	Power	N/A					N12
VCC	Power	N/A					M11
VCC	Power	N/A					K10
VCC	Power	N/A					K12
VCC	Power	N/A					N11
VCC	Power	N/A					N10
VCC	Power	N/A					K13
VCC	Power	N/A					N13
VCC	Power	N/A					L12
VCC	Power	N/A					K11
VCCLDO	Power	N/A					K8
VCCLDO	Power	N/A					J8
VCCLDO	Power	N/A					F5
VCCIO10	Power	N/A					V20
VCCIO10	Power	N/A					W16
VCCIO11_VCCX_VDDXM	Power	N/A					L4
VCCIO11_VCCX_VDDXM	Power	N/A					F3
VCCIO2	Power	N/A					G18
VCCIO2	Power	N/A					F20

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG484
VCCIO2	Power	N/A					L15
VCCIO3	Power	N/A					P15
VCCIO3	Power	N/A					N15
VCCIO3	Power	N/A					M15
VCCIO3	Power	N/A					M18
VCCIO4	Power	N/A					R13
VCCIO4	Power	N/A					R12
VCCIO4	Power	N/A					R14
VCCIO4	Power	N/A					Y13
VCCIO5	Power	N/A					R11
VCCIO5	Power	N/A					R9
VCCIO5	Power	N/A					R10
VCCIO5	Power	N/A					W11
VCCIO5	Power	N/A					W7
VCCIO6	Power	N/A					P8
VCCIO6	Power	N/A					N8
VCCIO6	Power	N/A					V3
VCCIO7	Power	N/A					L8
VCCIO7	Power	N/A					M3
VCCIO7	Power	N/A					M8

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG484
BANK10 True LVDS Pair							
IOB169A/TDO	I/O	10	none	TDO	True_of_IOB169B	True	W21
IOB169B/TMS	I/O	10	none	TMS	Comp_of_IOB169A	True	Y21
IOB171A/READY	I/O	10	none	READY	True_of_IOB171B	True	AA21
IOB171B/DONE	I/O	10	none	DONE	Comp_of_IOB171A	True	AA22
IOB173A/TCK	I/O	10	none	TCK	True_of_IOB173B	True	AB21
IOB173B/TDI	I/O	10	none	TDI	Comp_of_IOB173A	True	W22
IOB175A/MODE0	I/O	10	none	MODE0	True_of_IOB175B	True	Y22
IOB175B/CCLK	I/O	10	none	CCLK	Comp_of_IOB175A	True	U22
IOB177A/MODE1	I/O	10	none	MODE1	True_of_IOB177B	True	V22
IOB177B/MODE2	I/O	10	none	MODE2	Comp_of_IOB177A	True	T18
IOB179A/CFGBVS	I/O	10	none	CFGBVS	True_of_IOB179B	True	T19
IOB179B/RECONFIG_N	I/O	10	none	RECONFIG_N	Comp_of_IOB179A	True	T21
BANK7 True LVDS Pair							
IOL11A	I/O	7	DQ0		True_of_IOL11B	True	D2
IOL11B	I/O	7	DQ0		Comp_of_IOL11A	True	D1
IOL13A	I/O	7	DQ0		True_of_IOL13B	True	G6
IOL13B	I/O	7	DQ0		Comp_of_IOL13A	True	G5
IOL15A	I/O	7	DQ1		True_of_IOL15B	True	E3
IOL15B	I/O	7	DQ1		Comp_of_IOL15A	True	E2
IOL17A	I/O	7	DQ1		True_of_IOL17B	True	F1
IOL17B	I/O	7	DQ1		Comp_of_IOL17A	True	E1
IOL20A	I/O	7	DQ1		True_of_IOL20B	True	G4
IOL20B	I/O	7	DQ1		Comp_of_IOL20A	True	G3
IOL22A	I/O	7	DQS1		True_of_IOL22B	True	G2
IOL22B	I/O	7	DQS1		Comp_of_IOL22A	True	G1
IOL24A/MGCLKT_11/LPLL0_T_IN1/LPLL1_T_IN1	I/O	7	DQ1	MGCLKT_11/LPLL0_T_IN1/LPLL1_T_IN1	True_of_IOL24B	True	H7
IOL24B/MGCLKC_11/LPLL0_C_IN1/LPLL1_C_IN1	I/O	7	DQ1	MGCLKC_11/LPLL0_C_IN1/LPLL1_C_IN1	Comp_of_IOL24A	True	H6
IOL26A/SGCLKT_11/LPLL0_T_IN0/LPLL1_T_IN0	I/O	7	DQ1	SGCLKT_11/LPLL0_T_IN0/LPLL1_T_IN0	True_of_IOL26B	True	H5

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG484
IOL26B/SGCLKC_11/LPLL0_C_IN0/LPLL1_C_IN0	I/O	7	DQ1	SGCLKC_11/LPLL0_C_IN0/LPLL1_C_IN0	Comp_of_IOL26A	True	H4
IOL29A/MGCLKT_10/LPLL0_T_FB1/LPLL1_T_FB1	I/O	7	DQ2	MGCLKT_10/LPLL0_T_FB1/LPLL1_T_FB1	True_of_IOL29B	True	H3
IOL29B/MGCLKC_10/LPLL0_C_FB1/LPLL1_C_FB1	I/O	7	DQ2	MGCLKC_10/LPLL0_C_FB1/LPLL1_C_FB1	Comp_of_IOL29A	True	H2
IOL2A/ADCINCK0	I/O	7	DQ0	ADCINCK0	True_of_IOL2B	True	G7
IOL2B	I/O	7	DQ0		Comp_of_IOL2A	True	B3
IOL31A/SGCLKT_10/LPLL0_T_FB0/LPLL1_T_FB0	I/O	7	DQ2	SGCLKT_10/LPLL0_T_FB0/LPLL1_T_FB0	True_of_IOL31B	True	J1
IOL31B/SGCLKC_10/LPLL0_C_FB0/LPLL1_C_FB0	I/O	7	DQ2	SGCLKC_10/LPLL0_C_FB0/LPLL1_C_FB0	Comp_of_IOL31A	True	H1
IOL33A	I/O	7	DQ2		True_of_IOL33B	True	J3
IOL33B	I/O	7	DQ2		Comp_of_IOL33A	True	J2
IOL35A	I/O	7	DQS2		True_of_IOL35B	True	J5
IOL35B	I/O	7	DQS2		Comp_of_IOL35A	True	J4
IOL38A	I/O	7	DQ2		True_of_IOL38B	True	J7
IOL38B	I/O	7	DQ2		Comp_of_IOL38A	True	J6
IOL40A	I/O	7	DQ2		True_of_IOL40B	True	K7
IOL40B	I/O	7	DQ2		Comp_of_IOL40A	True	K6
IOL42A	I/O	7	DQ3		True_of_IOL42B	True	K5
IOL42B	I/O	7	DQ3		Comp_of_IOL42A	True	K4
IOL44A	I/O	7	DQ3		True_of_IOL44B	True	K3
IOL44B	I/O	7	DQ3		Comp_of_IOL44A	True	K2
IOL47A	I/O	7	DQ3		True_of_IOL47B	True	L1
IOL47B	I/O	7	DQ3		Comp_of_IOL47A	True	K1
IOL49A	I/O	7	DQS3		True_of_IOL49B	True	L5
IOL49B	I/O	7	DQS3		Comp_of_IOL49A	True	L6
IOL4A	I/O	7	DQS0		True_of_IOL4B	True	C3
IOL4B	I/O	7	DQS0		Comp_of_IOL4A	True	D3
IOL51A	I/O	7	DQ3		True_of_IOL51B	True	L3
IOL51B	I/O	7	DQ3		Comp_of_IOL51A	True	M7
IOL53A	I/O	7	DQ3		True_of_IOL53B	True	L7

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG484
IOL53B	I/O	7	DQ3		Comp_of_IOL53A	True	M6
IOL6A	I/O	7	DQ0		True_of_IOL6B	True	B2
IOL6B	I/O	7	DQ0		Comp_of_IOL6A	True	A2
IOL8A	I/O	7	DQ0		True_of_IOL8B	True	C1
IOL8B	I/O	7	DQ0		Comp_of_IOL8A	True	B1
BANK6 True LVDS Pair							
IOL101A	I/O	6	DQ7		True_of_IOL101B	True	AB2
IOL101B	I/O	6	DQ7		Comp_of_IOL101A	True	Y2
IOL103A	I/O	6	DQ7		True_of_IOL103B	True	AB3
IOL103B	I/O	6	DQ7		Comp_of_IOL103A	True	AA3
IOL105A	I/O	6	DQ7		True_of_IOL105B	True	AB4
IOL105B	I/O	6	DQ7		Comp_of_IOL105A	True	AA4
IOL107A	I/O	6	DQ7		True_of_IOL107B	True	Y4
IOL107B	I/O	6	DQ7		Comp_of_IOL107A	True	W4
IOL56A	I/O	6	DQ4		True_of_IOL56B	True	M2
IOL56B	I/O	6	DQ4		Comp_of_IOL56A	True	M1
IOL58A	I/O	6	DQ4		True_of_IOL58B	True	N1
IOL58B	I/O	6	DQ4		Comp_of_IOL58A	True	N3
IOL60A	I/O	6	DQ4		True_of_IOL60B	True	N2
IOL60B	I/O	6	DQ4		Comp_of_IOL60A	True	N5
IOL62A	I/O	6	DQ4		True_of_IOL62B	True	N4
IOL62B	I/O	6	DQ4		Comp_of_IOL62A	True	P7
IOL65A	I/O	6	DQS4		True_of_IOL65B	True	N6
IOL65B	I/O	6	DQS4		Comp_of_IOL65A	True	N7
IOL67A	I/O	6	DQ4		True_of_IOL67B	True	P6
IOL67B	I/O	6	DQ4		Comp_of_IOL67A	True	P5
IOL69A	I/O	6	DQS5		True_of_IOL69B	True	P4
IOL69B	I/O	6	DQS5		Comp_of_IOL69A	True	P3
IOL71A	I/O	6	DQ5		True_of_IOL71B	True	P2
IOL71B	I/O	6	DQ5		Comp_of_IOL71A	True	R1
IOL74A	I/O	6	DQ5		True_of_IOL74B	True	R2
IOL74B	I/O	6	DQ5		Comp_of_IOL74A	True	R4
IOL76A	I/O	6	DQ5		True_of_IOL76B	True	R3

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG484
IOL76B	I/O	6	DQ5		Comp_of_IOL76A	True	R7
IOL78A/SGCLKT_8/LPLL2_T_IN0/ LPLL3_T_IN0	I/O	6	DQ5	SGCLKT_8/LPLL2_T_IN0/LPLL3_T_IN0	True_of_IOL78B	True	R6
IOL78B/SGCLKC_8/LPLL2_C_IN0/ LPLL3_C_IN0	I/O	6	DQ5	SGCLKC_8/LPLL2_C_IN0/LPLL3_C_IN0	Comp_of_IOL78A	True	R5
IOL80A/MGCLKT_8/LPLL2_T_IN1/ LPLL3_T_IN1	I/O	6	DQ5	MGCLKT_8/LPLL2_T_IN1/LPLL3_T_IN1	True_of_IOL80B	True	T4
IOL80B/MGCLKC_8/LPLL2_C_IN1/ LPLL3_C_IN1	I/O	6	DQ5	MGCLKC_8/LPLL2_C_IN1/LPLL3_C_IN1	Comp_of_IOL80A	True	T3
IOL83A/MGCLKT_9/LPLL2_T_FB1/ LPLL3_T_FB1	I/O	6	DQ6	MGCLKT_9/LPLL2_T_FB1/LPLL3_T_FB1	True_of_IOL83B	True	T2
IOL83B/MGCLKC_9/LPLL2_C_FB1/ LPLL3_C_FB1	I/O	6	DQ6	MGCLKC_9/LPLL2_C_FB1/LPLL3_C_FB1	Comp_of_IOL83A	True	T1
IOL85A/SGCLKT_9/LPLL2_T_FB0/ LPLL3_T_FB0	I/O	6	DQ6	SGCLKT_9/LPLL2_T_FB0/LPLL3_T_FB0	True_of_IOL85B	True	U1
IOL85B/SGCLKC_9/LPLL2_C_FB0/ LPLL3_C_FB0	I/O	6	DQ6	SGCLKC_9/LPLL2_C_FB0/LPLL3_C_FB0	Comp_of_IOL85A	True	U2
IOL87A	I/O	6	DQ6		True_of_IOL87B	True	V1
IOL87B	I/O	6	DQ6		Comp_of_IOL87A	True	U4
IOL89A	I/O	6	DQ6		True_of_IOL89B	True	U3
IOL89B	I/O	6	DQ6		Comp_of_IOL89A	True	T6
IOL92A	I/O	6	DQ6		True_of_IOL92B	True	T5
IOL92B	I/O	6	DQ6		Comp_of_IOL92A	True	Y1
IOL94A	I/O	6	DQS6		True_of_IOL94B	True	W1
IOL94B	I/O	6	DQS6		Comp_of_IOL94A	True	W2
IOL96A	I/O	6	DQS7		True_of_IOL96B	True	W3
IOL96B	I/O	6	DQS7		Comp_of_IOL96A	True	Y3
IOL98A	I/O	6	DQ7		True_of_IOL98B	True	AA1
IOL98B	I/O	6	DQ7		Comp_of_IOL98A	True	AA2

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG484
BANK5 True LVDS Pair							
IOB38A	I/O	5	DQ8		True_of_IOB38B	True	V5
IOB38B	I/O	5	DQ8		Comp_of_IOB38A	True	W5
IOB40A	I/O	5	DQ8		True_of_IOB40B	True	Y5
IOB40B	I/O	5	DQ8		Comp_of_IOB40A	True	AA5
IOB42A	I/O	5	DQS8		True_of_IOB42B	True	AB6
IOB42B	I/O	5	DQS8		Comp_of_IOB42A	True	AA6
IOB44A	I/O	5	DQ8		True_of_IOB44B	True	AB7
IOB44B	I/O	5	DQ8		Comp_of_IOB44A	True	AB5
IOB47A	I/O	5	DQ8		True_of_IOB47B	True	Y6
IOB47B	I/O	5	DQ8		Comp_of_IOB47A	True	U6
IOB49A	I/O	5	DQ8		True_of_IOB49B	True	V6
IOB49B	I/O	5	DQ8		Comp_of_IOB49A	True	T7
IOB51A	I/O	5	DQ9		True_of_IOB51B	True	U7
IOB51B	I/O	5	DQ9		Comp_of_IOB51A	True	V7
IOB53A	I/O	5	DQ9		True_of_IOB53B	True	AA7
IOB53B	I/O	5	DQ9		Comp_of_IOB53A	True	AB8
IOB56A	I/O	5	DQS9		True_of_IOB56B	True	Y8
IOB56B	I/O	5	DQS9		Comp_of_IOB56A	True	W8
IOB58A	I/O	5	DQ9		True_of_IOB58B	True	AA8
IOB58B	I/O	5	DQ9		Comp_of_IOB58A	True	V8
IOB60A/SGCLKT_6/BPLL0_T_IN0/ BPLL1_T_IN0	I/O	5	DQ9	SGCLKT_6/BPLL0_T_IN0/BPL L1_T_IN0	True_of_IOB60B	True	W6
IOB60B/SGCLKC_6/BPLL0_C_IN0/ BPLL1_C_IN0	I/O	5	DQ9	SGCLKC_6/BPLL0_C_IN0/BPL L1_C_IN0	Comp_of_IOB60A	True	T8
IOB62A/MGCLKT_6/BPLL0_T_IN1/ BPLL1_T_IN1	I/O	5	DQ9	MGCLKT_6/BPLL0_T_IN1/BPL L1_T_IN1	True_of_IOB62B	True	U8
IOB62B/MGCLKC_6/BPLL0_C_IN1/ BPLL1_C_IN1	I/O	5	DQ9	MGCLKC_6/BPLL0_C_IN1/BP LL1_C_IN1	Comp_of_IOB62A	True	T9
IOB66A/MGCLKT_7/BPLL0_T_FB0/ BPLL1_T_FB0	I/O	5	DQ10	MGCLKT_7/BPLL0_T_FB0/BP LL1_T_FB0	True_of_IOB66B	True	U9
IOB66B/MGCLKC_7/BPLL0_C_FB 1/BPLL1_C_FB1	I/O	5	DQ10	MGCLKC_7/BPLL0_C_FB1/BP LL1_C_FB1	Comp_of_IOB66A	True	V9

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG484
IOB68A/SGCLKT_7/BPLL0_T_FB1/BPLL1_T_FB1	I/O	5	DQ10	SGCLKT_7/BPLL0_T_FB1/BPLL1_T_FB1	True_of_IOB68B	True	W9
IOB68B/SGCLKC_7/BPLL0_C_FB0/BPLL1_C_FB0	I/O	5	DQ10	SGCLKC_7/BPLL0_C_FB0/BPLL1_C_FB0	Comp_of_IOB68A	True	Y9
IOB70A	I/O	5	DQS10		True_of_IOB70B	True	AA9
IOB70B	I/O	5	DQS10		Comp_of_IOB70A	True	AB9
IOB72A	I/O	5	DQ10		True_of_IOB72B	True	AB10
IOB72B	I/O	5	DQ10		Comp_of_IOB72A	True	Y10
IOB74A	I/O	5	DQ10		True_of_IOB74B	True	AA10
IOB74B	I/O	5	DQ10		Comp_of_IOB74A	True	V10
IOB76A	I/O	5	DQ10		True_of_IOB76B	True	W10
IOB76B	I/O	5	DQ10		Comp_of_IOB76A	True	T10
IOB78A	I/O	5	DQ11		True_of_IOB78B	True	U10
IOB78B	I/O	5	DQ11		Comp_of_IOB78A	True	AA11
IOB80A	I/O	5	DQ11		True_of_IOB80B	True	AB11
IOB80B	I/O	5	DQ11		Comp_of_IOB80A	True	V11
IOB83A	I/O	5	DQ11		True_of_IOB83B	True	Y11
IOB83B	I/O	5	DQ11		Comp_of_IOB83A	True	T11
IOB85A	I/O	5	DQ11		True_of_IOB85B	True	U11
IOB85B	I/O	5	DQ11		Comp_of_IOB85A	True	AA12
IOB87A	I/O	5	DQ11		True_of_IOB87B	True	AB12
IOB87B	I/O	5	DQ11		Comp_of_IOB87A	True	Y12
IOB89A	I/O	5	DQS11		True_of_IOB89B	True	V12
IOB89B	I/O	5	DQS11		Comp_of_IOB89A	True	U12
BANK4 True LVDS Pair							
IOB102A/MCS_N	I/O	4	DQ12	MCS_N	True_of_IOB102B	True	W14
IOB102B/D08/SO	I/O	4	DQ12	D08/SO	Comp_of_IOB102A	True	Y14
IOB104A/PUDC_B	I/O	4	DQS12	PUDC_B	True_of_IOB104B	True	AA14
IOB104B/EMCCLK	I/O	4	DQS12	EMCCLK	Comp_of_IOB104A	True	AB14
IOB106A/CSI_B	I/O	4	DQ13	CSI_B	True_of_IOB106B	True	AB15
IOB106B/D31	I/O	4	DQ13	D31	Comp_of_IOB106A	True	AA15
IOB108A/D30	I/O	4	DQ13	D30	True_of_IOB108B	True	Y15
IOB108B/D29	I/O	4	DQ13	D29	Comp_of_IOB108A	True	W15

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG484
IOB110A/RDWR	I/O	4	DQS13	RDWR	True_of_IOB110B	True	V15
IOB110B/DOUT_CSO_B	I/O	4	DQS13	DOUT_CSO_B	Comp_of_IOB110A	True	U15
IOB112A/D28	I/O	4	DQ13	D28	True_of_IOB112B	True	T15
IOB112B/D27	I/O	4	DQ13	D27	Comp_of_IOB112A	True	T16
IOB114A/SGCLKT_4/BPLL2_T_FB1/BPLL3_T_FB1	I/O	4	DQ13	SGCLKT_4/BPLL2_T_FB1/BPLL3_T_FB1	True_of_IOB114B	True	U16
IOB114B/SGCLKC_4/BPLL2_C_FB1/BPLL3_C_FB1	I/O	4	DQ13	SGCLKC_4/BPLL2_C_FB1/BPLL3_C_FB1	Comp_of_IOB114A	True	V16
IOB116A/MGCLKT_4/BPLL2_T_FB0/BPLL3_T_FB0	I/O	4	DQ13	MGCLKT_4/BPLL2_T_FB0/BPLL3_T_FB0	True_of_IOB116B	True	AA16
IOB116B/MGCLKC_4/BPLL2_C_FB0/BPLL3_C_FB0	I/O	4	DQ13	MGCLKC_4/BPLL2_C_FB0/BPLL3_C_FB0	Comp_of_IOB116A	True	AB16
IOB120A/SGCLKT_5/BPLL2_T_IN0/BPLL3_T_IN0	I/O	4	DQ14	SGCLKT_5/BPLL2_T_IN0/BPLL3_T_IN0	True_of_IOB120B	True	AB17
IOB120B/SGCLKC_5/BPLL2_C_IN0/BPLL3_C_IN0	I/O	4	DQ14	SGCLKC_5/BPLL2_C_IN0/BPLL3_C_IN0	Comp_of_IOB120A	True	AA17
IOB122A/MGCLKT_5/BPLL2_T_IN1/BPLL3_T_IN1	I/O	4	DQ14	MGCLKT_5/BPLL2_T_IN1/BPLL3_T_IN1	True_of_IOB122B	True	Y17
IOB122B/MGCLKC_5/BPLL2_C_IN1/BPLL3_C_IN1	I/O	4	DQ14	MGCLKC_5/BPLL2_C_IN1/BPLL3_C_IN1	Comp_of_IOB122A	True	V17
IOB124A/D09	I/O	4	DQ14	D09	True_of_IOB124B	True	W17
IOB124B/D10	I/O	4	DQ14	D10	Comp_of_IOB124A	True	T17
IOB126A/D11	I/O	4	DQ14	D11	True_of_IOB126B	True	U17
IOB126B/D12	I/O	4	DQ14	D12	Comp_of_IOB126A	True	U18
IOB129A/D14	I/O	4	DQ14	D14	True_of_IOB129B	True	V18
IOB129B/D15	I/O	4	DQ14	D15	Comp_of_IOB129A	True	W18
IOB131A/SSPI_CS_N	I/O	4	DQS14	SSPI_CS_N	True_of_IOB131B	True	Y18
IOB131B/D13	I/O	4	DQS14	D13	Comp_of_IOB131A	True	AA18
IOB133A/D26	I/O	4	DQ15	D26	True_of_IOB133B	True	AB18
IOB133B/D25	I/O	4	DQ15	D25	Comp_of_IOB133A	True	W19
IOB135A/CLKHOLD_N	I/O	4	DQS15	CLKHOLD_N	True_of_IOB135B	True	AB19
IOB135B/D22	I/O	4	DQS15	D22	Comp_of_IOB135A	True	AA19
IOB138A/D24	I/O	4	DQ15	D24	True_of_IOB138B	True	Y19

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG484
IOB138B/D23	I/O	4	DQ15	D23	Comp_of_IOB138A	True	U19
IOB140A/D21	I/O	4	DQ15	D21	True_of_IOB140B	True	V19
IOB140B/D20	I/O	4	DQ15	D20	Comp_of_IOB140A	True	U20
IOB142A/D19	I/O	4	DQ15	D19	True_of_IOB142B	True	W20
IOB142B/D18	I/O	4	DQ15	D18	Comp_of_IOB142A	True	Y20
IOB144A/D17	I/O	4	DQ15	D17	True_of_IOB144B	True	AA20
IOB144B/D16	I/O	4	DQ15	D16	Comp_of_IOB144A	True	AB20
IOB93A/D00/MOSI	I/O	4	DQ12	D00/MOSI	True_of_IOB93B	True	U13
IOB93B/D01/DIN	I/O	4	DQ12	D01/DIN	Comp_of_IOB93A	True	V13
IOB95A/D02	I/O	4	DQ12	D02	True_of_IOB95B	True	W13
IOB95B/D03	I/O	4	DQ12	D03	Comp_of_IOB95A	True	AA13
IOB97A/D04	I/O	4	DQ12	D04	True_of_IOB97B	True	AB13
IOB97B/D05/SI	I/O	4	DQ12	D05/SI	Comp_of_IOB97A	True	T14
IOB99A/D06/SSPI_CLK	I/O	4	DQ12	D06/SSPI_CLK	True_of_IOB99B	True	U14
IOB99B/D07/SSPI_WPN	I/O	4	DQ12	D07/SSPI_WPN	Comp_of_IOB99A	True	V14
BANK3 True LVDS Pair							
IOR101A	I/O	3	DQ16		True_of_IOR101B	True	P19
IOR101B	I/O	3	DQ16		Comp_of_IOR101A	True	P20
IOR103A	I/O	3	DQS16		True_of_IOR103B	True	P21
IOR103B	I/O	3	DQS16		Comp_of_IOR103A	True	P22
IOR105A	I/O	3	DQ16		True_of_IOR105B	True	R19
IOR105B	I/O	3	DQ16		Comp_of_IOR105A	True	R20
IOR107A/ADCINCK1	I/O	3	DQ16	ADCINCK1	True_of_IOR107B	True	R17
IOR107B	I/O	3	DQ16		Comp_of_IOR107A	True	R18
IOR56A	I/O	3	DQ19		True_of_IOR56B	True	H16
IOR56B	I/O	3	DQ19		Comp_of_IOR56A	True	H17
IOR58A	I/O	3	DQS19		True_of_IOR58B	True	H18
IOR58B	I/O	3	DQS19		Comp_of_IOR58A	True	H19
IOR60A	I/O	3	DQ19		True_of_IOR60B	True	H20
IOR60B	I/O	3	DQ19		Comp_of_IOR60A	True	H21
IOR62A	I/O	3	DQ19		True_of_IOR62B	True	J22
IOR62B	I/O	3	DQ19		Comp_of_IOR62A	True	H22
IOR65A	I/O	3	DQ19		True_of_IOR65B	True	J20

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG484
IOR65B	I/O	3	DQ19		Comp_of_IOR65A	True	J21
IOR67A	I/O	3	DQ19		True_of_IOR67B	True	J18
IOR67B	I/O	3	DQ19		Comp_of_IOR67A	True	J19
IOR69A	I/O	3	DQ18		True_of_IOR69B	True	J16
IOR69B	I/O	3	DQ18		Comp_of_IOR69A	True	J17
IOR71A	I/O	3	DQ18		True_of_IOR71B	True	K16
IOR71B	I/O	3	DQ18		Comp_of_IOR71A	True	K17
IOR74A	I/O	3	DQ18		True_of_IOR74B	True	K19
IOR74B	I/O	3	DQ18		Comp_of_IOR74A	True	K20
IOR76A	I/O	3	DQS18		True_of_IOR76B	True	L22
IOR76B	I/O	3	DQS18		Comp_of_IOR76A	True	K22
IOR78A/SGCLKT_3/RPLL2_T_FB0/RPLL3_T_FB0	I/O	3	DQ18	SGCLKT_3/RPLL2_T_FB0/RPLL3_T_FB0	True_of_IOR78B	True	L20
IOR78B/SGCLKC_3/RPLL2_C_FB0/RPLL3_C_FB0	I/O	3	DQ18	SGCLKC_3/RPLL2_C_FB0/RPLL3_C_FB0	Comp_of_IOR78A	True	L21
IOR80A/MGCLKT_3/RPLL2_T_FB1/RPLL3_T_FB1	I/O	3	DQ18	MGCLKT_3/RPLL2_T_FB1/RPLL3_T_FB1	True_of_IOR80B	True	L17
IOR80B/MGCLKC_3/RPLL2_C_FB1/RPLL3_C_FB1	I/O	3	DQ18	MGCLKC_3/RPLL2_C_FB1/RPLL3_C_FB1	Comp_of_IOR80A	True	L19
IOR83A/MGCLKT_2/RPLL2_T_IN1/RPLL3_T_IN1	I/O	3	DQ17	MGCLKT_2/RPLL2_T_IN1/RPLL3_T_IN1	True_of_IOR83B	True	M16
IOR83B/MGCLKC_2/RPLL2_C_IN1/RPLL3_C_IN1	I/O	3	DQ17	MGCLKC_2/RPLL2_C_IN1/RPLL3_C_IN1	Comp_of_IOR83A	True	L16
IOR85A/SGCLKT_2/RPLL2_T_IN0/RPLL3_T_IN0	I/O	3	DQ17	SGCLKT_2/RPLL2_T_IN0/RPLL3_T_IN0	True_of_IOR85B	True	M17
IOR85B/SGCLKC_2/RPLL2_C_IN0/RPLL3_C_IN0	I/O	3	DQ17	SGCLKC_2/RPLL2_C_IN0/RPLL3_C_IN0	Comp_of_IOR85A	True	M19
IOR87A	I/O	3	DQ17		True_of_IOR87B	True	M20
IOR87B	I/O	3	DQ17		Comp_of_IOR87A	True	M21
IOR89A	I/O	3	DQS17		True_of_IOR89B	True	N22
IOR89B	I/O	3	DQS17		Comp_of_IOR89A	True	M22
IOR92A	I/O	3	DQ17		True_of_IOR92B	True	N19
IOR92B	I/O	3	DQ17		Comp_of_IOR92A	True	N20

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG484
IOR94A	I/O	3	DQ17		True_of_IOR94B	True	N17
IOR94B	I/O	3	DQ17		Comp_of_IOR94A	True	N18
IOR96A	I/O	3	DQ16		True_of_IOR96B	True	N16
IOR96B	I/O	3	DQ16		Comp_of_IOR96A	True	P16
IOR98A	I/O	3	DQ16		True_of_IOR98B	True	P17
IOR98B	I/O	3	DQ16		Comp_of_IOR98A	True	P18
BANK2 True LVDS Pair							
IOR11A	I/O	2	DQ23		True_of_IOR11B	True	A17
IOR11B	I/O	2	DQ23		Comp_of_IOR11A	True	A16
IOR13A	I/O	2	DQ23		True_of_IOR13B	True	E16
IOR13B	I/O	2	DQ23		Comp_of_IOR13A	True	D16
IOR15A	I/O	2	DQ22		True_of_IOR15B	True	A18
IOR15B	I/O	2	DQ22		Comp_of_IOR15A	True	A19
IOR17A	I/O	2	DQ22		True_of_IOR17B	True	A20
IOR17B	I/O	2	DQ22		Comp_of_IOR17A	True	A21
IOR20A	I/O	2	DQS22		True_of_IOR20B	True	B21
IOR20B	I/O	2	DQS22		Comp_of_IOR20A	True	B22
IOR22A	I/O	2	DQ22		True_of_IOR22B	True	B19
IOR22B	I/O	2	DQ22		Comp_of_IOR22A	True	B20
IOR24A/SGCLKT_1/RPLL0_T_FB0/RPLL1_T_FB0	I/O	2	DQ22	SGCLKT_1/RPLL0_T_FB0/RPLL1_T_FB0	True_of_IOR24B	True	B17
IOR24B/SGCLKC_1/RPLL0_C_FB0/RPLL1_C_FB0	I/O	2	DQ22	SGCLKC_1/RPLL0_C_FB0/RPLL1_C_FB0	Comp_of_IOR24A	True	B18
IOR26A/MGCLKT_1/RPLL0_T_FB1/RPLL1_T_FB1	I/O	2	DQ22	MGCLKT_1/RPLL0_T_FB1/RPLL1_T_FB1	True_of_IOR26B	True	C18
IOR26B/MGCLKC_1/RPLL0_C_FB1/RPLL1_C_FB1	I/O	2	DQ22	MGCLKC_1/RPLL0_C_FB1/RPLL1_C_FB1	Comp_of_IOR26A	True	C19
IOR29A/SGCLKT_0/RPLL0_T_IN0/RPLL1_T_IN0	I/O	2	DQ21	SGCLKT_0/RPLL0_T_IN0/RPLL1_T_IN0	True_of_IOR29B	True	C20
IOR29B/SGCLKC_0/RPLL0_C_IN0/RPLL1_C_IN0	I/O	2	DQ21	SGCLKC_0/RPLL0_C_IN0/RPLL1_C_IN0	Comp_of_IOR29A	True	C21
IOR2A	I/O	2	DQ23		True_of_IOR2B	True	B14
IOR2B	I/O	2	DQ23		Comp_of_IOR2A	True	A15

管脚名称	功能	BANK	DQS	配置功能	差分Pair	LVDS	UG484
IOR31A/MGCLKT_0/RPLL0_T_IN1/RPLL1_T_IN1	I/O	2	DQ21	MGCLKT_0/RPLL0_T_IN1/RPLL1_T_IN1	True_of_IOR31B	True	C22
IOR31B/MGCLKC_0/RPLL0_C_IN1/RPLL1_C_IN1	I/O	2	DQ21	MGCLKC_0/RPLL0_C_IN1/RPLL1_C_IN1	Comp_of_IOR31A	True	D17
IOR33A	I/O	2	DQ21		True_of_IOR33B	True	D18
IOR33B	I/O	2	DQ21		Comp_of_IOR33A	True	D19
IOR35A	I/O	2	DQS21		True_of_IOR35B	True	D20
IOR35B	I/O	2	DQS21		Comp_of_IOR35A	True	D21
IOR38A	I/O	2	DQ21		True_of_IOR38B	True	D22
IOR38B	I/O	2	DQ21		Comp_of_IOR38A	True	E17
IOR40A	I/O	2	DQ21		True_of_IOR40B	True	E19
IOR40B	I/O	2	DQ21		Comp_of_IOR40A	True	E20
IOR42A	I/O	2	DQ20		True_of_IOR42B	True	E21
IOR42B	I/O	2	DQ20		Comp_of_IOR42A	True	F18
IOR44A	I/O	2	DQS20		True_of_IOR44B	True	E22
IOR44B	I/O	2	DQS20		Comp_of_IOR44A	True	F22
IOR47A	I/O	2	DQ20		True_of_IOR47B	True	F19
IOR47B	I/O	2	DQ20		Comp_of_IOR47A	True	F16
IOR49A	I/O	2	DQ20		True_of_IOR49B	True	F17
IOR49B	I/O	2	DQ20		Comp_of_IOR49A	True	G21
IOR4A	I/O	2	DQ23		True_of_IOR4B	True	C15
IOR4B	I/O	2	DQ23		Comp_of_IOR4A	True	B15
IOR51A	I/O	2	DQ20		True_of_IOR51B	True	G22
IOR51B	I/O	2	DQ20		Comp_of_IOR51A	True	G19
IOR53A	I/O	2	DQ20		True_of_IOR53B	True	G20
IOR53B	I/O	2	DQ20		Comp_of_IOR53A	True	G17
IOR6A	I/O	2	DQ23		True_of_IOR6B	True	E15
IOR6B	I/O	2	DQ23		Comp_of_IOR6A	True	D15
IOR8A	I/O	2	DQS23		True_of_IOR8B	True	G15
IOR8B	I/O	2	DQS23		Comp_of_IOR8A	True	F15